



从校园到职场

CONG XIAOYUAN DAO ZHICHANG

手把手教你学 高速电路信号仿真

杨荣 主编



机械工业出版社
CHINA MACHINE PRESS

从校园到职场

手把手教你学高速电路 信号仿真

主编 杨 荣

参编 周秀英 张洁萍 沈费钦
王文斌 李 彬 唐 芸
杨晓萍 葛峥嵘 沈春江 应 霞



机械工业出版社

本书分为两个部分，循序渐进地讲解了高速电路仿真模型基本原理，仿真应用实例和与仿真相关的知识。第一部分为仿真基础知识，这个部分从芯片的模型出发，讲解信号完整性线路理论等。第二部分通过实例讲解的形式，细致地介绍一些主流仿真工具、仿真流程及模型的使用和问题分析。

本书可供刚刚从事电子设计工作的大学毕业生阅读，也可供高校电子类专业学生参考。

图书在版编目 (CIP) 数据

手把手教你学高速电路信号仿真/杨荣主编. —北京: 机械工业出版社, 2013. 5

(从校园到职场)

ISBN 978-7-111-42633-2

I. ①手… II. ①杨… III. ①电路设计—计算机仿真 IV. ①TN702

中国版本图书馆 CIP 数据核字 (2013) 第 109396 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

策划编辑: 徐明煜 责任编辑: 徐明煜 顾 谦

版式设计: 霍永明 责任校对: 申春香

封面设计: 路恩中 责任印制:

印刷厂印刷

2013 年 7 月第 1 版第 1 次印刷

184mm × 260mm · 12 印张 · 293 千字

0 001— 册

标准书号: ISBN 978-7-111-42633-2

定价: 元

凡购本书, 如有缺页、倒页、脱页, 由本社发行部调换

电话服务

网络服务

社服中心: (010) 88361066 教材网: <http://www.cmpedu.com>

销售一部: (010) 68326294 机工官网: <http://www.cmpbook.com>

销售二部: (010) 88379649 机工官博: <http://weibo.com/cmp1952>

读者购书热线: (010) 88379203 封面无防伪标均为盗版

前 言

鉴于数字电路的工作速率和 PCB 的布线密度越来越高，为确保产品性能并缩短研发周期，迫切需要进行板级的信号质量分析，业内称信号完整性仿真。

目前市场上高速电路仿真相关书籍相对比较少，其中真正由一线信号完整性工程师编写并立足实践的就更少了。我们立足于多年工作的经验，把我们所接触理解的信号完整性的经验分享给大家。

本书特点：我们追求用最简单、最容易理解的语言来讲解了仿真及相关的基础内容，我们不但大量使用图例来帮助理解，还演示并讲解了仿真软件的基本操作。最重要的一点，本书是将作者多年工作中总结出来的经验和技巧用最浅显的语言表述出来，绝对不对复杂的公式进行推导。基于实际而来的内容将对刚刚参加工作的工程师来说，可以更快、更容易地了解这个领域，也对将要参加工作的学生有指导意义。

内容安排：本书分为两个部分，循序渐进地讲解了高速电路仿真模型基本原理，仿真应用实例和与仿真相关的知识。

第一部分为仿真基础知识。由于仿真环境是千变万化的，要得到一个可信任的结果，必须要以丰富的基础作为后盾。这个部分从芯片的模型出发，讲解信号完整性线路理论等内容。

第二部分通过实例讲解的形式，细致地介绍一些主流仿真工具、仿真流程及模型的使用和问题分析。

有一点请读者注意，由于本书采用仿真软件直接抓图，所以书中图形符号及文字符号并未按国家标准统一。

本书由杨荣主编，参与编写的还有周秀英、张洁萍、沈费钦、王文斌、李彬、唐芸、杨晓萍、葛峥嵘、沈春江、应霞等。

由于时间仓促，加之水平有限，书中的缺点和不足之处在所难免，抛砖引玉，敬请读者批评指正。读者在阅读本书的时候出现任何疑问可以及时联系我们，我们会尽快给予回复。

编 者

目 录

前言

第 1 章 高速电路仿真概述	1
1.1 什么是高速电路	1
1.2 什么是仿真模型	1
1.3 仿真软件介绍	2
第 2 章 走近 IBIS 模型	4
2.1 I/O 电路建模要求	4
2.2 IBIS 基本知识	4
2.3 V/I 曲线	6
2.3.1 V/I 曲线的参数	6
2.3.2 Pull Up 曲线	8
2.3.3 Pull Down 曲线	8
2.3.4 Power Clamp 曲线	9
2.3.5 Gnd Clamp 曲线	9
2.3.6 V/I 曲线的获取	9
2.3.7 如何判断 V/I 曲线是否精确	12
2.4 V/t 曲线	14
2.4.1 V/t 曲线中的参数及意义	15
2.4.2 上升曲线与下降曲线的原理	17
2.4.3 V/t 曲线实例	18
2.4.4 V/I 曲线与 V/t 曲线的对应关系	19
2.5 IBIS 封装参数	21
2.6 IBIS 模型在 Hspice 中的应用	23
第 3 章 IBIS - AMI 模型	26
3.1 IBIS - AMI 模型与普通的 IBIS 模型 有什么区别	26
3.2 IBIS - AMI 模型的结构	26
3.3 IBIS - AMI 模型的工作原理	28
3.4 IBIS - AMI 模型在 ADS 中的使用	29
第 4 章 S 参数模型	35
4.1 S 参数的基本概念	35
4.2 为什么需要 S 参数	35
4.3 S 参数的表示方法	36
4.4 S 参数的归一化	37
4.5 S 参数的性质	38
4.6 S 参数文件解读	39
4.7 冲激响应	40

4.8 获取 S 参数的方法	40
4.9 S 参数与阻抗的关系	46
第 5 章 传输线理论与信号 完整性分析	50
5.1 均匀传输线理论	50
5.1.1 均匀传输线方程	50
5.1.2 传输线的特性参数	51
5.1.3 传输线的状态分析与阻抗匹配	51
5.1.4 传输线的种类	52
5.2 信号完整性分析	54
5.2.1 反射	54
5.2.2 串扰	55
5.2.3 信号延迟	59
5.2.4 地弹	59
5.3 反射抑制的解决方案——端接技术	59
5.3.1 并联终端匹配	59
5.3.2 串联终端匹配	60
5.3.3 戴维南终端匹配	60
5.3.4 AC 终端匹配	61
5.3.5 多负载端接匹配	61
5.3.6 端接技术的仿真分析	61
5.4 串扰的仿真分析	67
5.4.1 电流流向对串扰的影响	68
5.4.2 两线间距 s 与两线平行长度 l 对 串扰大小的影响	69
5.4.3 干扰源信号频率对串扰的影响	70
5.4.4 地平面对串扰的影响	70
第 6 章 在 HyperLynx 中做 DDR 仿真	72
6.1 关于前仿和后仿的介绍	72
6.2 前仿的基本流程和参数设置	72
6.3 后仿的基本流程和参数设置	76
6.4 开始仿真	79
6.4.1 地址、命令、控制信号的前仿	79
6.4.2 DQS 信号的前仿	85
6.5 继续对后仿进行全面解析	88
6.5.1 地址、命令、控制信号的后仿	88

6.5.2 命令信号后仿采样	88	第8章 通道仿真	116
6.5.3 控制信号后仿采样测试	90	8.1 浅析通道仿真	116
6.5.4 时钟 (CLK) 信号的后仿	91	8.2 ADS 中无源通道的搭建	117
6.6 DRAM DDR2 时序仿真概要	99	8.3 ADS 中无源通道的仿真结果与分析	132
6.6.1 Address/CMD/CTRL 时序分析	100	第9章 PCB 材料的研究	148
6.6.2 DQ/DM/DQS 时序分析	100	9.1 PCB 概述	148
6.6.3 DDRx 向导所需的控制器		9.2 PCB 材料基础知识	149
时序参数	101	9.2.1 PCB 原材料介绍	149
6.6.4 如何从控制器的 Datasheet 中		9.2.2 PCB 材料主要参数介绍	152
获取时序仿真所需的参数	103	9.3 PCB 纤维织纹效应	157
第7章 物理信道抖动与均衡	107	9.4 实例讲解	163
7.1 抖动的定义与分类	107	9.4.1 PCB 材料信息	163
7.2 抖动的分析方法	109	9.4.2 测试卡信息	167
7.3 码间串扰	111	9.4.3 结果分析	169
7.4 均衡	112	附录 VIRTEX-5 IBIS 模型片段	172

第 1 章 高速电路仿真概述

高速信号完整性仿真是数字电路系统运算能力指数增长的直接产物，数字系统本质上就是由处理器、缓存器、存储器以及其他芯片组成互连系统。对于高速数字电路，链路上任何细小的变化（如走线、过孔、层叠等）都会影响接收端的信号质量。传统的分析方法已经无法正确预估出接收端信号的波形。为保证信号质量，必须进行高速电路信号仿真。

1.1 什么是高速电路

高速电路这个名词似乎到哪里都会被提及，熟悉而又陌生，那么究竟什么是高速电路呢？

估计大部分人都会说高速电路就是信号频率比较高的电路，那么这个说法对吗？不对！因为做高速电路仿真的时候，我们关心的不只是比特速率与电平幅度的大小，信号上升沿/下降沿的质量我们也必须要保证。由于边沿变化的快慢直接决定了信号所包含的最高频率大小，所以判决是不是高速电路看的是边沿速率。

其实高速电路也是一个相对的概念，是不是高速电路与传输线的走线长度有关，如果印制电路板（PCB）上传输走线的长度与信号的最高频率分量的波长可以比拟时，则认为此类信号是高速电路信号并需要考虑传输线效应。通常在工程上认为，信号传输路径的长度（即传输线的长度）大于信号有效波长 $2 \times T_{\text{rise}}$ （10% ~ 90%）的 1/6 时，就要考虑传输线效应。

虽然大部分高频电路都是高速电路，但是高速电路的解释并没有过多提及信号的频率。换一句话总结，高频不一定是高速电路，低频也不见得是低速电路。

上面对于高速电路信号给出了解释，但是信号传输路径的长度如何小于信号有效波长的 1/6？一般地，信号上升时间的典型值可通过器件手册给出，而信号的传播路径长度在 PCB 设计中由实际布线长度决定。在实际布板时，可以通过器件的上升时间来计算走线的最大长度，使得信号不去触发传输线效应，并把线长设置在约束条件里。

遗憾的是，目前数字电路设计的发展方向是数字逻辑越来越复杂，时钟和总线频率也快速上升，但系统的核心电压却在不断减小。这些因素都向我们传达了一个信息——传输线效应不可避免，高速信号完整性仿真势在必行。要想在满足市场压力的前提下，尽快推出成功的设计，就必须预见可能出现的问题并给出相关的解决方案。

这里介绍的高速电路信号完整性仿真指的是根据原理图建立链路模型，仿真决定布线的约束条件，包括走线的拓扑与线长、匹配分析、高速材料分析与多板互连方案等。

1.2 什么是仿真模型

在进行信号完整性仿真的过程中，建立模型是十分关键的。仿真软件可以使用模型来预

测电压与电流的变化。在做信号完整性仿真时需要将整个链路的信息在软件里面模拟出来。对于走线通道模型，可以直接在 EDA（电子设计自动化）软件中人工设定其拓扑、线长、特征阻抗、传播延时等，也可以通过仿真软件直接将 PCB 的走线结构导入。对于芯片模型，一般由厂商提供，常用的有 IBIS 模型与 Spice 模型。另外，在多板互连仿真时，我们可能会遇到一些特殊的接插件结构，这时我们需要将这些接插件在三维建模工具里面仿真生成 S 参数模型。S 参数模型可使用的范围相对比较广，无论是走线、过孔，还是连接器甚至整个链路都可以被表示成 S 参数文件。

对于任何信号仿真来说，模型的质量都将严重影响仿真的精度。所以要得到更真实、更精确的结果，首先要保证模型的质量。

1.3 仿真软件介绍

目前，各种商业化的 EDA 软件不断涌现，不同的 EDA 仿真软件是根据不同的数值分析方法进行仿真的，有着各自不同的功能特点与使用范围。

1. HyperLynx 软件

HyperLynx 软件是明导（Mentor Graphics）公司生产的电路仿真软件，它是业界应用最为普遍的高速 PCB 仿真工具之一，由前仿真环境（LineSim）与后仿真环境（BoardSim）组成。前仿真环境（LineSim）中，用户可以通过定义元器件的特性与连接关系，在布局前进行信号仿真。利用后仿真环境（BoardSim），可以帮助设计者对已完成布线的电路板进行仿真分析。Hyper Lynx 仿真软件可对频率低至几十兆赫兹，高达吉赫兹（GHz）以上的网络进行信号完整性（SI）与电磁兼容性（EMC）仿真分析，有效地消除设计隐患。

2. Hspice 仿真软件

Synopsys 公司生产的 Hspice 软件是为了集成电路设计中的稳态分析、瞬态分析和频域分析等电路性能的模拟分析而开发的一个商业化通用电路模拟程序。它在 Pspice 等以及其他电路分析软件的基础上，又加入了一些新的功能。经过不断的改进，Hspice 有着快速收敛、具有多种精确模型、允许蒙特卡罗分析、支持最坏情况分析等优点，目前已被许多公司、大学和研究开发机构广泛应用。

3. ADS 仿真软件

Agilent ADS（Advanced Design System，先进设计系统）软件是在 HP EESOF 系列 EDA 软件基础上发展完善起来的综合设计软件，是为系统和电路工程师提供的可开发各种形式射频电路设计的软件。该软件提供对平面电路进行场分析和优化功能，它允许工程师定义频率的范围、材料特性、参数的数量和根据用户的需要自动产生关键的无源器件模式。该软件范围涵盖了小至元器件大到系统级的设计和分析，尤其是其强大的仿真设计手段可在时域或频域内实现对数字、模拟线性或者非线性电路的综合仿真分析与优化，从而大大地提高了复杂高速电路设计的效率。

4. CST Microwave Studio 仿真软件

CST Microwave Studio 仿真软件是为快速精确仿真电磁场高频问题而专门开发的 EDA 工具，是基于 PC（个人计算机）的 Windows 操作系统环境下的仿真软件，它主要应用在复杂

设计和更高的谐振结构中。CST Microwave Studio 仿真软件通过散射参数（S 参数）使电磁场元器件结合在一起，把复杂的系统分离成更小的子单元，通过对系统每一个单元行为的 S 参数的描述，可以快速地分析和降低系统所需要的内存。CST Microwave Studio 仿真软件可应用在移动通信无线设计、信号完整性和电磁兼容等领域。

第 2 章 走近 IBIS 模型

为了全面分析和模拟高速信号链路的性能，必须要将发射和接收数字信号的 I/O（输入/输出）电路考虑在内。高性能互连链路设计要求将 I/O 电路与互连线作为一个系统来共同优化。本章首先从 I/O 电路建模要求出发来讨论信号完整性仿真的重点内容：IBIS 模型的原理与建模方法。

2.1 I/O 电路建模要求

I/O 电路分为发射机与接收机两部分。发射机的功能是将数字信号发送到互连线上以传到接收机电路，接收机电路的功能是将互连线上的数字信号接收到下级电路。

为了保证设计的高性能，工程师通常使用若干设计技术使发射机具有可控的输出阻抗与上升下降时间。最简单的发射机电路是两个推挽工作的 MOS FET（金属 - 氧化物 - 半导体场效应晶体管），上下两个 MOS FET 轮流导通实现高低电平的转换。

最简单的接收机电路需要包括静电保护、片上终端匹配功能。静电保护电路可以使用两个 MOS FET 过冲电压分别拉到高低电平。片上终端匹配可以使用一个接到片内电源的电路组成。

在对发射机建模时，必须存在的模型参数包括输出阻抗变化参数、上升下降时间参数与输出电容参数。而接收机模型则要包括静电保护参数、片上终端匹配参数与输入电容参数。

2.2 IBIS 基本知识

IBIS（Input/output Buffer Informational Specification，输入/输出缓冲器信息规范）是由 Intel 公司在 1990 年为开发 PCI 总线驱动器时提出并采用的。1993 年 Intel 公司邀请了各大 EDA 厂商共同正式提出了 IBIS Version 1.0，并成立 IBIS 开放论坛。随后，越来越多的 EDA 厂商、IC（集成电路）厂商和系统开发厂商加入 IBIS 开放论坛，IBIS 迅速完善和发展，目前 IBIS 最新发布的版本为 Version 5.0。

IBIS 是一个用于仿真的描述性文件，它描述了器件输入输出端口的电气特性。IBIS 模型通常被用于板卡级信号仿真分析，在各种仿真工具中得到了广泛的应用。

我们先从模型的名字入手：

Input/output：输入/输出。

Buffer：缓冲器，这个有点意思，把所有的模型都归纳为不同的缓冲器。

Informational Specification：对“缓冲器”信息的描述列表。

更具体地说，IBIS 模型是由器件内部的电气参数值构成的数据列表，这些数据可以反映器件开关速度、驱动能力等特性。

IBIS 是一个行为模型，它不是从器件的基本结构出发定义的，而是从器件的行为出发

定义的。为了方便理解，我们打个比方：如果夏天外界环境温度很高，那我们就会穿得比较清凉，躲在开空调的房间里；但如果外界环境温度只有 3°C ，你一定会换上暖和的衣服，房间里最好有暖气，呵呵！

其实器件的行为模型大概也就是这个样子的。如图 2-1 所示，器件作为一个“黑匣子”，你不需要去了解它的结构，只要去测试它在不同外界条件下的特性/状况就可以了。

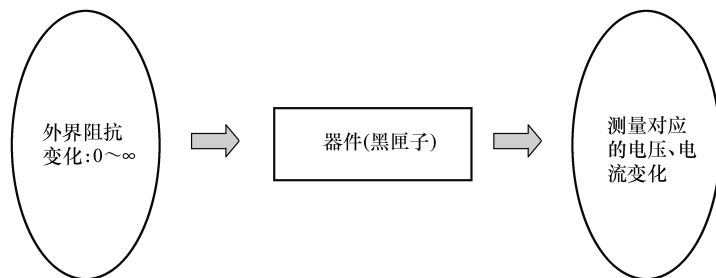


图 2-1 IBIS 模型的意义

好了，问题来了，那外界条件指的是什么呢？器件的特性又由哪些参数来体现呢？

我们不妨先考虑另外一个问题，外界阻抗变化的范围是多大呢？

外界阻抗从 0 到无穷大，实际电路中就意味着器件从短路到断路的过渡。众所周知，短路时的阻抗为 0，断路时的阻抗为无穷大。对于短路，电压发生负反射，对应的电压为 $-V_{\text{CC}}$ ；而对于断路，电压发生正反射，对应的电压是 $2V_{\text{CC}}$ 。因此 IBIS 器件的电压范围定义为 $-V_{\text{CC}} \sim 2V_{\text{CC}}$ ，也就对应了外界阻抗从 0 到无穷大的变化。对应于外部不同的阻抗，器件内部的电压、电流也会发生相应的变化。

IBIS 模型核心的内容是把器件简化为缓冲器（Buffer）模型。常见的缓冲器模型的类型包括三态：I/O、开漏（open sink）和开源（open source）等。IBIS 描述了一个缓冲器的输出阻抗（通过 V/I 曲线的形式）与高低电平转换特性（通过 V/t 曲线的形式），那么就可以利用这个模型来仿真得出由于传输线的阻抗不匹配而引发的能量反射大小、串扰、EMC 和时序分析等。

我们研究的 IBIS 模型的核心是缓冲器模型，也就是说我们创建 IBIS 模型时，研究对象是缓冲器模型。图 2-2 所示是一个最典型的缓冲器输出模型（三态）的结构。

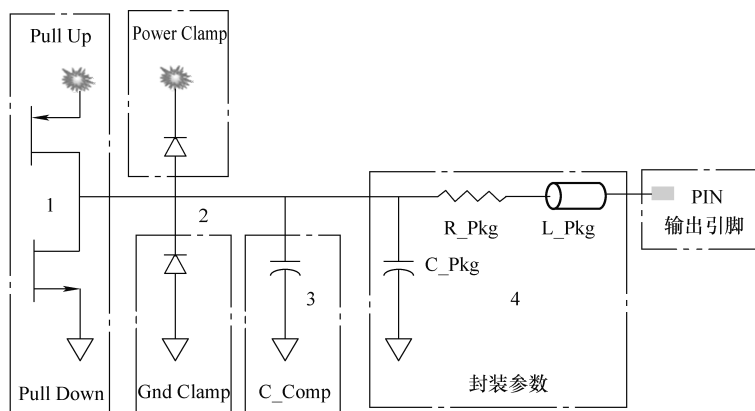


图 2-2 IBIS 输出的缓冲器模型（三态）

由图 2-2 可以发现，一个 IBIS 模型由以下 4 个部分组成：

- 1) 图腾柱电路，由两个推挽工作的 MOS FET 组成，可以提供输出高电平（上管导通、下管截止）、输出低电平（上管截止、下管导通）与高阻态（上、下管均截止）3 种工作状态。
- 2) 两个钳位二极管，上面的二极管可以将超过 V_{CC} 的电压钳位到 V_{CC} ，下面的二极管可以将低于 Gnd 的电压钳位到 Gnd。
- 3) 模型的输入/输出电容 C_ Comp，影响由一个状态转换为另一个状态的转换时间。
- 4) 封装参数，由集总的 R、L、C 参数组成。

那么如何将这几个部分反应在 IBIS 模型里面呢？对于图腾柱与二极管的电气特性，我们用 V/I 曲线来表示。对于图腾柱电路在电平动态翻转时的特性，我们用 V/t 曲线来表示。整个芯片核心（Die）的输入/输出电容值写在一个并联到地的 C_ Comp 中。对于封装参数，我们可以用集总的 R、L、C 模型来表示，也可以用分立的单位传输线模型加长度来表示。下面将详细介绍。

2.3 V/I 曲线

什么是 V/I 曲线？看到这个问题，可能有些读者会觉得如此简单的问题，还有必要提出并思考吗？ V/I 曲线不就是由一组电压与电流数据确定的一条曲线吗？虽然说得没错，但这里要重点说明的是 IBIS 模型中有很多组 V/I 曲线，它既包含了 Pull Up 和 Pull Down 的 V/I 曲线，也有 Power Clamp 和 Gnd Clamp 电路的 V/I 曲线。那么如何解析各组 V/I 曲线呢？这些 V/I 曲线又如何与器件手册中的数据验证与相互对应呢？这才是我们提出这个问题的原因所在，无疑这也是本节的价值所在。

2.3.1 V/I 曲线的参数

IBIS 规范中，定义了以下关键字来描述 V/I 数据，见表 2-1。

表 2-1 V/I 关键字

关键词	必选项	功能描述
[Pull Up]	是	上管的 V/I 数据，该关键字在输入缓冲器中不使用
[Pull Down]	是	下管的 V/I 数据，该关键字在输入缓冲器中不使用
[Power Clamp]	是	上钳位二极管的 V/I 数据
[Gnd Clamp]	是	下钳位二极管的 V/I 数据

我们先来认识一下 V/I 曲线吧。图 2-3 所示就是一个三态的 IBIS 模型以及其 Pull Up + Pull Down + Power Clamp + Gnd Clamp 的 V/I 曲线。我们在模型中所圈出的 3 个部分是和 V/I 曲线所圈出的 3 个部分一一对应的。

看过图 2-3 后我们大致知道了其实 V/I 曲线描述的就是两个 MOS FET 与两个二极管的电压与电流的对应关系。

但是我们似乎还有些疑问，比如说为什么要选取电压、电流两个参数呢？首先电压、电流是容易测量的。缓冲器的输出电压代表着电平的高低，输出电流代表着驱动后级负载的能力。另外电压与电流的变化还可以反映出缓冲器内部的阻抗变化。

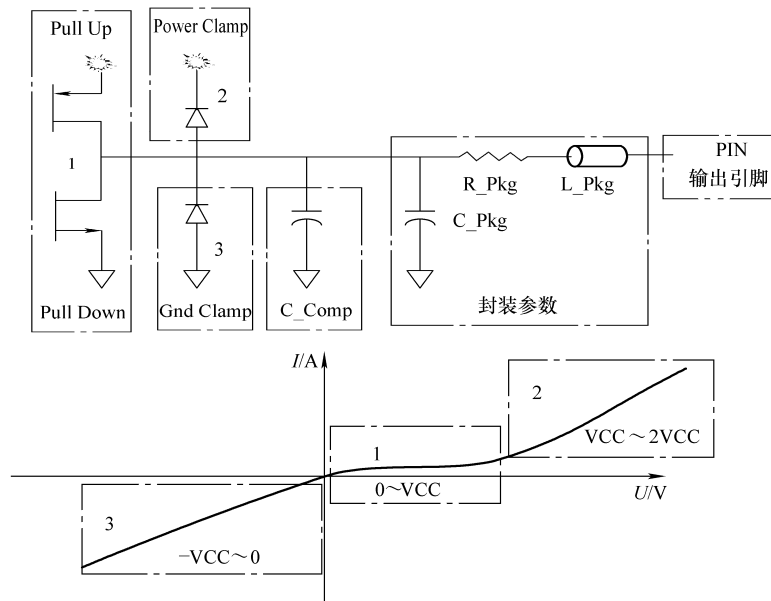
图 2-3 三态 IBIS 模型与 V/I 曲线的对应关系

图 2-4 所示是 Xilinx 公司的 Virtex-5 器件的 HSTL_I_12 模型。通过观察图 2-4 可以发现，在芯片厂商提供的 IBIS 模型中，无论是封装参数还是 V/I 曲线，通常都有三组数据列表，即 typical（典型值）、minimum（最小值）和 maximum（最大值）。在 IBIS 规范中只是规定 typical（典型值）是一定要有的，而 minimum（最小值）和 maximum（最大值）是允许空缺的，空缺时用 NA 表示。那么这三组数据分别用在什么场合中呢？

```

*****
Model HSTL_I_12
*****

[Model] HSTL_I_12
Model_type I/O
Polarity      Non-Inverting
Enable        Active-Low
Vinl = 0.5
Vinh = 0.7
Vmeas = 0.6000V
Cref = 0.0F
Rref = 50.0000
Vref = 0.6000V
C_comp 6.0000pF      6.0000pF      6.0000pF
[Model Spec]
Vinl 0.5      0.47      0.53
Vinh 0.7      0.67      0.73

[Temperature Range] 25.0000      85.0000      0.0
[Voltage Range] 1.2000V      1.1400V      1.26
[Pulldown]
Voltage I(typ)      I(min)      I(max)
-1.20 -34.2100mA -25.4700mA -43.6000mA
-1.16 -34.2100mA -25.4700mA -43.6000mA
-1.12 -34.2100mA -25.4700mA -43.6000mA
-1.08 -34.2100mA -25.4700mA -43.6000mA
-1.04 -34.2100mA -25.4700mA -43.6000mA

```

图 2-4 HSTL_I_12 模型片段

由于器件工艺（Process）、工作电压（Voltage）和工作温度（Temperature）等都会影响到 Buffer 的 V/I 和 V/t 曲线，因此 IBIS 模型中给出了三种工作模式，分别为快速 [Fast（最

大值)]、普通(典型值)和低速[Slow(最小值)], 其中

快速 = 快速进程 + 高电压 + 低温(Fast = Fast process + high voltage + low temperature)

低速 = 低速 + 低电压 + 高温(Slow = Slow process + low voltage + high temperature)

2.3.2 Pull Up 曲线

图 2-5 所示的曲线就是 Pull Up 的 V/I 曲线, 即图腾柱工作在上管导通下管截止时的 V/I 曲线。曲线能指出每个电压点上输出电流的大小。观察曲线的形状我们可以发现其和传统教科书上的 MOS FET 的样子是一样的, 这说明截止的下管对曲线的影响极小, Pull Up 曲线可以看成是上管的 V/I 特性。IBIS 规范中定义了电流流进缓冲器的方向为正, 外部电源从 $-V_{CC}$ 变化到 V_{CC} 时, 电流是从 MOS FET 流向外部电源, 即电流为负值。当外部电源从 V_{CC} 变至 $2V_{CC}$ 时, 电流开始从外部电源流向 MOS FET, 即该范围内电流为正值。

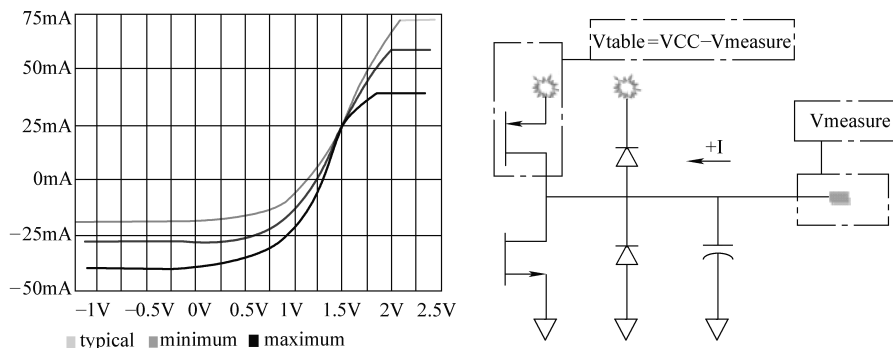


图 2-5 Pull Up 的 V/I 曲线与缓冲器测量模型

另外, 写到 IBIS 文件里面的电压数据称之为 V_{table} , 即分到上管两端的电压降, 在 Pull Up 状态下要得到这个 V_{table} 值就需要用 V_{CC} 减去 $V_{measure}$ 得到上管的电压降。 $V_{measure}$ 与 V_{table} 的对应关系如图 2-6 所示。

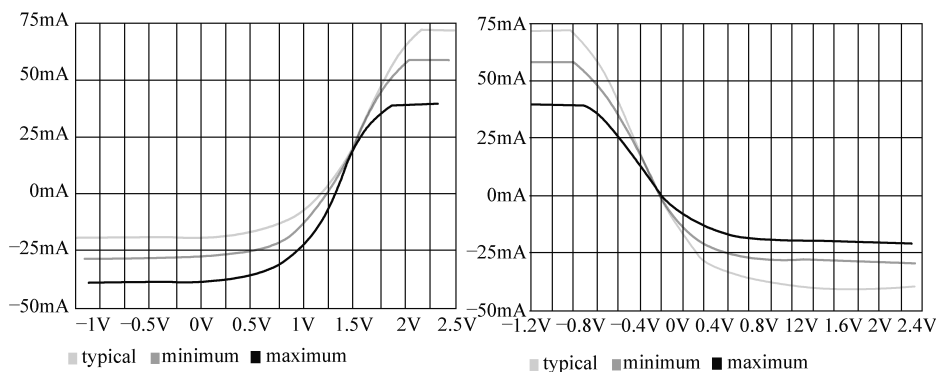


图 2-6 Pull Up 的 $V_{measure}$ (左) 和 V_{table} (右) 曲线

2.3.3 Pull Down 曲线

图 2-7 所示的曲线就是 Pull Down 的 V/I 曲线, 即下管的 V/I 曲线。与 Pull Up 曲线一样, Pull Down 曲线可以看做是下管在导通时的 V/I 特性。外部电源从 $-V_{CC}$ 向上变化到 $0V$

时, 电流是从 MOS FET 流向外部电源, 即电流为负值。当外部电源从 $0V$ 至 $2V_{CC}$ 时, 此时电流开始从外部电源流向 MOS FET, 即电流为正值。因为 Pull Down 曲线的 $V_{measure}$ 就是管子两端的电压降, 所以 Pull Down 曲线的 V_{table} 等于 $V_{measure}$ 。

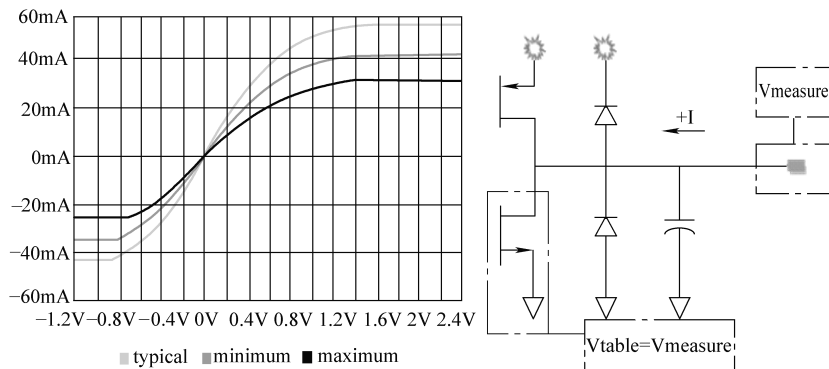


图 2-7 Pull Down 的 V/I 曲线与缓冲器模型

2.3.4 Power Clamp 曲线

图 2-8 所示的曲线就是 Power Clamp 的 V/I 曲线, 即上钳位管的 V/I 曲线。Power Clamp 曲线表征的是电压超过 V_{CC} 时, 模型将电压拉回到 V_{CC} 的能力。

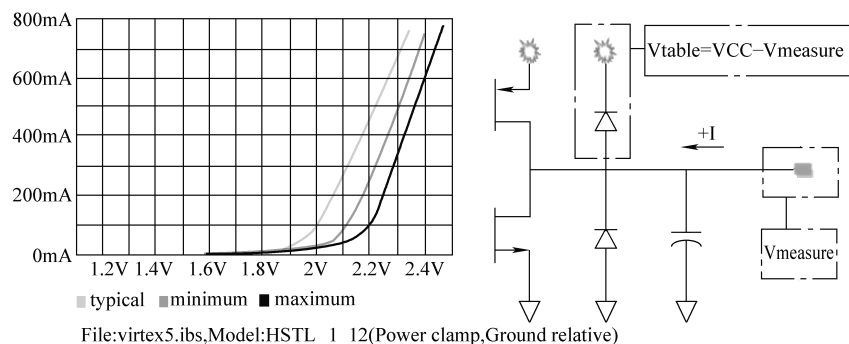


图 2-8 Power Clamp 的 V/I 曲线与缓冲器模型

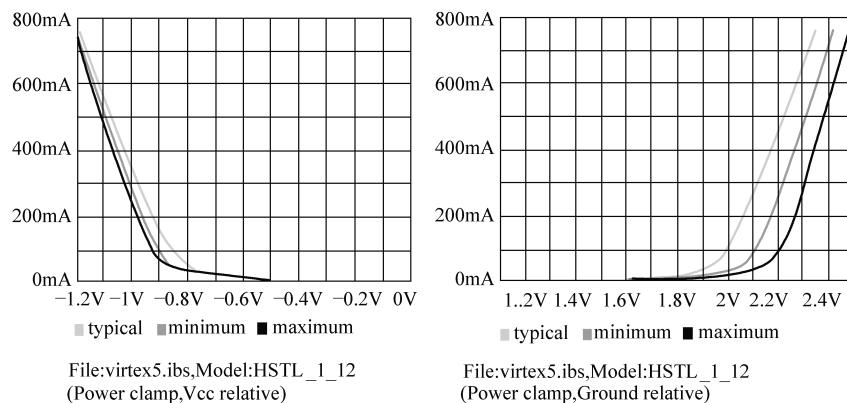
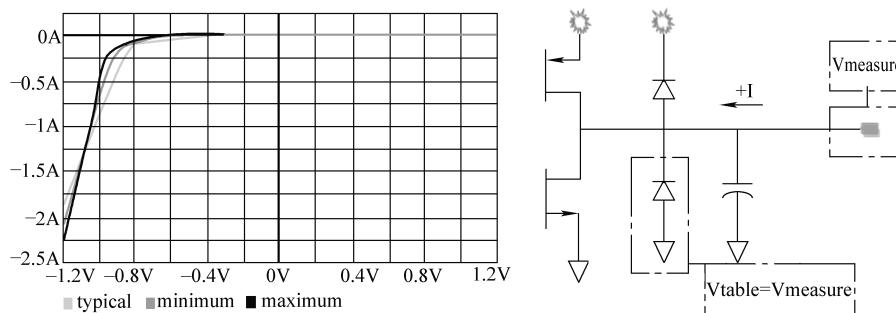
这时候的 V_{table} 数据等于 V_{CC} 减去 $V_{measure}$ 。图 2-9 所示为 Power Clamp 的 $V_{measure}$ 和 V_{table} 曲线。

2.3.5 Gnd Clamp 曲线

图 2-10 所示的曲线就是 Gnd Clamp 的 V/I 曲线, 即下钳位管的 V/I 曲线, 表征的是电压低于 Gnd 时, 模型将电平拉回到 Gnd 的能力。这里面的 Gnd Clamp 的 V_{table} 也是等于 $V_{measure}$ 的。

2.3.6 V/I 曲线的获取

那么 IBIS 的 V/I 曲线是怎么得到的呢? 下面开始介绍 V/I 曲线的仿真获取方法。在获取 V/I 数据之前, 首先需要确定被测试引脚的缓冲器类型, 如果是 I/O 模型, 需要仿真获取 Pull Up、Pull Down、Power Clamp 和 Gnd Clamp 4 组曲线。如果是 Input 模型, 那么只需要仿

图 2-9 Power Clamp 的 V_{measure} 和 V_{table} 曲线图 2-10 Gnd Clamp 的 V/I 曲线与 I/O 缓冲器模型

真获取 Power Clamp 和 Gnd Clamp 两组曲线就可以了。为了覆盖所有曲线获取方法，我们选取三态模型来进行讲解。

图 2-11 所示是测试示意图，我们在缓冲器外加了一个扫描电压源，扫描范围为 $-V_{\text{CC}} \sim 2V_{\text{CC}}$ ，同时记录下每一个电压值在测量点 V_{measure} 处的电流值。测量 V/I 曲线时，扫描电压是直流电流，所以 C_{Comp} 可以看成是断路。由于封装参数都是需要另外测得，然后加到 I-BIS 模型里面的，所以在测量时应该去掉引脚的封装参数 (R_{Pkg} 、 L_{Pkg} 、 C_{Pkg})。

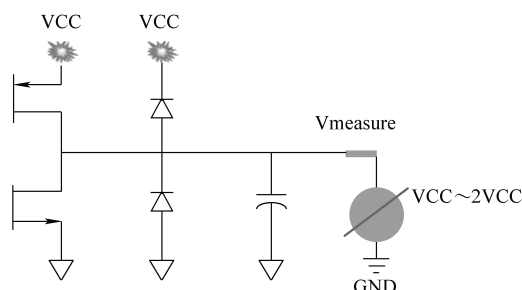


图 2-11 测试示意图

1. Pull Up 曲线的获取

要测得 Pull Up 的 V/I 曲线,就需要将三态模型设置在相应的工作状态,即高输入电平为低电平,此时下管截止,上管导通。忽略下管的影响得到图 2-12 所示的测量简化模型。测量的时候将电压扫描范围设置在 $-V_{CC} \sim 2V_{CC}$,记录下测量点在各个电压值下对应的电流,这就是所测得的 V/I 曲线。

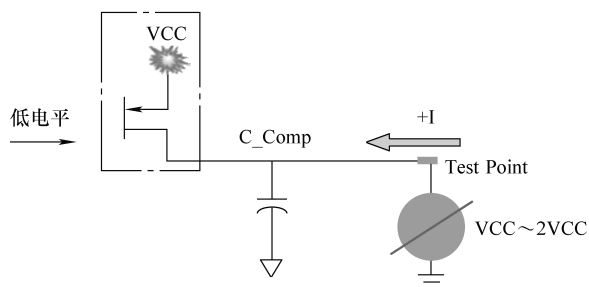


图 2-12 Pull Up 测量简化模型

2. Pull Down 曲线

要测得 Pull Down 的 V/I 曲线,就需要将三态模型设置在输入电平为高电平状态,此时上管截止,下管导通。图 2-13 所示就是测量 Pull Down 曲线的简化模型。测量电压扫描范围同样是 $-V_{CC} \sim 2V_{CC}$,并记录下各个电压值相应的电流值,就可以得到所需的 V/I 曲线。

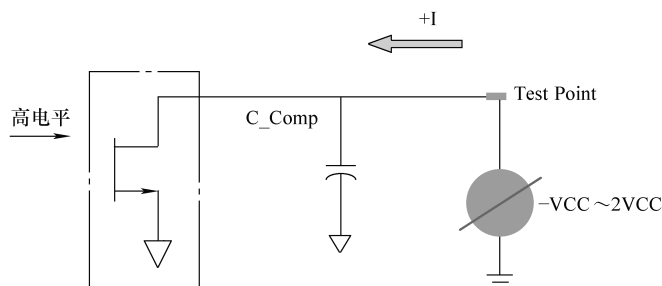


图 2-13 输出状态为高电平时的简化模型

3. Power Clamp 曲线

将三态模型设置在高阻态模式,使得上拉 MOS FET 和下拉 MOS FET 都截止。当外部电压是从 V_{CC} 扫描到 $2V_{CC}$ 时,Power Clamp 的二极管导通,我们记录下相应电压值以及电流值,这就是我们所需要的 Power Clamp 的 V/I 数据。图 2-14 所示为 Power Clamp 测量简化模型。

4. Gnd Clamp V/I 曲线

将三态模型设置在高阻态模式,使得上拉 MOS FET 和下拉 MOS FET 都截止,这样得到的就是 Gnd Clamp 曲线,外部电压的扫描区间是 $-V_{CC} \sim 2V_{CC}$, $-V_{CC} \sim 0$ 时 Gnd Clamp 的二极管导通,此时记录下相应的电压值以及电流值,这就是我们所需要的 Gnd Clamp 的 V/I 数据。图 2-15 所示是 Gnd Clamp 测量简化模型。

还有一点需要特别注意,我们测量得到三态模型的 Pull Up 或 Pull Down 曲线里还包含了两个钳位二极管影响,要得到纯粹的 Pull Up 或 Pull Down 曲线需要在测量到的曲线里面减去

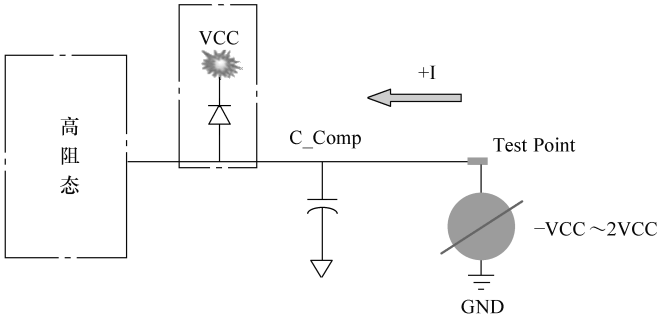


图 2-14 Power Clamp 测量简化模型

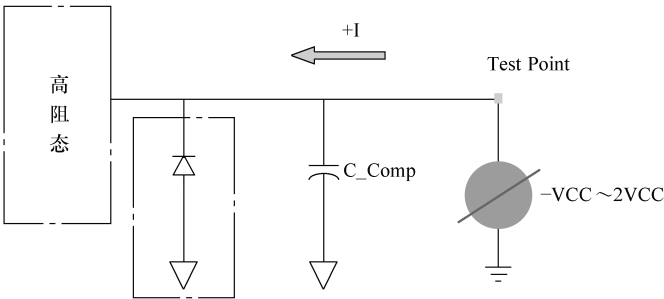


图 2-15 Gnd Clamp 测量简化模型

Clamp 曲线的影响。以 Pull Up 为例，要得到纯粹的 Pull Up 曲线，就可以把包含了钳位二极管的 Pull Up 曲线减去 Power Clamp 与 Gnd Clamp 曲线得到纯粹的 Pull Up 曲线。

2.3.7 如何判断 V/I 曲线是否精确

要判断模型是否正确，首先要考虑的就是 V/I 曲线有没有过零点的问题。这个问题是很好理解的，要是在管子两端没有压降的情况下，仍然有电流出现，那么模型必然是错误的。来看下面一个例子，看到图 2-16 这个波形的时候，你也许会觉得这个 V/I 曲线没有问题。因为这个曲线告诉你不存在漏电流。

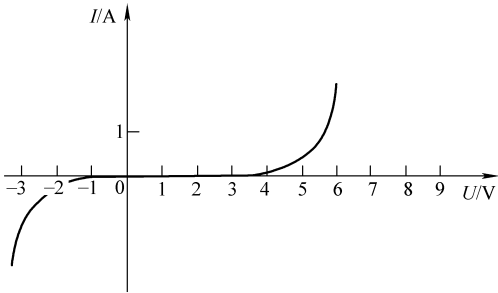


图 2-16 原点处没有放大的 V/I 曲线

但我们把此波形放大得到图 2-17，你会很惊讶地发现，这个已经不是漏电流这么简单了，因为此电流已经接近 1mA 了。如果不仔细查看，而直接将此模型用在仿真中，那仿真

结果的可靠性就值得怀疑了。

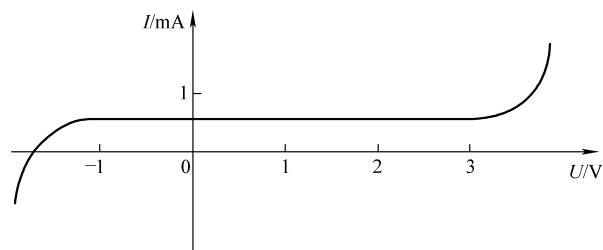


图 2-17 原点处放大的 V/I 曲线

除了最直观而简单地看 V/I 曲线有没有过零点外，我们还可以查看芯片的数据手册，找到数据手册上该引脚在其工作电压下相应的电流指标，将此值与 IBIS 曲线上的值进行对比，以此来判断 V/I 曲线是否精确。这里以 Virtex-5 芯片的 HSTL_I_12 模型为例，来说明如何进行数据对比与校验。图 2-18 所示为 Virtex-5 数据手册中的 1.2V HSTL 信号直流电压、电流指标。

	最小值	典型值	最大值
V_{CC0}/V	1.14	1.2	1.26
V_{REF}/V	$V_{CC0} \times 0.48$	0.6	$V_{CC0} \times 0.52$
V_{TT}/V	—	$V_{CC0} \times 0.5$	—
V_{IH}/V	$V_{REF} - 0.08$	—	—
V_{IL}/V	—	—	$V_{REF} - 0.08$
V_{OH}/V	$V_{CC0} - 0.315$	—	—
V_{OL}/V	—	—	0.315
V_{CH} 对应的 I_{CH}/mA ①	-6.3	—	—
V_{OL} 对应的 I_{OL}/mA ②	6.3	—	—

- ① 根据 EIA/JESD8-6, V_{REF} 的值应由用户选择，以便针对用户指定的使用条件提供最佳噪声容阻。
② 与较低驱动电流对应的 V_{OL} 和 V_{OH} 已经过采样测试。

图 2-18 数据手册中的 1.2V HSTL 信号直流电压、电流指标

从图 2-18 中可以看到，1.2V HSTL 信号在 V_{OL} 时对应的电流为 6.3mA（见用点画线框出的部分）。我们再来查看 1.2V HSTL 的 IBIS 模型，如图 2-19 所示，由该曲线可知，在 V_{OL} 电压值 0.315V 处，对应的 minimum 的曲线电流值是 10.9mA，与图 2-18 中所列的 6.3mA 并不吻合，这是否就意味着 IBIS 模型中的曲线有问题呢？如果不是，这种差异又该如何理解呢？

其实通常芯片供应商数据手册上给出的电流值都是比较保守的，是考虑到外界环境的各种因素影响下，给出的一个最小的值，如果模型在该点的电流值小于 6.3mA，那么模型本身就达不到该引脚的电流最小值，那必然是不正确的。本例中 V_{OL} 值对应的电流点 6.3mA 在

minimum 的曲线之下，这样的情况下我们就可以认为这个模型是正确的。

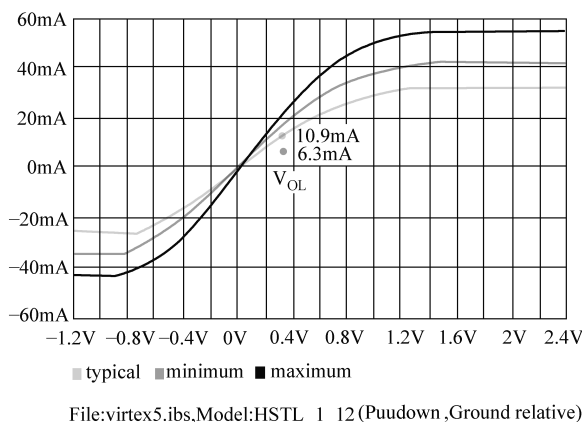


图 2-19 标有 V_{OL} 电流的 HSTL_1_12 的 Pull Down 曲线

2.4 V/t 曲线

本节我们主要讨论的是 IBIS 模型的 V/t 特性曲线。在前面的内容中已经研究过了 IBIS 模型的 V/I 特性曲线。由于 V/I 曲线表征的只是模型在静态工作下电压与电流的关系，所以我们要引入一个能表征模型动态电平转换的参数， V/t 数据就是这样一个参数。

V/t 曲线反映的是模型在电平转换过程中电压与时间的关系，即上升沿与下降沿的信息。那么， V/t 曲线包含了什么关键字？上升沿与下降沿又是怎么形成的？ V/t 曲线与 V/I 曲线的对应关系是什么？如何通过 V/t 曲线来验证模型的好坏？看完本节的解释以后，相信这些问题都会迎刃而解。

IBIS 模型通过上下两个 MOS FET 轮流导通来实现输出电平的转换。模型导通的截止分为 4 种情况：上管打开、上管关闭、下管打开、下管关闭。上管打开和关闭的 V/t 曲线通过外接 50Ω 负载到 Gnd 测得。下管打开和关闭的 V/t 曲线通过外接 50Ω 到 V_{CC} 测得。所以 V/t 数据也可以分为两组：一组为上管打开和关闭的 V/t 曲线；另一组为下管打开和关闭的 V/t 曲线。

有人要问了，既然 V/t 曲线考虑模型的动态特性，那 C_Comp 是不是也应该被考虑到 V/t 曲线中？没错， V/t 曲线的确包含了 C_Comp 的影响。C_Comp 的参数可以在关键字 Model 下面找到，如图 2-20 所示。

```
[Model] LVCMOS25_F_2
Model_type I/O
Polarity      Non-Inverting
Enable        Active-Low
Vinl = 0.65
Vinh = 1.85
Vmeas = 0.9000V
Cref = 0.0F
Rref = 1.0000M
Vref = 0.0V
C_comp = 6.0000pF
```

图 2-20 C - Comp 的参数

2.4.1 V/t 曲线中的参数及意义

IBIS 规范定义以下关键字来描述 V/t 数据，见表 2-2。

表 2-2 V/t 数据关键字

关键字	必选项	功能描述
[Ramp]	是	上升沿与下降沿的斜率信息，以 dV/dt 的形式给出
[Rising Waveform]	否	模型上升沿波形，以 V/t 数据的形式给出
[Falling Waveform]	否	模型下降沿波形，以 V/t 数据的形式给出

从表 2-2 中发现 Ramp、Rising Waveform 与 Falling Waveform 是描述 V/t 曲线的 3 个关键字。关键字 Ramp 包含着上升沿与下降沿的斜率信息，关键字 Rising Waveform 和关键字 Falling Waveform 分别包含着模型上升沿与下降沿信息，下面将给出具体的解释。

1. 关键字 Ramp

IBIS 规范对 Ramp 作了以下的定义：Ramp = dV/dt ，其中 dV 是电压为 20% ~ 80% 的摆幅值，而 dt 就是该电压从 20% 变化到 80% 时对应的转换时间。图 2-21 给出了如何通过上升曲线计算 Ramp 的例子，图 2-21 中的 dV 等于 1.26V， dt 等于 3.71ns，所以 $dV/dt = 1.26V/3.71ns$ 。

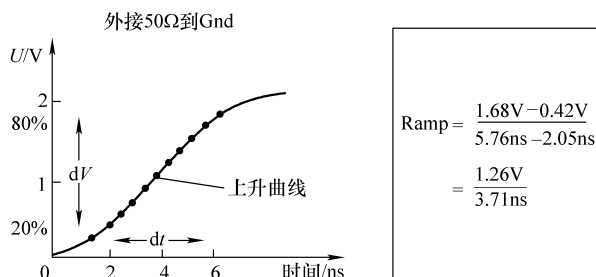


图 2-21 上升曲线与 Ramp 的计算

从 Xilinx 公司 Virtex-5 芯片的 LVCMOS15_S_16 模型中找到 Ramp 数据，如图 2-22 所示。 dV/dt_r 是上升沿数据， dV/dt_f 是下降沿数据， R_{load} 是获取 Ramp 时用的负载电阻的大小。

```
[Ramp]
| variable      typ          min          max
dV/dt_r  0.7344/0.2409n    0.6198/0.3569n    0.8208/0.1763n
dV/dt_f  0.7333/0.5138n    0.6404/0.7632n    0.8204/0.3757n
R_load = 50.0000
```

图 2-22 模型的 Ramp 数据

2. 关键字 Rising Waveform 与 Falling Waveform

关键字 Rising Waveform 与 Falling Waveform 下面的数据分为两个部分， V/t 曲线测试负载的信息和在测试负载下得到的曲线数据。在选取时间步长的时候，我们应该尽量选择小

步长使得波形圆滑。图 2-23 ~ 图 2-26 所示为 LVCMOS15_S_16 模型 4 组 V/t 数据的截图，由于篇幅有限， V/t 数据只截取了开始的几个步长点。

[Rising Waveform]			
R_fixture= 50.0000			
V_fixture= 2.5000			
V_fixture_min= 2.3000			
V_fixture_max= 2.7000			
time	V(typ)	V(min)	V(max)
0.0S	0.4907V	0.5763V	0.4133V
50.51pS	0.4907V	0.5763V	0.4133V
0.10nS	0.4907V	0.5763V	0.4133V
0.15nS	0.4907V	0.5763V	0.4133V
0.20nS	0.4907V	0.5763V	0.4133V
0.25nS	0.4907V	0.5763V	0.4133V
0.30nS	0.4907V	0.5763V	0.4132V
0.35nS	0.4907V	0.5763V	0.4152V
0.40nS	0.4906V	0.5763V	0.4371V
0.45nS	0.4912V	0.5763V	0.5298V
0.51nS	0.5014V	0.5764V	0.8431V
0.56nS	0.5426V	0.5761V	1.3842V
0.61nS	0.6515V	0.5761V	1.9334V

图 2-23 外接 50Ω 到 V_{CC} 的上升沿数据

[Falling Waveform]			
R_fixture= 50.0000			
V_fixture= 2.5000			
V_fixture_min= 2.3000			
V_fixture_max= 2.7000			
time	V(typ)	V(min)	V(max)
0.0S	2.5000V	2.3000V	2.7000V
50.51pS	2.5000V	2.3000V	2.7000V
0.10nS	2.5000V	2.3000V	2.7000V
0.15nS	2.5000V	2.3000V	2.7000V
0.20nS	2.5000V	2.3000V	2.7000V
0.25nS	2.5000V	2.3000V	2.6994V
0.30nS	2.5000V	2.3000V	2.6992V
0.35nS	2.4992V	2.3000V	2.7030V
0.40nS	2.4990V	2.3000V	2.7060V
0.45nS	2.5002V	2.3000V	2.6858V
0.51nS	2.5045V	2.2990V	2.6137V
0.56nS	2.5094V	2.2990V	2.4566V
0.61nS	2.4996V	2.3000V	2.2380V
0.66nS	2.4656V	2.3020V	1.9688V
0.71nS	2.4014V	2.3058V	1.6710V
0.76nS	2.2960V	2.3096V	1.3666V
0.81nS	2.1564V	2.3102V	1.0798V
0.86nS	1.9860V	2.3002V	0.8358V
0.91nS	1.9942V	2.2778V	0.6555V
0.96nS	1.5902V	2.2386V	0.5493V

图 2-24 外接 50Ω 到 V_{CC} 的下降沿数据

[Rising Waveform]			
R_fixture= 50.0000			
V_fixture= 0.0			
time	V(typ)	V(min)	V(max)
0.0S	0.0V	0.5158uV	0.0V
50.51pS	0.0V	0.5159uV	0.0V
0.10nS	0.0V	0.5157uV	0.0V
0.15nS	0.0V	0.5162uV	0.0V
0.20nS	0.0V	0.4096uV	-6.8416uV
0.25nS	-1.1766uV	0.2467uV	15.2755uV
0.30nS	-14.7156uV	0.8165uV	-0.2787mV
0.35nS	9.3693uV	-1.4985uV	-3.6450mV
0.40nS	51.1480uV	-12.3770uV	-10.2762mV
0.45nS	-1.2318mV	-20.7940uV	-8.6114mV
0.51nS	-5.3910mV	34.2962uV	75.1600mV
0.56nS	-11.8332mV	0.1244mV	0.3379V
0.61nS	-14.2460mV	-0.5338mV	0.7389V
0.66nS	13.5448mV	-2.5592mV	1.1808V
0.71nS	0.1141V	-5.6560mV	1.5612V
0.76nS	0.3039V	-9.7938mV	1.8454V
0.81nS	0.5803V	-14.1960mV	2.0056V
0.86nS	0.8811V	-15.3000mV	2.0944V
0.91nS	1.1674V	-3.8279mV	2.1402V
0.96nS	1.4148V	37.3040mV	2.1640V
1.01nS	1.6022V	0.1148V	2.1758V
1.06nS	1.7336V	0.2344V	2.1820V

图 2-25 外接 50Ω 到 Gnd 的上升沿数据

[Falling Waveform]				
R_fixture= 50.0000				
V_fixture= 0.0				
time	V(typ)	V(min)	V(max)	
0.0S	1.9330V	1.6000V	2.1900V	
50.51pS	1.9330V	1.6000V	2.1900V	
0.10nS	1.9330V	1.6000V	2.1900V	
0.15nS	1.9330V	1.6000V	2.1900V	
0.20nS	1.9330V	1.6000V	2.1900V	
0.25nS	1.9330V	1.6000V	2.1894V	
0.30nS	1.9330V	1.6000V	2.1900V	
0.35nS	1.9330V	1.6000V	2.1904V	
0.40nS	1.9336V	1.6000V	2.1648V	
0.45nS	1.9350V	1.6000V	2.0298V	
0.51nS	1.9290V	1.6002V	1.6995V	
0.56nS	1.8896V	1.6016V	1.2556V	
0.61nS	1.7626V	1.6030V	0.8355V	
0.66nS	1.5376V	1.5990V	0.4557V	
0.71nS	1.2536V	1.5846V	0.2029V	
0.76nS	0.9545V	1.5412V	80.8740mV	
0.81nS	0.6686V	1.4572V	30.7860mV	
0.86nS	0.4153V	1.3118V	12.3804mV	
0.91nS	0.2334V	1.1308V	5.7654mV	
0.96nS	0.1172V	0.9324V	3.3530mV	
1.01nS	54.5940mV	0.7353V	2.2540mV	
1.06nS	27.3020mV	0.5566V	1.6332mV	
1.11nS	13.4866mV	0.3990V	1.2316mV	
1.16nS	7.3890mV	0.2694V	0.9405mV	
1.21nS	4.5356mV	0.1722V	0.7353mV	
1.26nS	3.0760mV	0.1039V	0.5806mV	

图 2-26 外接 50Ω 到 V_{CC} 的下降沿数据

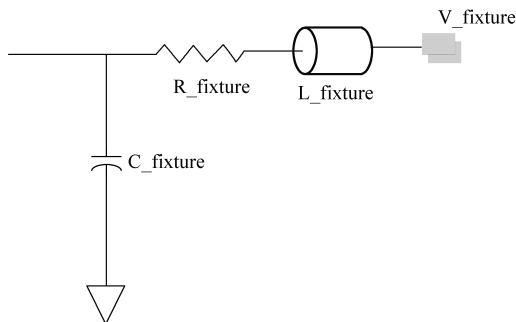
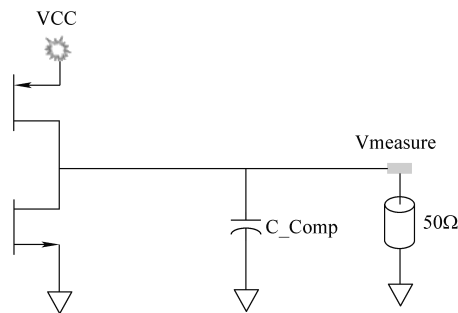
还有一点需要说明的是，上面的讲解用的测试负载是 50Ω 的电阻。如果我们将测试负载根据实际情况更换为图 2-27 所示的电阻、电容和电感组合也是允许的。

2.4.2 上升曲线与下降曲线的原理

IBIS 模型的上升曲线与下降曲线的形成原理是什么呢？下面将对其进行解释。由于封装参数是另加的，所以我们讲解的内容都是去除了封装参数的。

1. 上管打开和关闭的 V/t 曲线

首先分析上管打开和关闭的 V/t 曲线的测量与形成，测量环境如图 2-28 所示。

图 2-27 V/t 曲线的测试负载图 2-28 测试上管打开和关闭的 V/t 曲线

当我们的输入从 1 变到 0 时，上管从截止变为导通，下管从导通变为截止。电容两端初始电压为 0V，由于电容两端的电压不能突变，上管导通后 V_{CC} 通过上管给 C_Comp 充电，直到充至稳定状态，这个过程中产生了上升沿。当我们的输入从 0 变到 1 时，上管从导通变为截止，下管从截止变为导通， C_Comp 放电产生下降沿。

如果我们给缓冲器设置一个输入从 1 变到 0 的过程，并记录下这个过程中 Measure Point 处电压与时间的对应关系即上管打开的 V/t 曲线。反之，如果我们给缓冲器设置一个输入从 0 变到 1 的过程，记录下 Measure Point 处电压与时间的对应关系就是上管关闭的 V/t 曲线。

2. 下管打开和关闭的 V/t 曲线

图 2-29 所示是外接 50Ω 负载到 V_{CC} 测试上升沿与下降沿的环境，上升沿通过 50Ω 和导通上管给 C_{Comp} 充电所得，下降沿通过 C_{Comp} 给导通下管放电所得。

如果我们给缓冲器设置一个输入从 1 变到 0 的过程，并记录下这个过程中 Measure Point 处电压与时间的对应关系即下管关闭的 V/t 曲线。如果我们给缓冲器设置一个输入从 0 变到 1 的过程，记录下 Measure Point 处电压与时间的对应关系就是下管打开的 V/t 曲线。

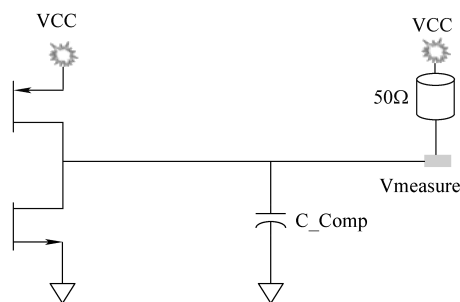


图 2-29 测试下管打开和关闭的 V/t 曲线

2.4.3 V/t 曲线实例

本节以 Xilinx 公司 Virtex-5 芯片的 LVC MOS15_S_16 模型为例讲解 V/t 曲线，观察工具为 Mentor Hyperlynx IBIS Viewer。

1. 上管打开的 V/t 曲线

图 2-30 所示是 LVC MOS15_S_16 模型中上管打开的 V/t 曲线。maximum 的曲线对应着最快的上升沿与最大的电压幅度值，minimum 的曲线对应着最缓的上升沿与最小的电压幅度值。观察上面的曲线，我们还可以发现每跟曲线在上升沿到来之前会有一段时间电平仍然保持在低电平状态，这个时间取决于上管打开的时间，我们将它叫做 lead-in time。这个时间应该尽可能小，比如 500MHz 的信号（周期为 2ns），如果 lead-in time 是 2ns，那么模型是肯定不能在这个频率下工作的。

2. 上管关闭的 V/t 曲线

图 2-31 所示是 LVC MOS15_S_16 模型中上管关闭的 V/t 曲线。其 lead-in time 表征的是上管关闭的时间。

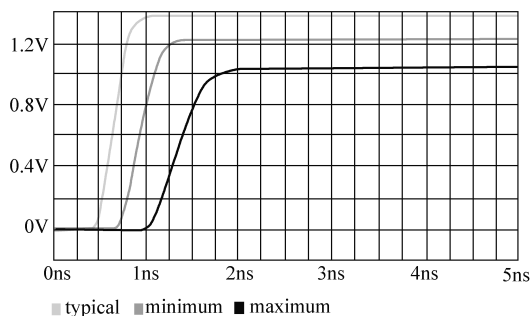


图 2-30 上管打开的 V/t 曲线

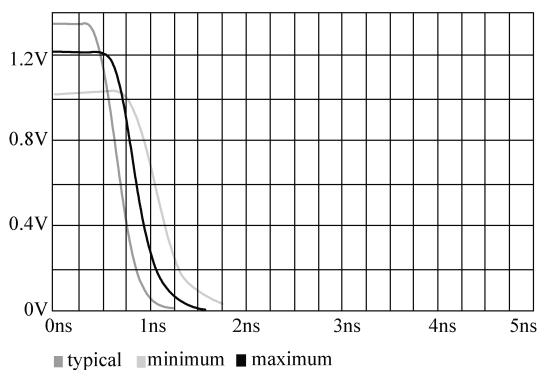
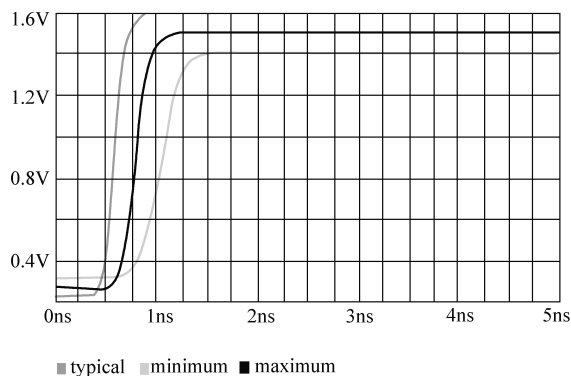


图 2-31 上管关闭的 V/t 曲线

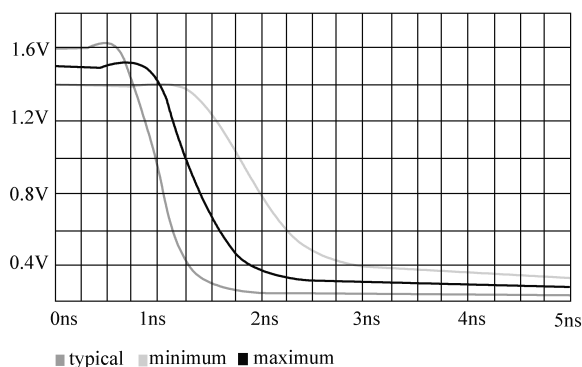
3. 下管关闭的 V/t 曲线

图 2-32 所示是 LVC MOS15_S_16 模型中下管关闭的 V/t 曲线，其 lead-in time 表征的是下管关闭的时间。

图 2-32 下管关闭的 V/t 曲线

4. 下管打开的 V/t 曲线

图 2-33 所示是 LVC MOS15_S_16 模型中下管打开的 V/t 曲线，其 lead-in time 表征的是下管打开的时间。

图 2-33 下管打开的 V/t 曲线

从以上图我们还发现一个有趣的现象，LVC MOS15_S_16 是工作电压为 1.5V 的，但是从图上面来看上管上升沿与下降沿电压典型值的最大值却是 1.21V，而且下管上升下降沿电压典型值的最小值为 0.19V，这是为什么呢？

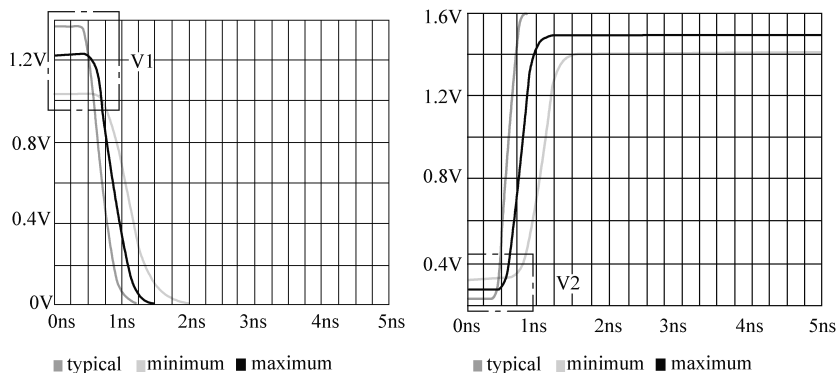
以上管为例，在上管导通的时候，其实是存在一个导通内阻。这个导通内阻与外部的 50Ω 分压，所以从模型中看到电压的最大值其实要小于 V_{CC} ，图 2-34 中的 V1 就是这个分压值。对于下管，由于导通内阻与外部 50Ω 负载的分压，电压的最小值实际是大于 0V 的，图 2-34 中的 V2 就是这个电压的最小值。

记住，前面所说 Ramp 计算中用的 20% 和 80% 的值也是相对于 V1 与 V2 来说的。

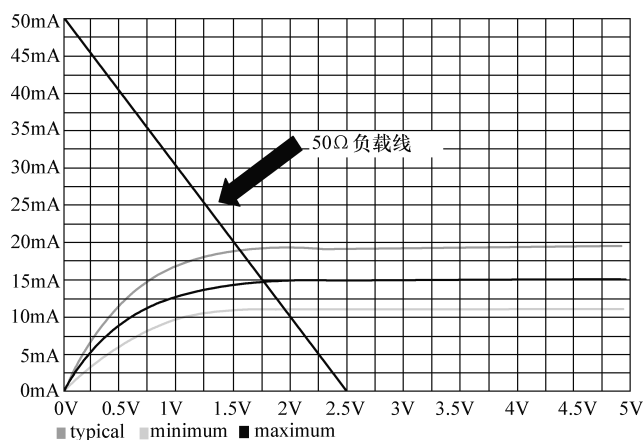
2.4.4 V/I 曲线与 V/t 曲线的对应关系

V/I 曲线与 V/t 曲线有什么联系呢？讨论这个概念时我们需要用到 50Ω 负载线，所以下面先介绍 50Ω 负载线。

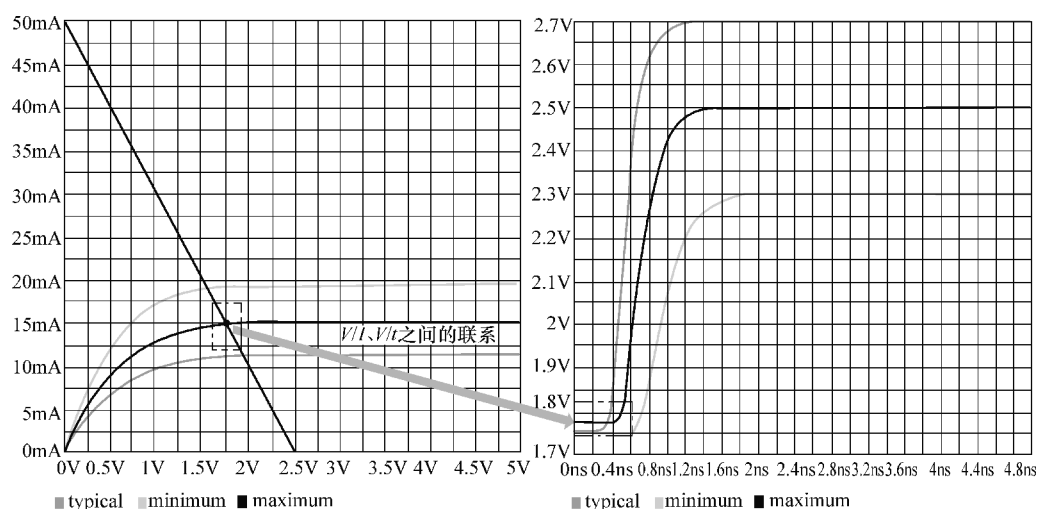
为什么要画 50Ω 负载线？ V/t 数据都是在模型外接 50Ω 负载测量时得到的，而模型内部工作状态是未知的， 50Ω 负载线可以将模型外部的状态与模型内部的状态联系起来。

图 2-34 分压值 V1 与 V2 在 V/t 曲线上的表示

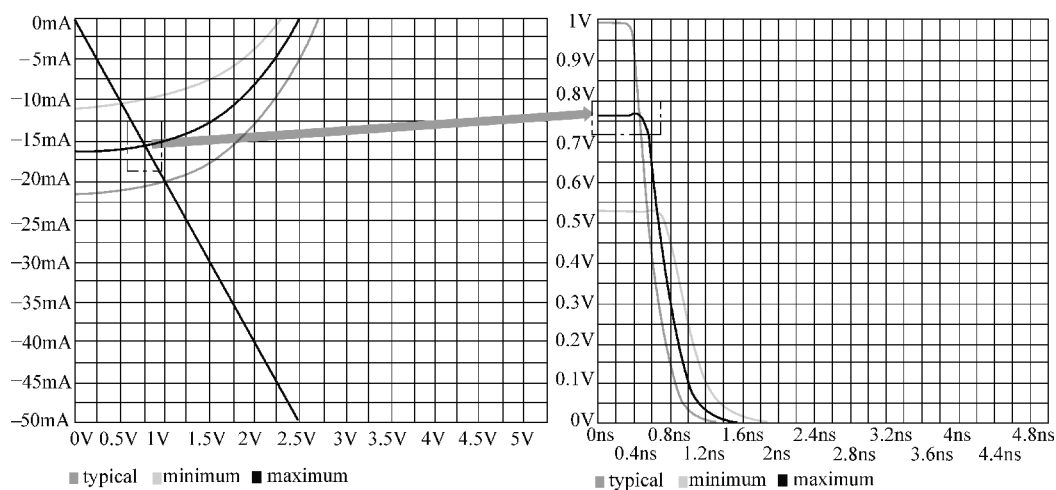
以画 Virtex-5 芯片 LVC MOS25_F_2 (其 $V_{CC} = 2.5V$) 模型的 Pull Down 的负载线为例, Pull Down 的负载线选取的是外接 50Ω 到 V_{CC} 的模型。我们利用模型输出电压为 V_{CC} 和 $0V$ 这两个点确定 50Ω 负载线。模型输出电压为 V_{CC} 时, 外部的 50Ω 电阻上的电压降为 $0V$, 所以这时流进模型的电流为 $0mA$ 。模型输出电压为 $0V$ 时, 外部的 50Ω 电阻上的电压降为 V_{CC} , 所以这时流进模型的电流为 $2.5V/50\Omega = 50mA$ 。通过以上两点我们就可以确定 Pull Up 曲线的 50Ω 负载线, 如图 2-35 所示。同理, Pull Up 条件下 50Ω 负载线也可以用以上方法得到。

图 2-35 LVC MOS25_F_2 Pull Down 曲线的 50Ω 负载线

下面我们来介绍 V/I 与 V/t 之间的联系, 还是以 LVC MOS25_F_2 的 Pull Down 状态为例。现在我们把 IBIS 模型想象成一个“黑匣子”, 在外接 50Ω 负载到 V_{CC} 的情况下, 输出端口 (IBIS 模型的 $V_{measure}$ 处) 在电压变化时, 50Ω 电阻两端电压差 V 除以其流过的电流 I 始终等于 50Ω , 将其 V 、 I 值绘成一根直线, 如图 2-35 所示。然后考虑芯片的 V/I 特性, 在外接 50Ω 负载时, 在 IBIS 下拉的 V/I 曲线上找到端口输出满足外部等于 50Ω 的情况的点。也就是说在下管导通的时候, 其工作点就稳定在 Pull Down 曲线与 50Ω 负载线的交点, 所以对于外接 50Ω 到 V_{CC} 的上升沿的电压起始点与下降沿的电压终止点都是这个交点的电压值, 如图 2-36 所示。

图 2-36 Pull Down 下的 V/I 与 V/t 的对应关系

如果我们外接 50Ω 负载到 Gnd，按照同样的方法得到 Pull Up 条件下 V/I 与 V/t 的对应关系，如图 2-37 所示。

图 2-37 Pull Up 下 V/I 与 V/t 的对应关系

V/I 与 V/t 的关系也是验证模型正确的一个重要因素，验证模型的时候将 50Ω 负载线和 V/I 曲线交点的电压值相差在 $\pm 5\% \times V_{CC}$ 以内，都认为模型是正确的，如果超过了 $\pm 5\% \times V_{CC}$ 的误差范围，我们就要认为这个模型是有问题的。

2.5 IBIS 封装参数

现在我们来介绍一下 IBIS 模型中的封装模型与封装中的各项参数对于仿真结果的影响。

封装，就是指把芯片内部的电路用导线接到外部外壳引脚处，以便与其他元器件连接。封装形式是指用来安装半导体集成电路芯片用的外壳形状与出排引脚方式。目前我们常用的封装材料有塑料和陶瓷两种，所有的封装都会对器件的电性能有所影响。由于系统频率和边缘速率的增加，封装的影响变得已经不能忽略了。

在 IBIS 模型中又包含哪些封装寄生参数呢？图 2-38 中所标示出来的就是 IBIS 模型中的封装寄生参数，其中 R_{Pkg} 、 L_{Pkg} 和 C_{Pkg} 分别代表封装带来的寄生电阻、寄生电感和寄生电容，即由走线上的电阻、走线上的电感和走线对地的电容组成。这些集总封装参数对 IBIS 模型在输出波形的上升沿和下降沿的速率变化有着重要的影响。

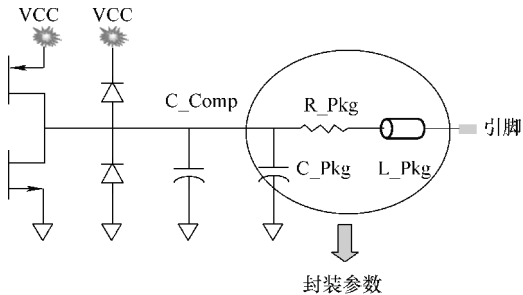


图 2-38 IBIS 模型的封装参数

在 IBIS 建模时，需要指明所提供的器件采用什么样的封装、器件的引脚排列清单（引脚名和信号名对应表）。下面是某个 IBIS 文件中 [Component] 关键字下载取的一段，其中 [Package] 下显示的是每个引脚默认的 R、L、C 封装参数，[Pin] 下显示的是特定引脚的 R、L、C 参数。

```
[Package]
| variable      typ          min          max
R_ pkg         0.274ohms      0.796 ohms    0.880 ohms
L_ pkg         3.270nH          1.090nH       7.220nH
C_ pkg         2.090pF          0.860pF       3.900pF
|
[Pin] signal_ name      model_ name      R_ pin      L_ pin      C_ pin
AB12 DQ(2)/IO_L5N_8    VIRTEX4 - SSTL121_BI  0.2740hm    3.270nH     2.090pF
AB13 DQ(5)/IO_L3P_8    VIRTEX4 - SSTL121_BI  0.2740hm    3.270nH     2.090pF
AB14 GND_ 6            GND                0.2740hm    3.270nH     2.090pF
AB15 VCCINT_ 4          POWER              0.2740hm    3.270nH     2.090pF
AB16 VCCAUX_ 1          POWER              0.2740hm    3.270nH     2.090pF
AB17 VCCINT_ 5          POWER              0.2740hm    3.270nH     2.090pF
...
```

除了在 [Component] 关键字下定义 IBIS 的封装模型外，IBIS 还支持封装以 .pkg 的形式给出，然后在 IBIS 文件中调用 .pkg 文件就可以了。定义的 Package 写在 [Package Model] 的关键字下面，定义一个 Package Model 的好处在于其支持分段形式的封装参数。下面给出一个分段定义封装的例子：

```
A1 Len=0 L=1.2n/Len=2 L=1.2n C=0.5p R=0.05/Len=0 L=2.0n C=1.0p/
```

怎么样解释上面的例子呢？从 Die 上集总为 1.2nH 开始经过一段 $L = 1.2\text{nH}$ 、 $C = 0.5\text{pF}$ 、 $R = 0.05\Omega$ 长度为 2 的走线到达 Pin 处，然后加上 Pin 处集总的感抗 $L = 2.0\text{nH}$ 与容抗 $C = 1.0\text{pF}$ 。

2.6 IBIS 模型在 Hspice 中的应用

本节主要结合具体实例，讲解使用 IBIS 模型仿真具体信号，包括理论分析、模型使用和仿真结果分析 3 个方面，并结合 Hspice 软件演示了特定仿真设计过程。在前几节中我们已经详细介绍了 IBIS 模型的基本原理。希望通过本节的学习让大家了解怎样使用 IBIS 模型和 Hspice 软件来进行信号完整性分析。我们会通过具体的 PCB 板卡来阐述使用 IBIS 模型进行仿真的整个过程。

整个仿真过程为使用 Hyper Lynx 软件来搭建所要仿真的拓扑并导出 Spice 网表 (Netlist)，然后将 Spice 网表文件部分内容编辑并利用 Hspice 进行仿真。通过对仿真结果的分析，来确定是否需要修改拓扑等以对设计进行调整。如果仿真结果不符合要求，则需要对拓扑、走线等进行修改。

关于 IBIS 模型在 Hspice 里的调用，我们可以通过 Hyper Lynx 软件自动生成，其语句如图 2-39 所示。

```
* Node 110 = U4.E14 (at pin) (receiver)
B_INPUT101 2 1 101 nd_out_of_in101
+power=off
+File='E:\SI\Model\4331110_max72463_v2.ibs'
+typ=typ
* Node 114 = U4.F14 (at pin) (receiver)
B_INPUT104 2 1 104 nd_out_of_in104
+power=off
+File='E:\SI\Model\4331110_max72463_v2.ibs'
+model='MAX72463-PCML_1P5V_REC-MXI-PCIEXP1_INP'
+typ=typ
* Node 108 = J1.Port4 (at pin)
* Node 112 = J1.Port3 (at pin)
```

图 2-39 调用 IBIS 的语句

图 2-39 中框的部分就是 IBIS 在 Hspice 中调用的语句。

可能有人说应该怎么样手动编写 Spice 网表做 IBIS 仿真呢？下面以一个小例子来讲解一下如何编写 Spice 网表文件。设计的电路如图 2-40 所示。

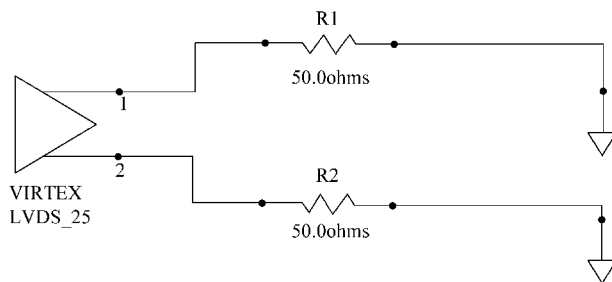


图 2-40 编写网表文件使用的拓扑

根据这个电路图，我们编写 .sp 如下：

```
. TITLE TestUseIbis
* * * * * created by xxx * * * * *
. TEMP 25
```

```

.option post probe

.param rate = 1e9
.param vl = 0v
.param vh = 1v
.param td = 10ns
.param tr = 0.1/rate
.param tf = 0.1/rate

v_in1 nd_in1 0 LFSR(vl vh td tr tf rate 'pow(2,7) - 1' [7,6])
这里设置激励为  $2^7 - 1$  的伪随机序列
v_en1 nd_en1 0 0V
查找 virtex6.ibs 里面 LVDS_25 的 enable 参数 Active - Low 所以设置 enable 电压为 0V

v_in2 nd_in2 0 LFSR(vh vl td tr tf rate 'pow(2,7) - 1' [7,6])
v_en2 nd_en2 0 0V

x1 nd_pu1 nd_pd1 nd_out1 nd_in1 nd_en1 nd_outofin1 nd_pc1 nd_gc1 ibisbuffer
x2 nd_pu2 nd_pd2 nd_out2 nd_in2 nd_en2 nd_outofin2 nd_pc2 nd_gc2 ibisbuffer
调用 IBIS 模型子电路

.subckt ibisbuffer nd_pu0 nd_pd0 nd_out0 nd_in0 nd_en0 nd_outofin0 nd_pc0 nd_gc0
子电路
b_io_0 nd_pu0 nd_pd0 nd_out nd_in0 nd_en0 nd_outofin0 nd_pc0 nd_gc0
定义 IBIS 模型
+ file = 'virtex4.ibs'
路径与 IBIS 模型定义
+ model = 'LVDS_25'
IBIS 模型信号选择
+ typ = typ
+ power = on
power on 说明 nd_pu0 nd_pd0 nd_pc0 nd_gc0 会根据 IBIS 文件里面的值定义不用为其指定连接
+ buffer = 3
3 代表模型的类型为 I/O 缓冲器类型
+ interpol = 1
xpin nd_out nd_out0 pin22
连接封装参数子电路
.ends

.subckt          pin22          nd_out          nd_out0
封装子电路
R_pin nd_out_c nd_out0 50m
C_pin nd_out_c 0 0.3p

```

```
L_ pin nd_ out nd_ out_ c 2n
.ends
```

```
R_ load1 nd_ out1 0 50
```

接 50Ω 负载

```
R_ load2 nd_ out2 0 50
```

```
. print tran v(nd_outfin0) v(nd_in1) v(nd_in2) v(nd_out1) v(nd_out2)
```

定义输出点

```
. tran 0.01ns 50ns
```

定义瞬态仿真时间

```
. END
```

然后根据上面所介绍的 Hspice 使用步骤进行仿真得到结果，如图 2-41 所示。

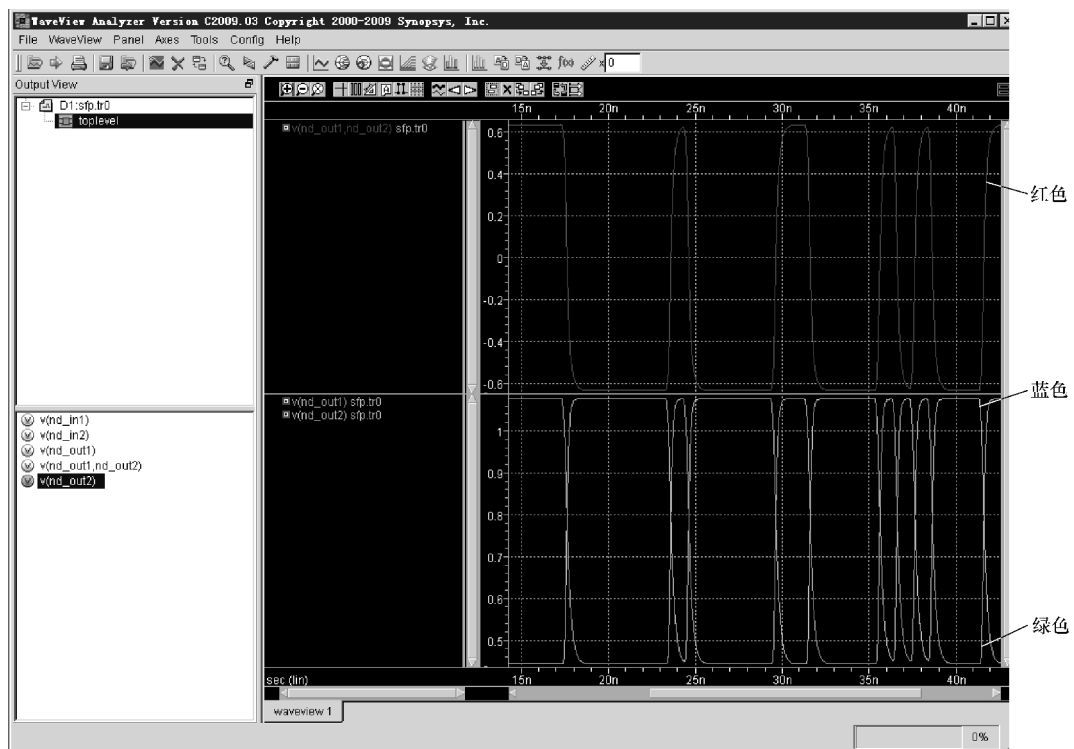


图 2-41 Hspice 仿真结果

这是 Hspice 仿真得到的波形，红色的是差分的信号，蓝色和绿色的分别是两个单端信号。

第 3 章 IBIS – AMI 模型

IBIS – AMI (Algorithmic Modeling Interface, 算法模型接口) 是在 IBIS 规范 5.0 以后为解决高速串行仿真问题引入的新概念, 随着 IBIS – AMI 模型的应用越来越普遍, 了解 IBIS – AMI 模型的原理就成了必须要掌握的内容。本章主要介绍 IBIS – AMI 模型的原理及其应用, 并且将在 Agilent ADS 软件中模拟一个简单的 IBIS – AMI 模型仿真。

3.1 IBIS – AMI 模型与普通的 IBIS 模型有什么区别

由于高速串行信号的速率不断提高, 幅度不断变小, 对于高于 1GHz 的信号其幅度衰减比较大, 在接收端可能看不到一个“睁开”的眼图。对于处理高速串行信号需要在信号的发送端将信号做预加重处理, 对于大于 5GHz 的信号还需要在接收端对信号做均衡处理。对于传统的 IBIS 模型是无法实现预加重与均衡操作的, 但是我们又想保留传统 IBIS 模型行为级模型的特性, IBIS – AMI 模型由此诞生。IBIS – AMI 模型是利用传统 IBIS 模型的 V/I 、 V/t 等参数来芯片的电气参数, 然后通过 AMI 进行预加重、均衡和时钟恢复等信号运算, 帮助接收端得到一个“睁开”的眼图。图 3-1 所示是使用 AMI 模型调整预加重与均衡后得到的某一个通道的眼图。

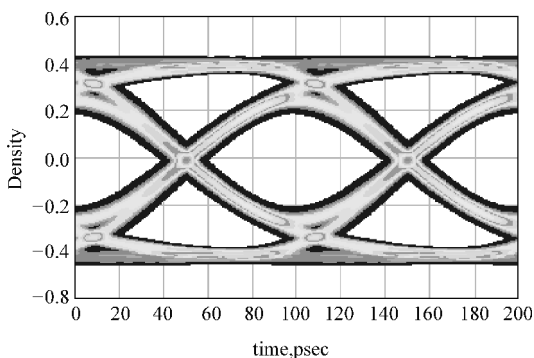


图 3-1 AMI 模型仿真某通道的眼图

IBIS – AMI 与其他模型 (Spice 等) 相比, 具有以下优点从而更加符合芯片厂商和硬件设计者的需求:

统一性: 不同半导体芯片厂商生成的模型可以产生统一的模型。

可移植: 相同的模型可以用不同的仿真软件来仿真分析。

高效率: 10000000bit 的仿真可以在 10min 或者更短的时间内完成。

灵活性: 模型支持统计和时域分析模式。

可用性: 模型提供仿真控制参数。

知识产权保护: 模型不能被逆推出芯片电路, 保护芯片厂商的利益。

3.2 IBIS – AMI 模型的结构

从模型结构上来看, 传统的 IBIS 模型包含的只有一个 .ibs 文件, 其中包括了前面介绍的 V/t 和 V/I 曲线。IBIS – AMI 模型除了包括 .ibs 文件外, 还包括了 .ami 和 .dll 文件 (或者 .so 文件), 其中 .ami 文件包含了模型的参数配置与运用了哪些参数等。

.dll 和 .so 文件也就是 .ami 模型实现的预加重等功能编译生成的动态库，其中 .dll 文件用于 Windows 操作系统平台的 ami 仿真，.so 文件用于 linux 平台的 AMI 仿真。

下面的数据是某个 IBIS – AMI 模型的 .ami 文件，.ami 文件是通过括号的逻辑关系构成树形结构，其注释符号只能是“|”。

```
(IBIS_ AMI_ Tx      | ami TX 模型
  (Description " Transmitter model for xxx. Copyright xxx Corp" )
  (Reserved_ Parameters
    (Ignore_ Bits (Usage Info) (Type Integer) (Default 16)
      (Description " Model may need many bits to converge" ))
    (Max_ Init_ Aggressors (Usage Info) (Type Integer) (Default 12)
      (Description " Number of aggressors" ))
    (Init_ Returns_ Impulse (Usage Info) (Type Boolean) (Default True)
      (Description " Return impulse and parameters_ out. " ))
    (GetWave_ Exists (Usage Info) (Type Boolean) (Default False)
      (Description " IBIS – AMI Getwave function. " ))
    (Tx_ DCD (Usage Info) (Type UI) (Format Value 0.023) (Default 0.023)
      (Description " Tx DCD in UI. " ))
    (Tx_ Jitter (Usage Info) (Type UI) (Format DjRj 0.028 0.028 0.0092)
      (Description " Tx DJ/RJ. " ))
  ) | 结束 Reserved_ Parameters
  AMI 文件分为两个部分，上面是第一部分，即 IBIS 的保留参数部分。里面定义这些保留值的大小，这些保留参数决定了 IBIS – AMI 的工作流程与仿真级别。比如说，用不用做 TX/RX 初始化、用不用做一些自定的非线性时不变处理等。
  (Model_ Specific
    (tap_ filter (Description " Array of Tx de – emphasis tap weights" )
      ( -1 (Usage InOut) (Format Range 0 -0.187 0) (Type Tap) (Default 0)
        (Description " Pre – cursor tap weight" ))
      (0 (Usage InOut) (Format Range 1 0.6 1) (Type Tap) (Default 1)
        (Description " Main tap weight" ))
      (1 (Usage InOut) (Format Range 0 -0.387 0) (Type Tap) (Default 0)
        (Description " Post – cursor #1 tap weight" ))
      (2 (Usage InOut) (Format Range 0 -0.087 0) (Type Tap) (Default 0)
        (Description " Post – cursor #2 tap weight" ))
    )
  ) | 结束 Model_ Specific
  ) | 结束 IBIS_ AMI_ Tx
```

第二部分是每个模型的特定参数，这个部分定义的是每个模型不同的参数，你可以在这里根据实际芯片情况设定不同的预加重阶数与其范围，还可以设定 slew rate 等的默认值。这些值会在模型运行时被调用。

.dll/.so 是信号运算编译而成的动态链接库，你可以根据 IBIS – AMI 工作的流程自己编程建立 .dll 文件，所以说 .dll 文件是 IBIS – AMI 模型的算法部分，里面记录了模型的运算逻辑。因为 .dll/.so 对仿真的平台有依赖性，在仿真之前需要确认模型支持的环境。我们可以

通过在模型中查找关键字 [Algorithmic Model]，在其下面可以找到 AMI 支持的平台（区分 32 位系统和 64 位系统），如图 3-2 所示。

```
*****
[Model]      Rx
Model_type   Input
C_comp      0.00p 0.00p 0.00p
Vinh        = 0.55
Vinl        = 0.45

[Temperature_Range] 25    100    0
[Voltage_Range]    1.2    1.14    1.26

[Algorithmic Model]
Executable     Windows_VisualStudio_32    TestRx.dll    TestRx.am
Executable     Linux_gcc3.2.3_32         libRx.so      TestRx.am
[End Algorithmic Model]
*****
```

图 3-2 AMI 中的 [Algorithmic Model] 关键字

3.3 IBIS – AMI 模型的工作原理

AMI 有两种不同的工作级别，分别是 INIT：脉冲响应处理（Impulse Response Processing）和 GETWAVE：时域波形处理（Time – domain Waveform Processing）。

由图 3-3 可以看出，INIT 处理的是冲激响应，GETWAVE 处理的是动态波形（均衡、预加重、时钟恢复等功能）。INIT 将含有通道与芯片 TX/RX 特性的冲激响应输出，然后将输出的冲击响应与激励码型卷积，然后经过 GETWAVE 处理得到最后的波形。

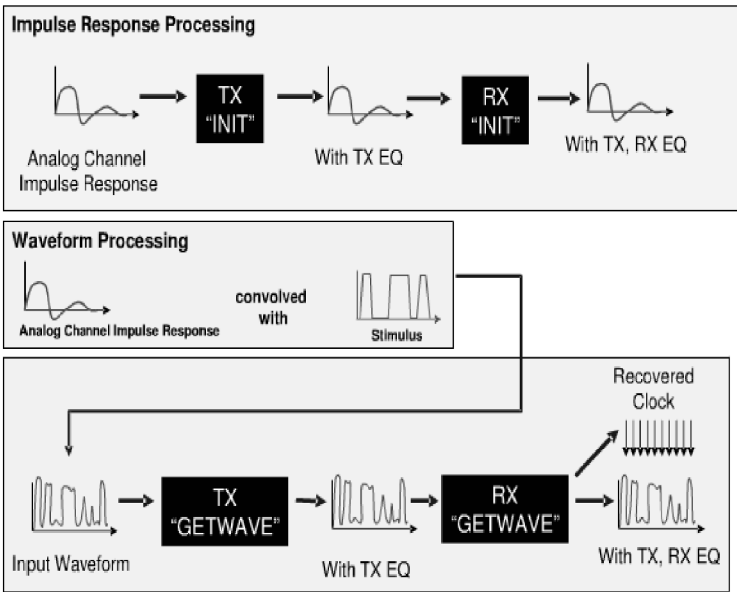


图 3-3 INIT 和 GETWAVE 的工作原理

AMI 模型的工作原理是什么呢？它是按照什么样的流程工作的？下面来讨论 AMI 模型的工作流程。

图 3-4 所示是截取 IBIS 5.0 规范中对于工作流程的描述，图 3-4 对其工作的流程做出了

解释。其中符号 $*$ 代表卷积, $b(t) * p(t)$ 代表仿真的信号 [$b(t)$ 是诸如 00101011 的比特流, $p(t)$ 是比特宽度], $h_{AC}(t)$ 代表通道的冲激响应。

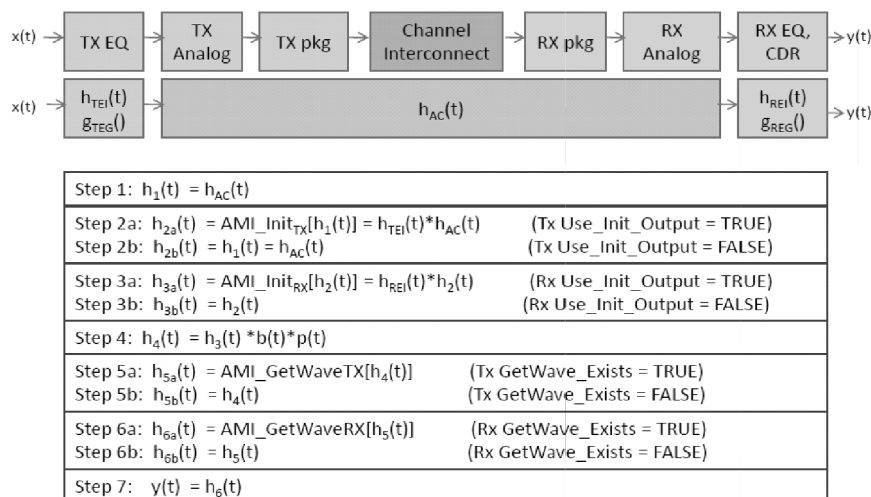


图 3-4 AMI 的工作流程

下面来具体讲一下每一步的意义：

第一步：取到通道的响应。

第二步：判断有无 INIT TX 模式，若有，则将第一步的结果与 INIT TX 响应函数卷积作为第二步的结果；若没有，则取第一步的结果。

第三步：判断有无 INIT RX 模式，若有，则将第二步的结果与 INIT RX 响应函数卷积作为第三步的结果；若没有，则取第二步的结果。

第四步：将第三步的结果与仿真的信号 $b(t) * p(t)$ 卷积作为第四步的结果。

第五步：判断有无 GETWAVE TX 模式，若有，则将第四步的结果作为 GETWAVE TX 响应函数 $g_{TEG}()$ 的自变量作为第五步的结果；若没有，则取第四步的结果。

第六步：判断有无 GETWAVE RX 模式，若有，则将第五步的结果作为 GETWAVE RX 响应函数 $g_{REG}()$ 的自变量作为第六步的结果；若没有，则取第五步的结果。

第七步：取第六步的结果作为输出的结果。

3.4 IBIS – AMI 模型在 ADS 中的使用

IBIS – AMI 模型的使用不同于传统 IBIS 模型，需要我们在模型里面设置预加重等内容，本节将以一个简单的实例来说明 IBIS – AMI 模型的仿真使用。

1) 运行 Agilent ADS 软件，新建一个 Workspace，按照提示完成 Workspace 的建立。完成以后手动把模型复制到该 Workspace 的 data 目录下。

2) 新建一个 Schematic，如图 3-5 所示。

单击工具栏上面的 New Schematic Window 图标，新建一个原理图。

3) 调入 AMI 的 TX 和 RX 模板，如图 3-6 所示。

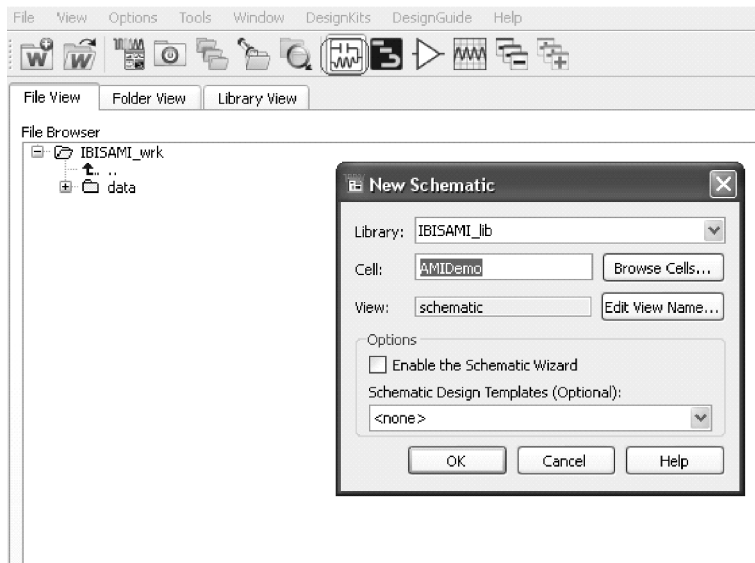


图 3-5 新建一个 Schematic

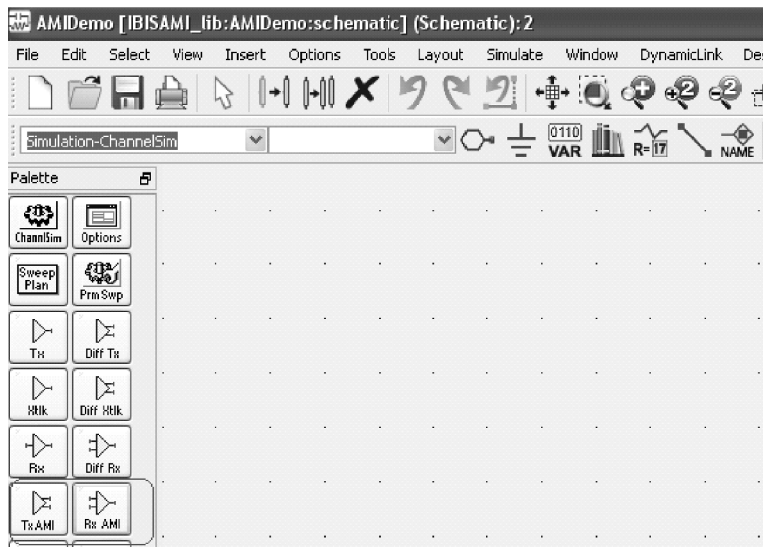


图 3-6 调入 AMI 模型的 TX 和 RX 模板

左上角的第一个下拉框里面选择 Simulation – ChannelSim，然后在里面找到 AMI 模型的 TX 和 RX 模板。选中以后调入右面的空白区域。仿真所用到的通道用一个简单的 S 参数模型代替。S 参数模型的调入在右上方的第二个下拉框里输入 SnP 就可以调入，如 4 端口的 S 参数模型，我们输入 S 4P 就可以了。完成连线以后如图 3-7 所示。

4) 给模板赋上模型，并设置仿真参数。

双击模板得到图 3-8 所示窗口并点击 Select IBIS File 选择所要赋的模型。

点击 Open 以后如图 3-9 所示，然后在 AMI 选项卡里面可以设置我们所需要的 AMI 参数，包括均衡、抖动等。

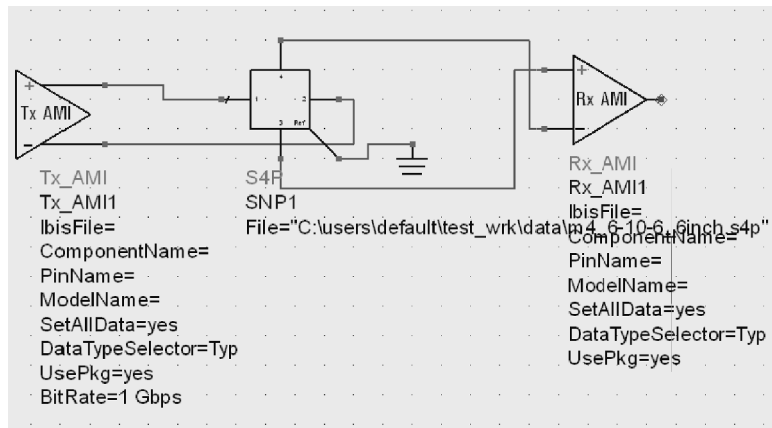


图 3-7 IBIS - AMI 仿真通道

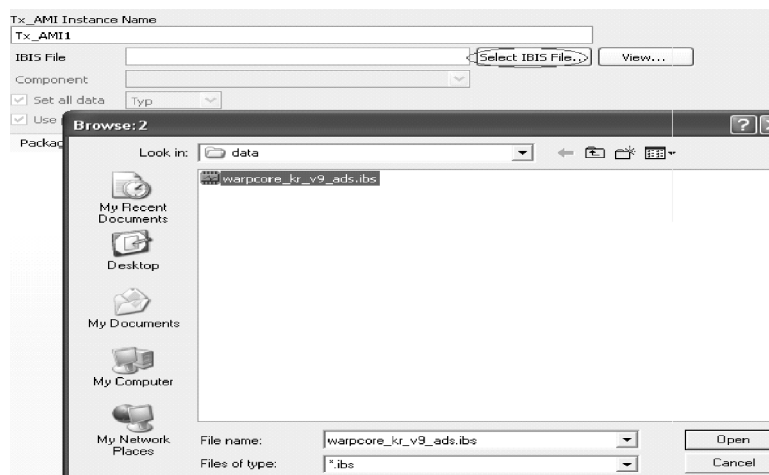


图 3-8 给 AMI 模板附上模型值



图 3-9 设置预加重等 AMI 参数

选择 PRBS 选项卡选择所要仿真的码型以及仿真的频率，如图 3-10 所示。对于 RX 模型，用同样的方法来设置 AMI 的 RX 模型参数。

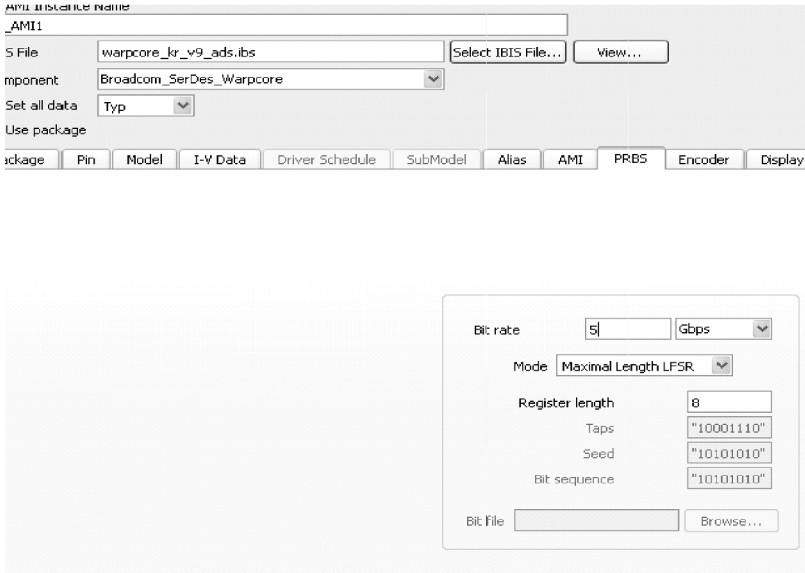


图 3-10 设置仿真速率

5) 调入并设置 Eye probe 以及 ChannelSim。

在 Simulation – ChannelSim 里面将 Eye probe 和 ChannelSim 调入并连线，这样就加入了通道仿真引擎与眼图观察点，如图 3-11 所示。

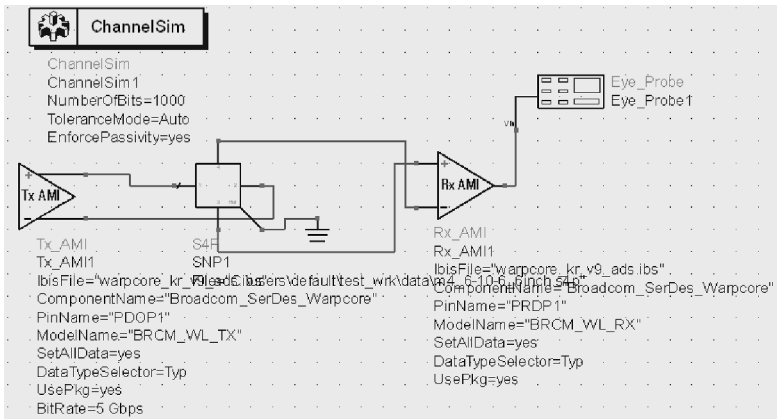


图 3-11 加入仿真引擎与眼图观察点的通道

双击 Eye_Probe，将数据速率设置到和通道的仿真频率一致。然后设置所需要测量的参数，点击 Measurements 选项卡。如图 3-12 所示，将需要测量的参数选中以后单击 OK。

然后双击 ChannelSim 设置相关的参数，如图 3-13 所示。

6) 运行仿真。

在设置完仿真的参数以后，点击工具栏上面的小齿轮运行仿真。跳出结果窗口以后就可以将需要的结果贴在右侧空白处，如图 3-14 所示。

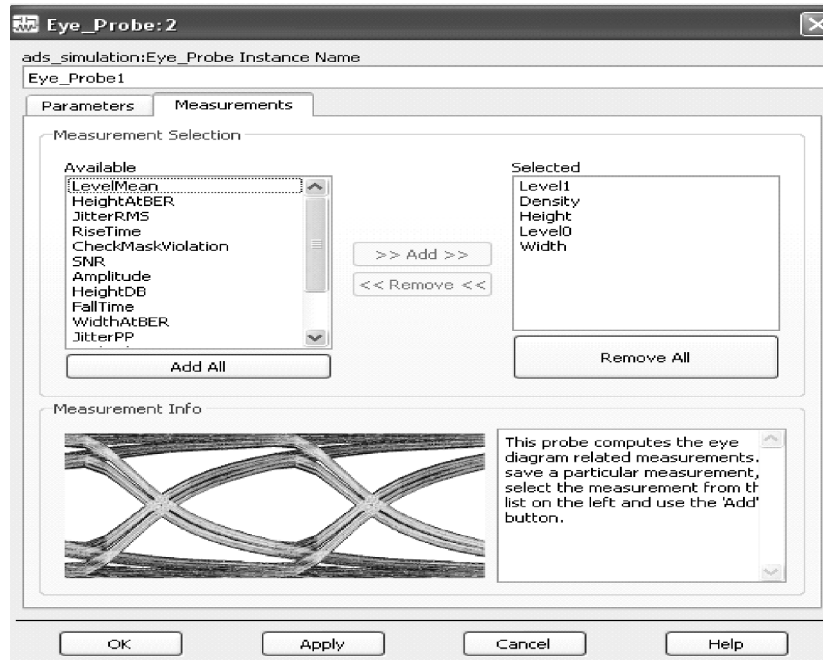


图 3-12 设置所要仿真的参数

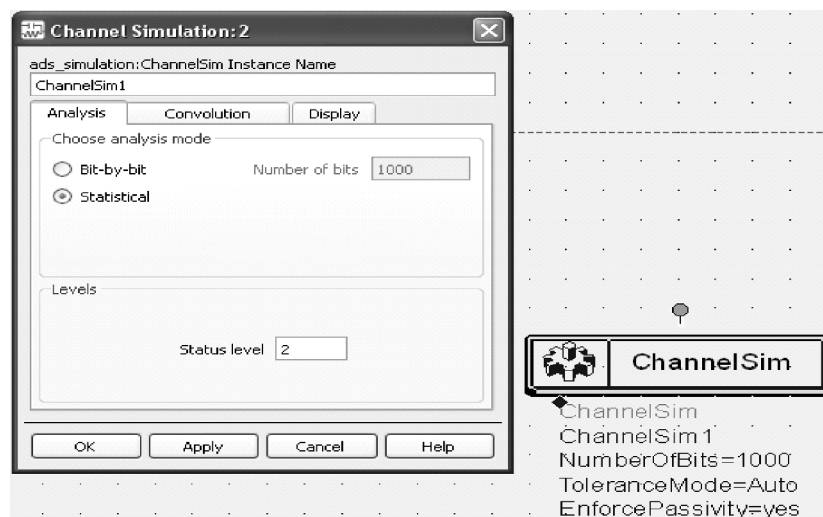


图 3-13 ChannelSim 相关参数设置

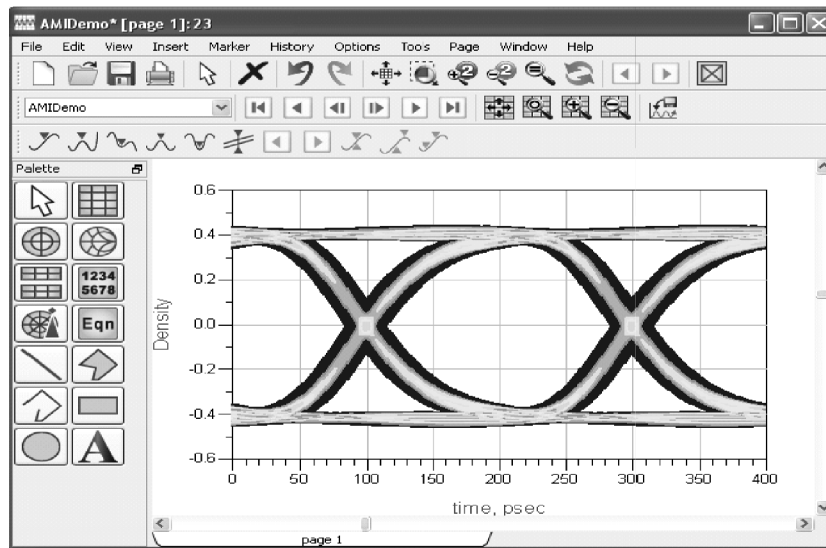


图 3-14 仿真结果显示窗口

第 4 章 S 参数模型

在信号完整性仿真的工作中，对于传输线通道我们需要建立一个模型来表征其好坏，对于高速数字信号最常用的方法就是电磁场等效电路法，在分析场分布的基础上，用路的方法将高频微波元件等效为电抗或电阻元件，将实际的走线等效为传输线，把场的问题转化为路的问题来解决。电路分析法主要是研究幅频和相频特性。S 参数就是讨论的信号幅频和相频特性的一个参数。S 参数概念，对于初学者来说比较难理解，本章将用简单的语言从 S 参数的基本概念出发，争取让读者对 S 参数有一个较为清晰的认识。

4.1 S 参数的基本概念

S 参数是什么？为什么需要 S 参数？首先需要介绍一下信号的概念。对于任意信号都可以看成不同频率的正弦波和余弦波的叠加。图 4-1 所示是由正（余）弦波多次叠加得到的方波，叠加的频率分量越多，我们所看到的图形将越接近于方波。

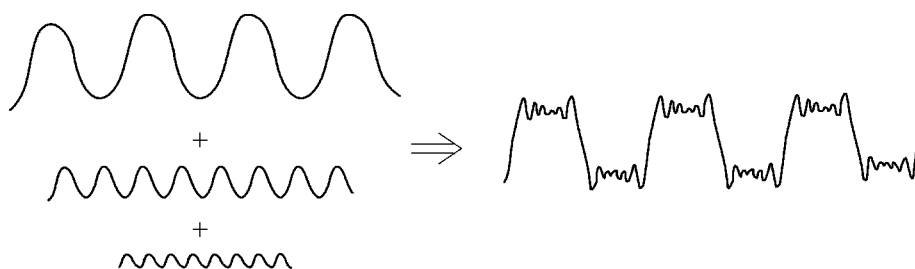


图 4-1 由正（余）弦波多次叠加得到的方波

同样，任意码型的数字信号可以看成一组频率不同的正弦波叠加。而对于仿真频率不同的一组正弦波信号通过一个通道，需要关心的也只有两个方面：一个是电压大小有没有变化；另一个是它们相互之间的距离有没有变化，即幅度与相位的信息。通过通道后再将这些产生了幅度和相位变化的正弦波叠加到一起生成新的波形。所以我们可以把处理任意信号等效成处理一组频率不同的正（余）弦波。

4.2 为什么需要 S 参数

S 参数是基于频域的行为级模型。S 参数关心的有两个方面：一是不同频率的正弦波叠加组成输入信号达到目的端口时，目的端口接收到的每个频率分量的幅度与相位的信息；二是输入信号由于被反射，源端口接收到的每个频率分量的幅度与相位的信息。所以 S 参数一般描述的不是信号，而是通道对信号的影响，即表示的是通道的特性。

为什么需要 S 参数？随着频率的增加，信号传到接收端的能量将逐渐减少，S 参数能精确地表现出在每个频率点电压衰减的大小，然后根据不同的通道标准，判断通道是否合格。另

外，在设计高速电子系统时，往往需要一个频带宽而且平缓的幅频特性曲线。如果能得到通道 S 参数模型，我们只要在某些频点做补偿设计，这样就能得到一个带宽符合要求的系统。

我们知道有很多其他的网络参数模型，例如阻抗参数模型、导纳参数模型与转移参数模型等。但是为什么 S 参数会如此受欢迎？我们发现上述模型都是基于电压与电流的，但是在频率高的情况下电压与电流总是不断变化的，我们很难测得两个端口之间电压或者电流的相对关系。而反观 S 参数，我们发现工程测量入射波与反射波之间的相对大小与相对相位是可行的。

4.3 S 参数的表示方法

打开一个 S 参数文件，我们看到的只有一堆数字，那它们代表的是什么意思呢？以二端口网络为例，我们提取的参数可以用 S11、S21、S12 和 S22 表示。各参数的物理含义如下：

S11：端口 2 匹配时，端口 1 的反射系数，即端口 1 的反射电压与端口 1 的入射电压之比；

S22：端口 1 匹配时，端口 2 的反射系数，即端口 2 的反射电压与端口 2 的入射电压之比；

S12：端口 1 匹配时，端口 2 到端口 1 的反向传输系数，即端口 1 接收到的电压与端口 2 的入射电压之比；

S21：端口 2 匹配时，端口 1 到端口 2 的正向传输系数，即端口 2 接收到的电压与端口 1 的入射电压之比。

图 4-2 所示是二端口网络的示意图， a_1 为端口 1 的入射波电压， b_1 为端口 1 接收到的反射波电压。

我们发现定义 S 参数时会把端口做匹配，这说明 S 参数只是描述通道网络的特性，是通道的固有属性。推广到任意端口



图 4-2 二端口网络示意图

的网络，单端 S 参数可以由一个公式来概括，即 $S_{ij} = \frac{b_i}{a_j}$ 。其中 b_i 是其他端口都匹配的情况下，端口 i 接收到的反射波电压； a_j 是其他端口都匹配的情况下，端口 j 的入射波电压。

现在差分传输系统早已成为高速信号系统传输的主流。如果差分传输线的距离很近，差分线之间能很好地耦合，任何引入噪声对两条差分传输线的影响都是相同的。然而，实际的差分系统并不是完美的，构成差分信号的两个单端信号本身不平衡、两个通道的长度不相等、耦合不紧密等都会导致能量由差模向共模转换。由于实际的差分信号总是由差模信号和共模信号组成，单端的 S 参数矩阵并不能提供关于差模和共模传输的信息。混合模式 S 参数由此诞生，并成为评价差分传输通道性能的重要工具。

如果是用来传输差分信号，一个单端四端口网络就可以理解为一个差分的二端口网络。混合模式 S 参数从物理意义上理解正是描述了成对的两根线对两个信号之和（共模）和两个信号之差（差模）分别有什么响应。图 4-3 所示为四端口网络及其差分等效模型。

我们将四端口网络等效成差分形式的四端口网络，四个端口分别为端口 1 和 2 的差模值、端口 1 和 2 的共模值、端口 3 和 4 的差模值与端口 3 和 4 的共模值。然后将这个四个端口混合模式的 S 参数表示为 S_{ddij} 、 S_{ccij} 、 S_{cdij} 与 S_{dcij} 四种形式。

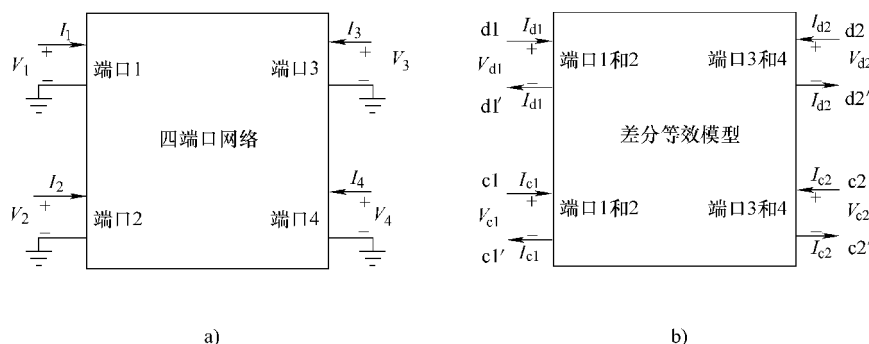


图 4-3 四端口网络及其差分等效模型

a) 四端口网络 b) 差分等效模型

S_{dc} 表示差模向共模的转换, S_{cd} 分别共模向差模的转换。如果这两根线有很好的对称性, S_{dc} 和 S_{cd} 为零, 表示差模和共模是完全独立的。 S_{dd21} 表示差分端口 1 到差分端口 2 的差模增益, 其他符号的含义以此类推。

4.4 S 参数的归一化

提到 S 参数的时候, 往往会听到归一化 S 参数的概念, 那么归一化 S 参数又是什么呢?

首先, 归一化不是将阻抗变为 1, 而是统一的意思。在得到 S 参数的时候我们要考虑到 S 参数的值和端口阻抗的对应关系, 准确地说, S 参数应该表述为“在端口阻抗为 Z (Z 可以是变量可以是常数) 的条件下测得的 S 参数, 这是因为端口阻抗不同会引起额外的反射加到网络的 S 参数里面。那么有人要问了, 什么样的端口阻抗才是正确的呢? 其实, 无论什么样的端口阻抗下测得的 S 参数曲线都是正确的, 只不过是两种不同情况下的表示方法而已, 它们所描述的网络其实还是同一个。拿哈士奇来举个例子, 有些人说这个动物叫“狗”, 有些人说这个动物叫“狼”, 其实这只是在不同的人眼里看得不一样而已。

为什么需要 S 参数的归一化? 将 S 参数的归一化是让 S 参数的端口阻抗有了一个统一的标准。由于端口的波阻抗是根据频率不断变化的, 在没有做端口阻抗归一化的时候, 像 HF-SS 等三维软件都会默认认为端口阻抗也是根据不同频率而变化与波阻抗匹配的, 但是在实际情况下端口阻抗都是固定不变的, 所以我们要对端口做归一化处理。我们现在得到的 S 参数模型一般都是归一化的 S 参数。

有了以上概念, 我们只要简单地再提一下归一化的公式就可以了, 对于网络电压与电流归一化, 我们有如下定义:

$$u = \frac{U}{\sqrt{Z_e}}, \quad i = I \times \sqrt{Z_e}$$

此时的 u 和 i 具有了相同的量纲, 而它们的二次方就能表示功率的大小。端口 i 的归一化电压与归一化电流可以表示为 $u_i = a_i + b_i$ 和 $i_i = a_i - b_i$ 。

a_i 是端口 i 的入射波归一化电压, b_i 是端口 i 的反射波归一化电压。化简一下可以得到端口 i 的入射波电压与反射波电压与该端口电压与电流的关系。

根据上面的两个公式可以得到 $a_i = \frac{V_i + Z_e I_i}{2 \sqrt{Z_e}}$ 和 $b_i = \frac{V_i - Z_e I_i}{2 \sqrt{Z_e}}$ 。然后根据 $S_{ij} = \frac{b_i}{a_j}$ 得到我们

所需要的归一化 S 参数矩阵。

4.5 S 参数的性质

提到 S 参数的时候经常会涉及一个概念，如无源性、非线性、因果性、互易性等，下面将逐一介绍这些性质。

1. 无源性

对于 S 参数所表示的网络，我们需要它是一个无源网络。因此，对于二端口网络存在下面的关系式：假设没有损耗，所有输入的能量应该等于输出的能量 $|S_{21}|^2 + |S_{11}|^2 = 1$ ，当 S_{21} (S_{11}) 大的时候， S_{11} (S_{21}) 就会小一些。在有损耗的情况下，任意一个无源的二端口网络， $|S_{21}|^2 + |S_{11}|^2 < 1$ 。因此，一个无源器件的 S 参数不会大于 1 (0dB)。 $|S_{21}|^2 + |S_{11}|^2$ 表示功率散射比，这个值越小，说明通道的损耗越大。

我们拿到的 S 参数第一步就要进行无源性检查，如果发现 S_{ij} 有大于 1 (0dB) 的 S 参数，不能将其直接用于仿真软件，需要找出违反无源性的原因，并重新生成一个正确的 S 参数模型。

2. 因果性

所谓因果性就是先有激励才有输出。对于无源系统 S 参数，由于信号的传输一定会产生一定的延时，因此无源系统的 S 参数应该都是符合因果性原理的。但实际上我们得到的 S 参数往往会由于种种原因产生一定的非因果性。为了保证仿真结果是可以相信的，我们首先必须要做因果性验证（可以利用软件计算机时域波形，观察其冲击响应在 t 小于零的时候是否为零。或者利用软件编程验证 S 参数的实部与虚部之间是不是满足希尔伯特变换[⊖]）。

3. 互易性

如果一个通道（或者器件）是可交换双向使用的，那么其 S 参数应该符合互易性原则，即 $S_{ij} = S_{ji}$ 。所以对于 PCB 电路的 S 参数通道而言，我们需要比较一下 S_{ij} 是否与 S_{ji} 相等。

4. 非线性

非线性指的是 S 参数相比于实际的通道在频谱上产生了变化。这个问题可以分为两类：带宽不足引入的非线性与激励信号过饱和引入的非线性。

对于一个线性系统，输入信号与输出信号的频谱应该是一致的。当输出信号与输入信号多（或者少）了其他的一些频率分量，我们称这个系统产生了非线性。对于一个线性系统，其 S 参数也应该是线性的。

但是由于 S 参数的频带是一定的，所以非线性在所难免。将一个 S 参数应用于仿真时，需要观察 S 参数的频带范围是不是包含了传输信号的带宽，以减少非线性的影响。

还有一种非线性是由于我们在提取 S 参数时，由于输入信号过大产生的非线性，比如说我们在获取 S 参数时，过大的输入信号由于本身特性（或者测量时经过 DUT）可能会产生限幅，这样会引入很多其他频率分量。图 4-4 所示是一个正弦波通过某一非线性器件后时域与频域的变化。从图 4-4 中我们可以发现，时域信号被限幅，在频域上产生很多其他分量引起非线性问题。所以为了避免非线性问题，我们在获取 S 参数时不能选择过大的激励电压。

⊖ 希尔伯特变换： $F(t) = f(t) * 1/\pi t$ ，因果系统的冲激响应实部与虚部之间满足希尔伯特变换。

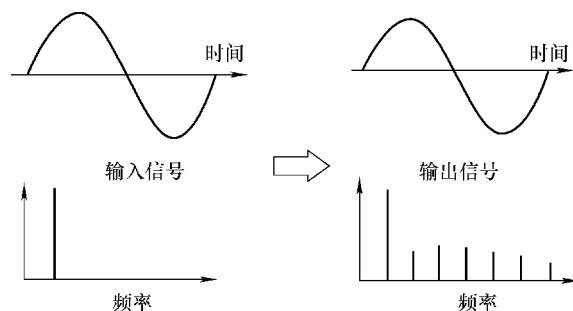


图 4-4 正弦波通过某一非线性器件的时域与频域特性

4.6 S 参数文件解读

打开一个 S 参数文件怎样才能读懂它的内容呢？用写字板打开一个 S 参数文件看到如图 4-5 所示的头信息。

```
! Created Fri Dec 09 10:16:11 2011
# mhz S ma R 50
! 4 Port Network Data from ****
! freq magS11 angS11 magS12 angS12 magS13 angS13 magS14 angS14
!      magS21 angS21 magS22 angS22 magS23 angS23 magS24 angS24
!      magS31 angS31 magS32 angS32 magS33 angS33 magS34 angS34
!      magS41 angS41 magS42 angS42 magS43 angS43 magS44 angS44
!
```

图 4-5 某 S 参数文件的头信息

图 4-5 中第二行从左到右 mhz 表述扫频的正弦波频率单位，S 代表该文件为 S 参数，ma 代表 S 参数的表示形式（S 参数可以表示成 db 值、ma 值、实部与虚部等形式），R 50 则代表端口阻抗为 50Ω 。！以后的是注释内容，第 4~7 行标明了 ma 形式 S 参数的写法。以每个频点为单位，分别列出每个频点的幅度与相位信息。图 4-6 所示为该 S 参数数据内容的截取。

50	0.0659553064	-76.8111173	0.873076734	-79.4294091	0.0311141234	35.839906	0.00841210886	-143.4463
	0.873069369	-79.4298458	0.0733652312	-80.4084299	0.00848323462	-143.457336	0.0290479192	30.4590829
	0.030743478	37.4852535	0.00874696102	-147.105647	0.066226836	-77.6961648	0.85840157	-78.7761381
	0.00867286009	-147.100264	0.0280903596	32.5279268	0.85840881	-78.7757007	0.0723670572	-81.6575956
60	0.0585172197	-108.917345	0.864192539	-94.9009804	0.0233767242	37.0388826	0.0123802822	-161.9310
	0.864186707	-94.9013583	0.0678705733	-110.339337	0.012483754	-161.918623	0.0207088959	30.5422208
	0.0229885264	39.4951977	0.0128609852	-164.589352	0.0594427017	-107.880235	0.849792185	-94.1042068
	0.0127530093	-164.600431	0.0197721563	34.1213286	0.849797919	-94.1038276	0.0676044618	-109.85552
70	0.0579227087	-147.476846	0.854688893	-110.348727	0.0179291357	69.1892982	0.0167783284	176.3562
	0.854686193	-110.34917	0.0663209526	-145.165808	0.0169181725	176.384031	0.0148276806	69.0528767
	0.0182419133	73.1228661	0.0174449183	174.375467	0.05757572	-143.330002	0.840735433	-109.405303
	0.0172994266	174.34324	0.0151775966	75.7268737	0.840738097	-109.404857	0.0655391521	-141.748644
80	0.0683179237	175.093684	0.844271706	-125.752718	0.0297083543	102.610664	0.0213742466	153.1727
	0.844272198	-125.753415	0.0731772884	176.897814	0.0215515852	153.209323	0.028024587	104.244658
	0.0309539041	104.382981	0.0222431985	151.667577	0.0642386853	-179.459512	0.830965832	-124.663118
	0.0220582055	151.626867	0.0296418651	106.569305	0.830965385	-124.662417	0.0690957738	-175.614502
90	0.0872654859	145.017828	0.832843926	-141.078789	0.0524730806	105.675379	0.0258160655	129.204
	0.832845723	-141.079918	0.0881184991	147.074734	0.0260284847	129.246309	0.0512205478	104.359699
	0.0541666213	106.51401	0.0268789368	128.069635	0.0766573546	149.69236	0.820353171	-139.85058
	0.0266567719	128.024492	0.0532050842	105.376063	0.82035149	-139.849448	0.07917322	152.563401
100	0.109640421	121.359051	0.820564417	-156.28828	0.0790381245	98.7850899	0.0297272826	104.7394
	0.820564272	-156.289943	0.107586561	120.610767	0.0299684575	104.787162	0.0776108576	95.6092746
	0.0810813244	99.3240825	0.0309612167	109.907702	0.0964125657	124.953221	0.809075462	-154.934854
	0.0307082341	103.857211	0.079811331	96.2419379	0.809075755	-154.933191	0.0932667257	125.120238
110	0.131869492	101.720688	0.807984764	-171.349965	0.106208753	88.6705417	0.032873213	80.17599
	0.807979888	-171.352114	0.128206445	98.2364527	0.0333352053	80.2289793	0.104353729	84.2032889
	0.108550757	89.0718962	0.0342402427	79.6050039	0.114630936	104.383036	0.797550709	-169.889059
	0.0339646538	79.5500577	0.106704657	84.6679506	0.797556701	-169.886915	0.10909963	101.535504

图 4-6 某 S 参数数据内容的截取

接着分析一下 S 参数的形状，用图形化软件打开的某个二端口 S 参数文件得到图 4-7 所示的 S 参数曲线。

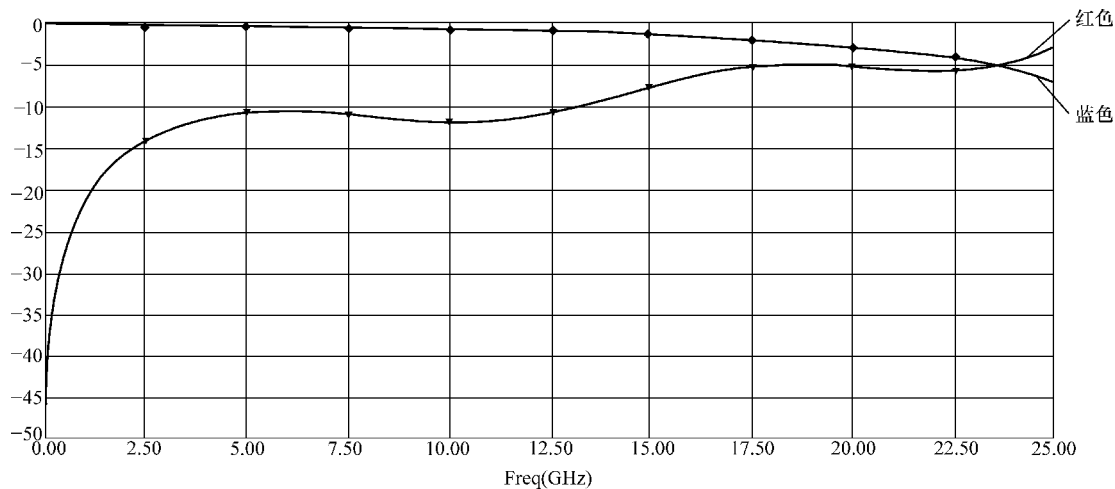


图 4-7 某二端口 S 参数的 S11 与 S21 曲线

其中红色曲线是 S11 曲线，蓝色曲线是 S21 曲线。图 4-7 中可以看到 S11 由于到频率越高反射回输入端的能量越多，所以 S11 的趋势是逐渐升高的。同样，由于到频率越高接收端得到的能量越少，S21 的趋势是始于原点然后逐渐降低。

4.7 冲激响应

在前面的章节里面，我们提到过冲激响应，那么冲激响应应该如何测量呢？我们知道的冲击响应可以表征一个信道的行为级特性，它可以任意输入（例如脉冲或者比特流）以进行信号完整性仿真。但是在实验室里面以时域的方法来测量冲激响应几乎是不可能的，因为测量需要有无限快的上升沿作为激励，但是无限快的上升沿是无法被模拟出来的。

所以一般工程上求冲激响应都是用 S 参数计算求解的。由于 S 参数表示的是通道网络的频域行为及特性，在测量的过程中能把一些探针/夹具的影响给去掉而提高准确度。在计算上，我们需要利用傅里叶逆变换来得到时域冲激响应。

4.8 获取 S 参数的方法

获取 S 参数的途径主要分为两种：一种是通过仿真软件提取通道获取 S 参数模型；另一种是通过测量获取。

1. 仿真获取 S 参数模型

伴随着 EDA 技术的不断发展，涌现出了一大批 EDA 厂商，也出现了各式各样提取 S 参数的软件。对于 PCB 电路的 S 参数提取，大部分 EDA 工具中都支持直接导入 PCB 的信息，只要人为在 PCB 上设定 S 参数端口位置，就可以提取 S 参数了。对于连接器等器件，就只能通过三维建模软件（如 HFSS、CST）来建立三维模型，设定端口来提取 S 参数模型。

下面举一个用 CST 建高速连接器下面 PTH 孔获取 S 参数的例子。首先我们需要先建立一个新的工程文件，打开 CST 工作室以后通过 File→New 得到图 4-8 所示的页面。

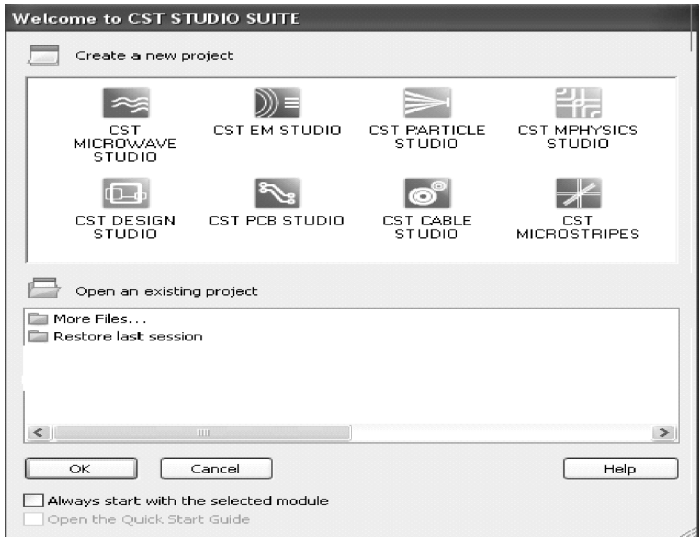


图 4-8 新建工程界面

然后选择 CST MICROWAVE STUDIO 进入新建的工程。打开工程以后的第一步，我们需要先设定该工程中器件的数值单位，通过 Solve→Units 得到图 4-9 所示的界面，在这个界面下可以设定尺寸、温度、频率、时间等的单位。

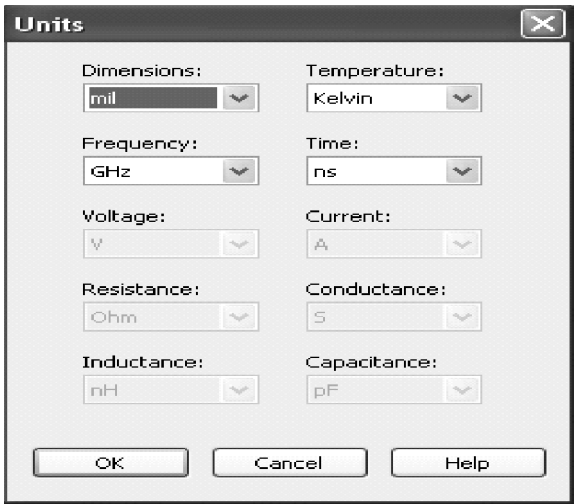


图 4-9 单位设定界面

然后可以开始建模了，首先需要知道 PCB 的层叠信息、反焊盘、出线宽度和孔径等信息。在画 PCB 层叠的时候，我们是一层一层叠加产生的，点击左上角的长方体在工作的窗口得到图 4-10 所示的参数窗口，然后输入坐标位置、大小等参数，得到底层的铜皮。

接着根据层叠文件中每一层的厚度，按实际铜皮与板材的逻辑顺序向上叠加得到一个完整的层叠结构，如图 4-11 所示。

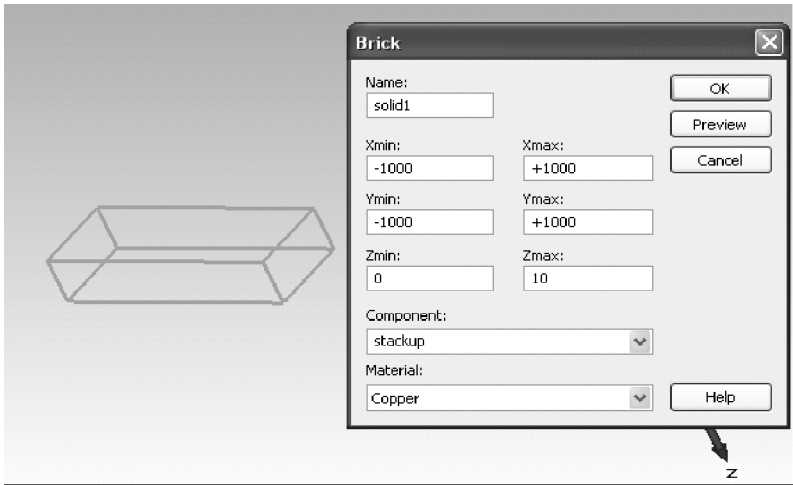


图 4-10 建立层叠对象

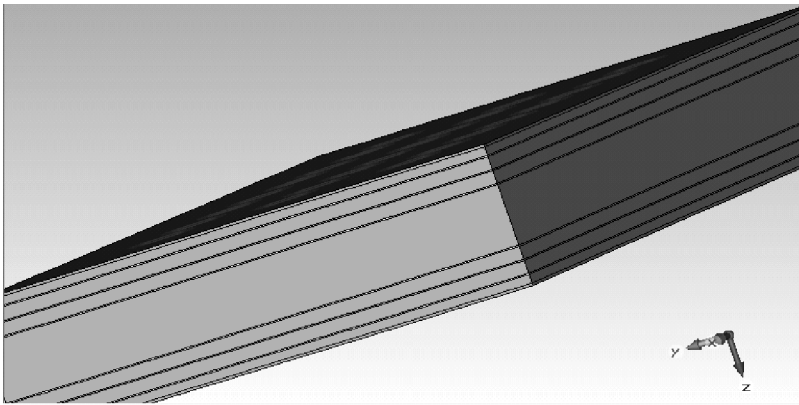


图 4-11 完整的层叠结构

在用 CST 建模的时候，建议将每层的厚度等参数以全局参数的形式在下方 Parameter List 中标出来，这样修改的时候只要修改该变量的值就可以了，如图 4-12 所示。

Parameter List	Name	Value	Description	Type
	hi	0.6	inner copper thickness	None
	ho	1.2	outer copper thickness	None
	hpcb	66.4	pcb total thickness	None
	lx	280	pcb length along x	None
	ly	120	pcb width along y	None
	n1	4	N1	None
	n2	6	N2	None
	n3	6	N3	None
	n4	28.4	N4	None
	Global	6	N5	None

图 4-12 模型参数值列表

在 build 好层叠以后，需要建立过孔模型，点击左上角的圆柱体建立过孔的模型，如图 4-13 所示。

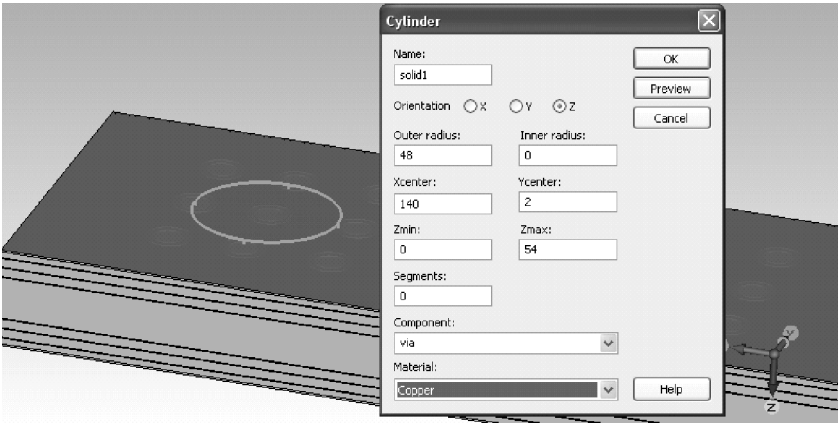


图 4-13 建立过孔的模型

在建立过孔的时候，需要的参数是孔径的大小、孔之间的间距、表层与底层焊盘的大小等。建好以后的过孔模型如图 4-14 所示。

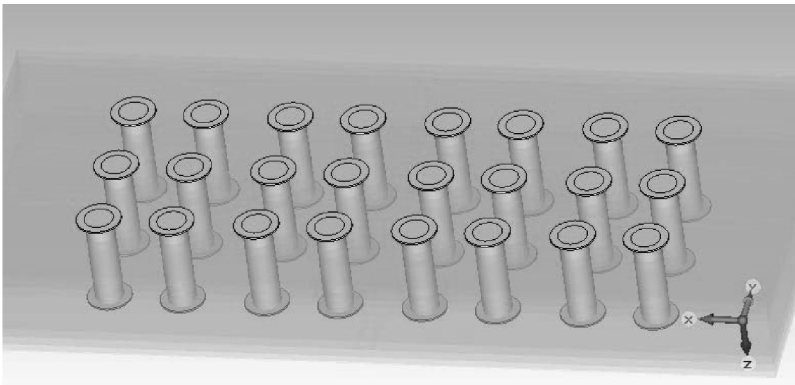


图 4-14 建好以后的过孔模型

接下来我们要做的是，在电源层与地层之上建立反焊盘，建立方法也是利用左上角的几何模型来拼接裁剪出各层上反焊盘的形状，如图 4-15 所示。

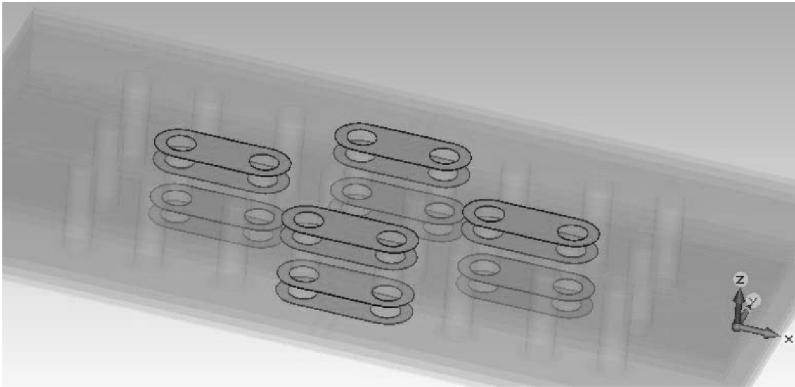


图 4-15 反焊盘模型

到这里以后，我们只需要根据 PCB 实际的出线情况，画出每层出线的情况就可以了，如图 4-16 所示。

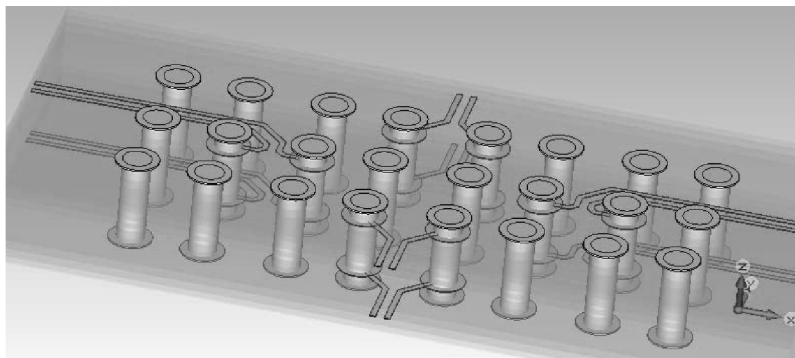


图 4-16 PCB 出线模型

这样一来，建立三维模型部分就都结束了，我们下一步要做的是设定端口。正弦波从端口进入，经过无源器件后再从另一个端口（或者是从端口进口）出来。我们所谓的 S 参数其实指的是在端口处测量信号的能量然后按照定义的公式计算得来的。电磁波遇到不连续点时会出现反射现象，在端口处不匹配同样会造成反射，这么看来端口的值的大小肯定会影响到生成 S 参数的结果。

顺便讲一句，得到设定完的端口以后，我们需要对端口做归一化处理。不做归一化处理时，求解器在求解时把该端口看作一个半无限长均匀传输线，该传输线具有与端口相同的截面和材料，也就是说不管在哪个频率上求得的端口阻抗在端口处与被测网络是完全匹配的，信号在端口处不会发生任何反射。

言归正传，在 CST 中要设定端口，首先需要选中端口所在的平面（通过软件操作界面右上角的 select point, edge or face），如图 4-17 所示。

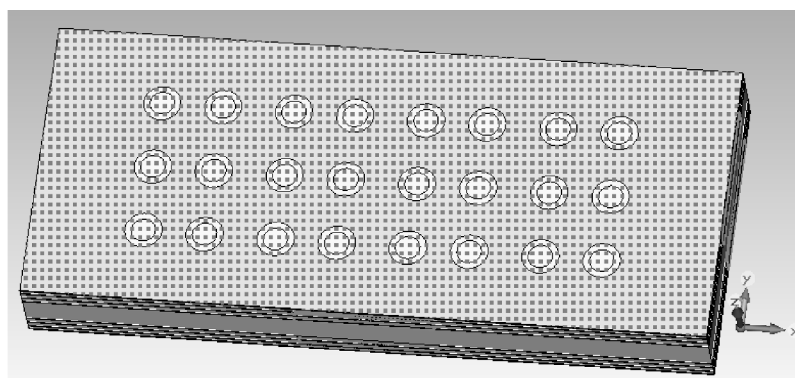


图 4-17 选中端口所在的平面

然后通过 Solve→Waveguide Port 得到如图 4-18 所示的窗口，可以设置端口的覆盖范围等参数，完成以后就可以开始仿真了（点击软件操作界面右上角的 transient solver 实现）。

得到的 S 参数模型可以在左侧的 navigation tree 中 1D result 找到，如图 4-19 所示，在 S-parameter 下面可以找到各个 S_{ij} 的值。可以通过前面几节中 S 参数的特性来判断过孔模型的好坏。其 S 参数的结果也可以通过 File 下面的 Export 导出成 SnP 的形式。

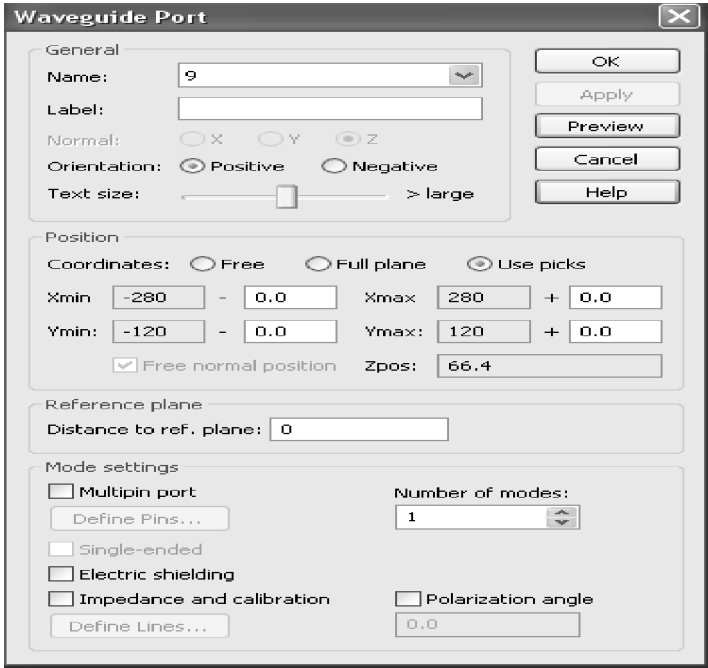


图 4-18 设定 Waveguide Port

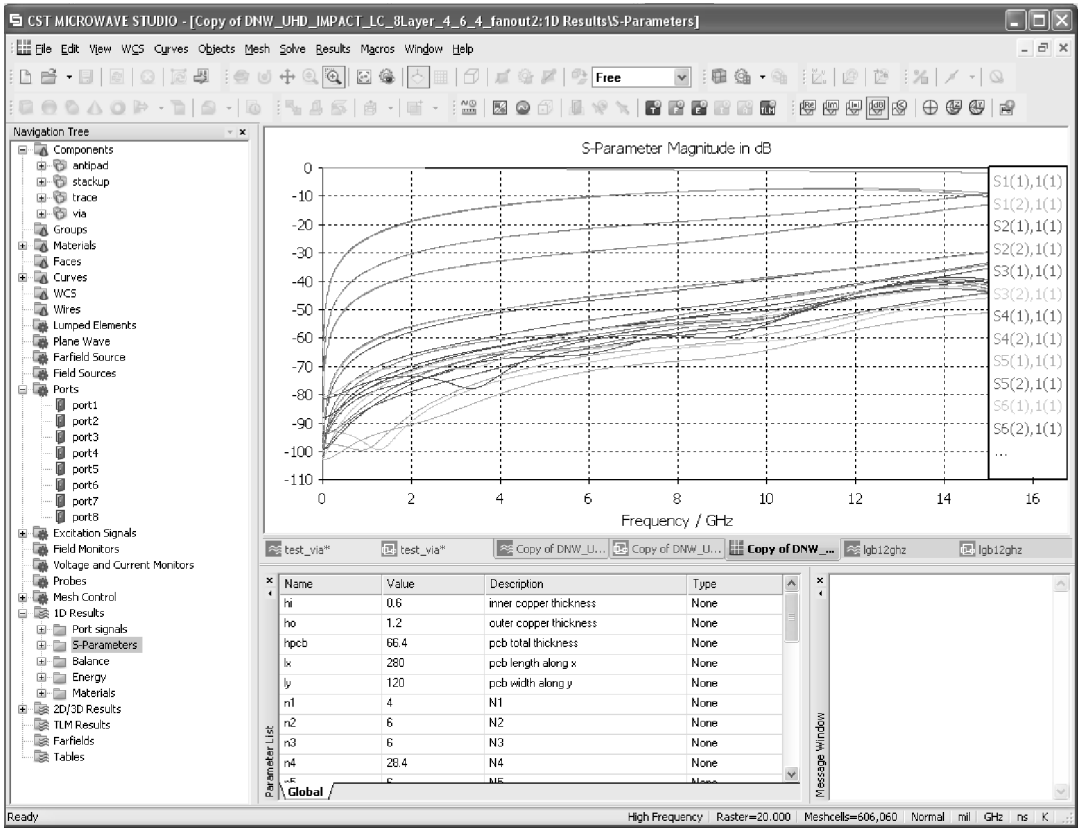


图 4-19 S 参数的结果

2. 测量获取 S 参数模型

测量获取 S 参数一般是通过 VNA（矢量网络分析仪）扫频实现的。举个例子来说明怎样用网络分析仪测量 S 参数，如现在有一台四端口的网络分析仪，需要测量一个子母卡互连通道的 S 参数，如图 4-20 所示。第一步需要对连上同轴线的网络分析仪进行校准，目的是校准掉同轴线的影响。然后就可以根据测量需求测量 S 参数了。

有一点需要注意，网络分析器的端口一般都是用 50Ω 的同轴线引出的，而所要测量的器件是多种多样的，有时是一个连接器，有时是一根普通的铜线，我们需要通过不同

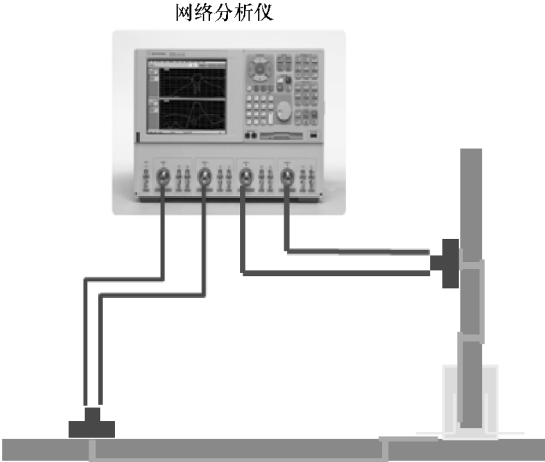


图 4-20 子母卡互连通道

的转接头（有时可能为转接头加一段短线）将其与网络分析仪的端口连接，因此我们得到的 S 参数是带有转接头影响的“毛”的 S 参数。为了去除转接头的影响获取到被测器件的“净”的 S 参数，先要测量出转接头（或者转接头加一段短线）的 S 参数文件，然后在原来的 S 参数文件减掉它，得到我们所需要的被测器件的“净”的 S 参数，这也就是我们常说的解嵌原理。

正如前面所说，这个得到的 S 参数是一个带有转接器件影响的 S 参数，所以我们必须再去测量一个纯转接器件的 S 参数。本例中用网络分析仪测量通道时，我们用的是 SMA 作为转接器件。

为了滤除 SMA 的影响，我们把两个 SMA 转接器件挨着放在一起，然后在 PCB 上只用一段极短的走线连接，这样近似测量到了 SMA 转接头的 S 参数。最后只要在原先测到的 S 参数模型里滤除掉 SMA 的影响就可以了。

4.9 S 参数与阻抗的关系

S 参数表现通道频域的特性，有时 S 参数往往没有时域的阻抗来得直观，如果手头还有一台的 TDR 器件，那么可以通过 TDR 器件直接测量出通道每个点的阻抗。要是没有也没关系，可以通过 S 参数反推出通道各点的阻抗，找到阻抗不匹配的点加以调整。

现在我们先利用 ADS 建立如图 4-21 所示的一个通道，通道阻抗依次为 60Ω、40Ω、55Ω、55Ω，然后提取该通道的 S 参数。

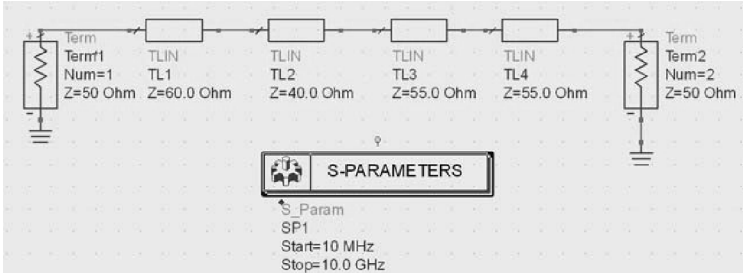


图 4-21 建立 S 参数通道

运行 ADS 中的 S 参数仿真，得到图 4-22 所示的 S11。从图 4-22 中我们是不能直观看出阻抗信息的，要想得到阻抗的信息可以利用 ADS 中的 SPTDR 反推出时域阻抗。

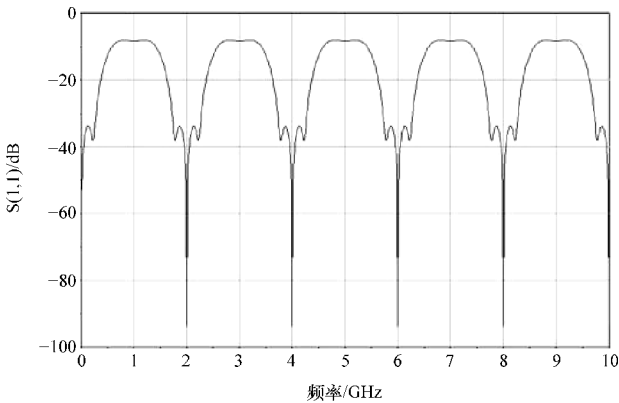


图 4-22 S11 曲线

在 ADS 的结果窗口中，通过菜单栏的 Tools→FrontPanel→SP TDR 进入 SPTDR，选中 S11 以后，得到图 4-23 所示窗口。

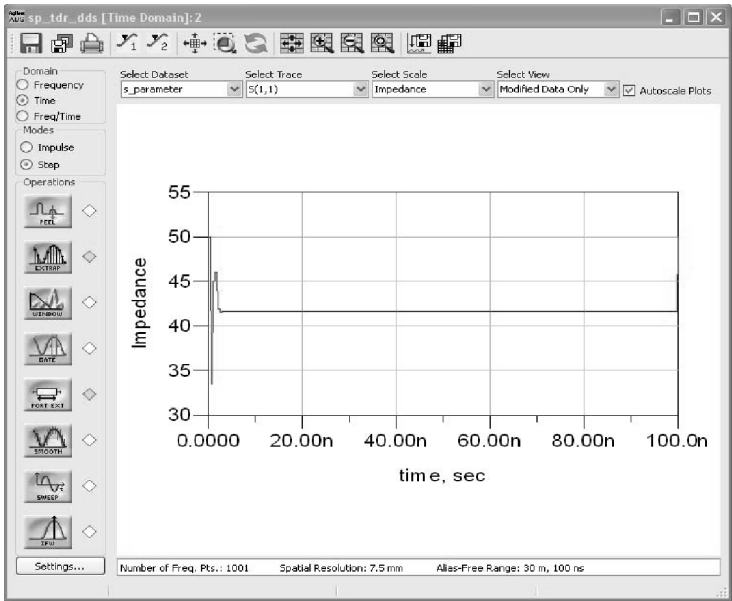


图 4-23 SP TDR 窗口

通过左下角的 Settings 按钮进入如图 4-24 所示的设置菜单，在 Frequency Transforms 选项卡中，可以在 Window 框中选中 Enable 抑制掉高频的抖动。为了方便观看，可以在端口处额外加入一段 50Ω 的无耗线，可以通过在 Port Extension 框中将 Enable 选中，然后在 Length 框中填写所要延伸的长度。

在如图 4-25 所示的 Time Transforms 选项卡中，可以在 Transform Sweep (Time) 框中选中 Enable，然后填写时域的开始时间、结束时间与步长。由 S 参数反推出的阻抗信息带有多次反射的影响，所以需要在右侧的 Peeling 框中勾选 Enable 以滤除掉多次反射的影响。

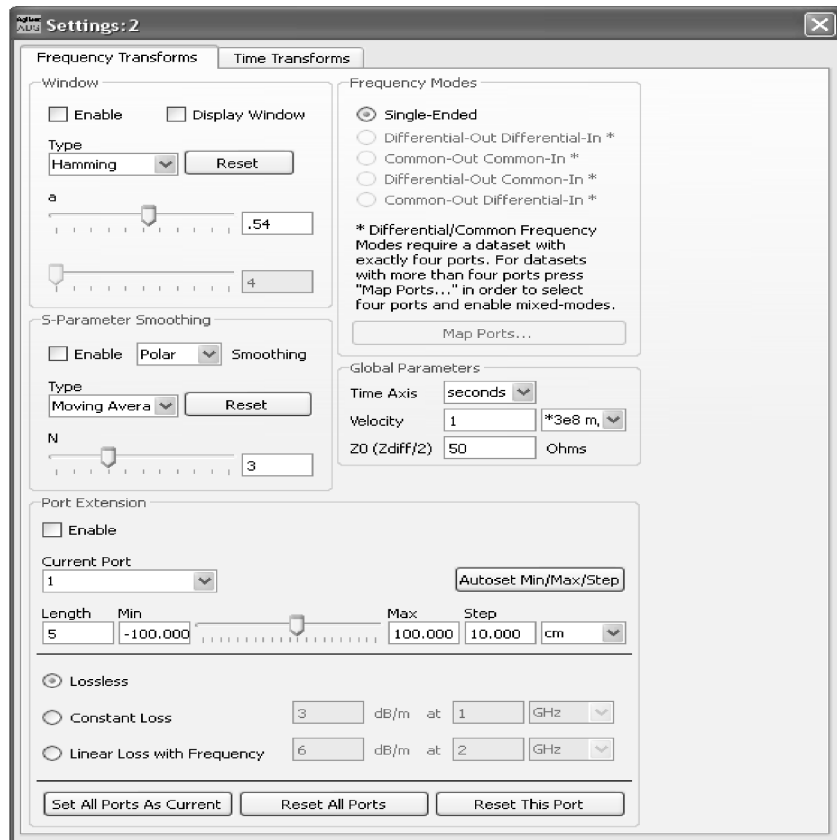


图 4-24 SP TDR Setting Frequency Transforms 窗口

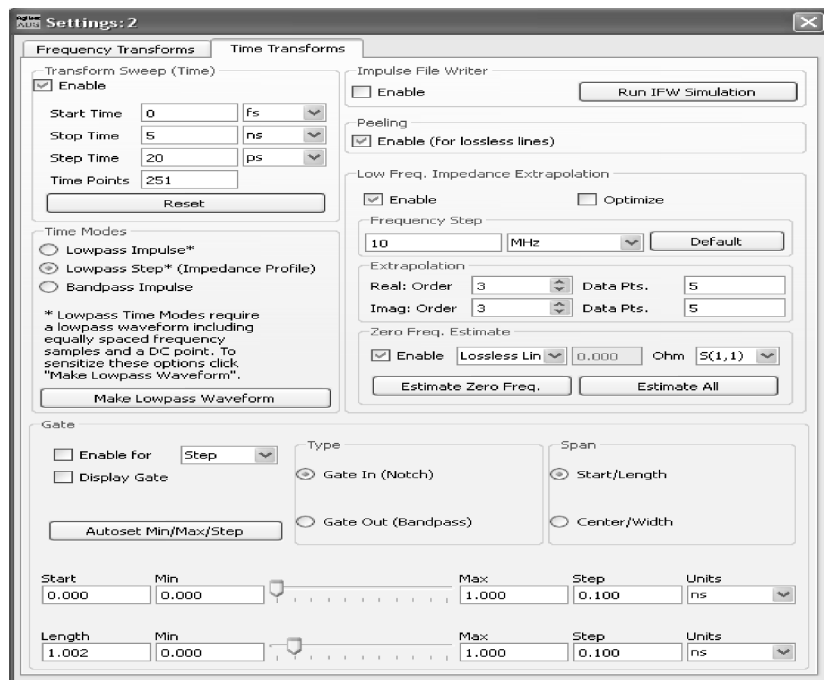


图 4-25 SP TDR Setting Time Transforms 窗口

设置好后，观察得到的时域阻抗曲线，如图 4-26 所示。这个结果与先前所设置的通道阻抗（ 60Ω 、 40Ω 、 55Ω 、 55Ω ）是一致的。这说明 S 参数是与时域阻抗曲线一一对应的，在工程应用中，可以通过插入损耗、回波损耗等判断 S 参数是否满足系统的要求。在不满足要求的时候，可以通过 S 参数反推回时域阻抗定位问题点所在。

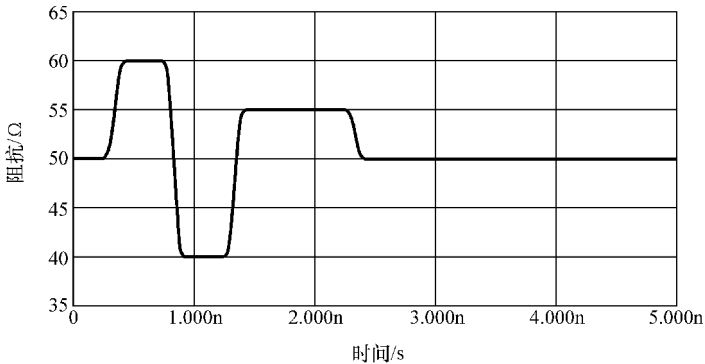


图 4-26 时域阻抗曲线

第 5 章 传输线理论与信号完整性分析

信号在 PCB 上传播时，有一个重要的概念就是传输线。在高速数字电路中，由于涉及信号完整性问题，传输线理论就变得更为重要了。本章主要从传输线的基本工作原理出发，讲解信号完整性问题的产生与分析。

5.1 均匀传输线理论

5.1.1 均匀传输线方程

在速率比较高的情况下，频率的提高意味着波长的减小，发送端和接收端的连线已经不能被简单地看成一段导线了，应该将其看成传输线。在电路上看就是当波长与电路元器件的几何尺寸相比拟时，电压和电流不再保持空间不变，所以需要普通的集总电路分析进行重大修改。

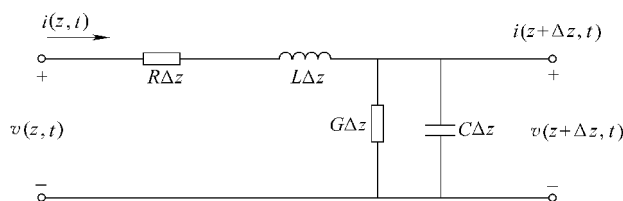


图 5-1 均匀传输线上任意小线元 dz 的集总模型

对一均匀传输线，由于参数沿线均匀分布，故可任取一小线元 dz 来讨论。因 dz 很小，故可将它看成一个集总参数电路，而传输线就是这些 dz 集总参数的级联。 dz 长度的传输线用一个 π 形二端口网络来等效，如图 5-1 所示。这是一个化场为路的做法，将这一微小线元 dz 电磁场效果表示为对地的电容与线上的电感，并加上表示损耗 R 与 G 。于是，整个传输线就可看成是由许多相同线元的二端口网络级联而成的电路。将图 5-1 所示的电路用基尔霍夫电流电压定律计算，可以得到传输线的电报方程为

$$\frac{\partial i(t, z)}{\partial z} = u(t, z)G + G \frac{\partial u(t, z)}{\partial t} \quad (5-1)$$

$$\frac{\partial u(t, z)}{\partial z} = i(t, z)R + L \frac{\partial i(t, z)}{\partial t} \quad (5-2)$$

电报方程表示了传输线上任意一点的瞬时电压、电流与其在传输线位置的关系，解电报方程可得传输线上的电压、电流瞬时值的表达式为

$$u = \frac{\sqrt{2}}{2} A e^{-az} e^{j(\omega t - \beta z)} + \frac{\sqrt{2}}{2} B e^{az} e^{j(\omega t + \beta z)} \quad (5-3)$$

$$i = \frac{\sqrt{2}}{2} \frac{A}{Z_0} e^{-az} e^{j(\omega t - \beta z)} + \frac{\sqrt{2}}{2} \frac{B}{Z_0} e^{az} e^{j(\omega t + \beta z)} \quad (5-4)$$

可见,传输线上任意一点的电压、电流均包括两部分:第一项包含因子 $e^{-\alpha z} e^{j(\omega t - \beta z)}$,它表示随着 z 的增大,其振幅将按 $e^{-\alpha z}$ 规律减小,且相位连续滞后,它代表由电源向负载方向传播的行波,即入射波;第二项包含因子 $e^{\alpha z} e^{j(\omega t + \beta z)}$,它表示随着 z 的增大,其振幅将按 $e^{\alpha z}$ 规律增大,且相位连续超前。它代表由负载向电源方向传播的行波,即反射波。这就是说,传输线上任意一点的电压、电流通常都由入射波和反射波两部分叠加而成。

5.1.2 传输线的特性参数

1. 特性阻抗 Z_0

$$Z_0 = \sqrt{(R + j\omega L)/(G + j\omega C)} \quad (5-5)$$

特征阻抗定义为传输线上入射波(或者反射波)的电压与电流之比,由式(5-5)可以知道特征阻抗一般是个复数,而且与工作频率有关。特征阻抗是由传输线的自身分布参数(R 、 L 、 G 、 C)所决定的,而与信源及负载没有关系,故称为特性阻抗。

2. 传播常数 γ

$$\gamma = \sqrt{(R_1 + j\omega L_1)/(G_1 + j\omega C_1)} = \alpha + j\beta \quad (5-6)$$

式(5-6)为传输线传播常数的一般表达式,在一般情况下,传播常数 γ 为一复数。其实部 α 称为衰减常数,即沿线电压幅度变化; β 为相移常数,即沿线相位变化。

3. 相速和波长

相速是指沿某一方向传播的行波前进速度。根据 $\omega t + \beta z$ 计算可得相速度 $V_p = \omega/\beta$ 。同一瞬间,沿线分布的波形上相邻两个等相位点的间距,或者说同一瞬时相位相差 2π 的两点间的距离称为波长,记为 λ ,即

$$\lambda = \frac{2\pi}{\beta} \quad (5-7)$$

4. 反射系数与驻波系数

反射系数是指传输线上某点的反射电压与入射电压之比,也等于传输线上某点反射电流与入射电流之比的负值,用 Γ 表示为

$$\Gamma = Z_{in} - Z_0 / Z_{in} + Z_0 \quad (5-8)$$

驻波系数的定义为传输线上电压最大点与电压最小点的电压幅度之比,用 VSWP 表示。驻波系数也称为电压驻波比。

5. 输入阻抗

输入阻抗是传输线理论中一个很重要的物理概念,其定义为传输线上任意一点的总电压和总电流之比,记为 Z_{in} ,即

$$Z_{in} = \frac{U}{I} = \frac{U^+ + U^-}{I^+ + I^-} = Z_0 \frac{Z_1 + jZ_0 \tan \beta l}{Z_0 + jZ_1 \tan \beta l} \quad (5-9)$$

式中, Z_1 为终端负载值。

5.1.3 传输线的状态分析与阻抗匹配

传输线的负载 Z_1 不同,传输状态大概可以分为以下3种:行波状态、纯驻波状态、行驻波状态。

在终端负载匹配的情况下,传输线上的导行波将处于行波状态,在这个状态时传输线上任意一点处的输入阻抗等于特征阻抗。

在行波状态下有如下结论：

1. 行波状态

- 1) 沿线电压与电流的振幅不变，驻波比为 1。
- 2) 电压与电流在任意点上同相。
- 3) 传输线上个点的阻抗都等于传输线的特征阻抗。

2. 纯驻波状态

纯驻波状态就是全反射状态，即反射系数的绝对值等于 1。在此状态下沿线各点的电压与电流的振幅按余弦变换，电压与电流的相位差为 90° ，功率为无功功率，即无能量传输。由于无耗传输线的特性阻抗 Z_0 为实数，因此负载阻抗有 3 种情况：

- 1) 短路 ($Z_L = 0$)。
- 2) 开路 ($Z_L \rightarrow \infty$)。
- 3) 纯电抗 ($Z_L = jX$)。

3. 行驻波状态

当传输线终端接任意复数阻抗负载时，信号源入射波的一部分能量被终端吸收，另一部分被反射，因此传输线上既有行波又有纯驻波，构成了混合波状态，故称为行驻波。行驻波有以下特点电压的波节点就是电流的波腹点，电压的波腹点就是电流的波节点。电压的波腹点与波节点之间相差 $1/4$ 个波长。

为了保证高速数字信号的质量，我们就需要将传输线上的反射降到最小，也就是说将传输线上的阻抗一直保持在 50Ω 以减小不必要的反射损耗。

5.1.4 传输线的种类

用来传输电磁能量的线路称为传输线系统，由传输线系统引导向一定方向传播的电磁波称为导行波。传输线的种类繁多，这里只讨论同轴线、微带传输线（包括带状线和微带线）。

传输线更为统一的例子是同轴线，同轴线用来传输横电磁波（TEM 波），其中典型的同轴线是由半径为 b 的外导体和内径为 a 的内导体以及它们之间的电介质组成。在一般情况下外导体是接地的，因此辐射损耗和场干扰后很小，当频率提高到 10GHz 时，几乎所有的测量检测设备的外接线都是同轴线。信号完整性测试都是同轴线作为外接设备，连接到测试仪器端。

微带线是最普遍使用来传输横电磁波的平面传输线之一，并且易于与其他无源和有源器件集成，因此被广泛应用于 PCB 中。在高速电路设计中，人们往往容易忽略 PCB 本身的电特性设计，而这对整个电路的功能可能是有害的。如果电特性设计得当，它将具有减少干扰和提高抗干扰性的优点。在高速电路中，应该把印制线作为传输线处理。常用的 PCB 传输线是微带线和带状线。

当印制线上传输的信号速度超过 100MHz 时，必须将印制线看成是带有寄生电容和电感的传输线，而且在高频下会有趋肤效应和电介质损耗，这些都会影响传输线的特征阻抗。按照传输线的结构，可以将它分为微带线和带状线。

微带线（见图 5-2）是位于接地层由电介质隔开的印制线，它是一根带状导线，与地平面之间用一种电介质隔离开。印制线的厚度、宽度、印制线与地层的距离以及电介质的介电常数决定了微带线的特性阻抗。如果线的宽度、厚度以及与地平面之间的距离是可控制的，则它的特性阻抗也是可以控制的。单位长度微带线的传输延迟时间仅仅取决于介电常数而与线的宽度或间隔无关。

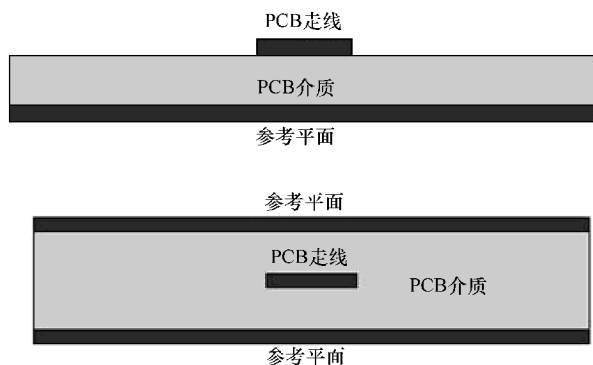


图 5-2 带状线与微带线示意图

带状线（见图 5-2）是介于两个接地层之间的印制线，它是一条置于两层导电平面之间的电介质中间的铜带线。它的特性阻抗和印制线的宽度、厚度、电介质的介电常数以及两个接层的距离有关。如果线的厚度和宽度、介质的介电常数以及两层导电平面间的距离是可控的，那么线的特性阻抗也是可控的。单位长度带状线的传输延迟时间与线的宽度或间距是无关的，仅取决于所用介质的相对介电常数。

差分线差分信号（Differential Signal）在高速电路设计中的应用越来越广泛，电路中最关键的信号往往都要采用差分结构设计，如图 5-3 所示。

差分信号就是驱动端发送两个等值、反相的信号，接收端通过比较这两个电压的差值来判断逻辑状态是“0”还是“1”。而承载差分信号的那一对走线就称为差分走线。

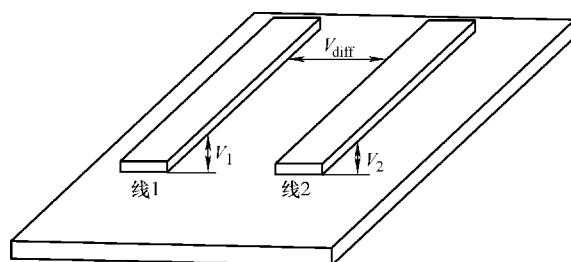


图 5-3 差分线示意图

差分线和普通的单端信号走线相比，最明显的优势体现在以下 3 个方面：

1) 抗干扰能力强。因为两根差分线之间的耦合很好，当外界存在噪声干扰时，几乎是同时被耦合到两条线上，而接收端关心的只是两个信号的差值，所以外界的共模噪声可以被完全抵消。

2) 能有效抑制 EMI（电磁干扰）。同样的道理，由于两个信号的极性相反，它们对外辐射的电磁场可以相互抵消，耦合得越紧密，泄放到外界的电磁能量就越少。

3) 时序定位精确。由于差分信号的开关变化位于两个信号的交点，而不像普通单端信号依靠高低两个阈值电压判断，因而受工艺、温度的影响小，能降低时序上的误差，同时也更适合于低幅度信号的电路。

差分电路的主要缺点就是增加了 PCB 线。所以，如果应用过程中不能发挥差分信号的优点，那么不值得增加 PCB 面积。但是如果设计出的电路性能方面有重大改进，那么增加的布线面积所付出的代价就是值得的。

LVDS (Low Voltage Differential Signaling, 低压差分信号) 是一种低摆幅的电流型差分信号技术, 它使得信号能在差分 PCB 线对或平衡电缆上以几百 Mbit/s 的速率传输, 其低电压摆幅和低电流驱动输出实现了低噪声和低功耗。

LVDS 物理接口使用 1.2V 偏置电压作为基准, 提供大约 400mV 的摆幅。LVDS 驱动器由一个驱动差分线对的电流源组成 (通常电流为 3.5mA), LVDS 接收器具有很高的输入阻抗, 因此驱动器输出的电流大部分都流过 100Ω 的匹配电阻, 并在接收器的输入端产生大约 350mV 的电压。电流源为恒流特性, 终端电阻为 100 ~ 120Ω, 则电压摆动幅度为 $3.5\text{mA} \times 100\Omega = 350\text{mV} \sim 3.5\text{mA} \times 120\Omega = 420\text{mV}$ 。

当驱动器翻转时, 它改变流经电阻的电流方向, 因此产生有效的逻辑“1”和逻辑“0”状态。低摆幅驱动信号实现了高速操作并减小了功率消耗, 差分信号提供了适当噪声边缘和功率消耗大幅减少的低压摆幅。功率的大幅降低允许在单个集成电路上集成多个接口驱动器和接收器。这提高了 PCB 的效能, 减少了成本。

在 LVDS 差分对布线时, 期望每根走线都与其配对走线完全一致, 在最大的可实现范围内, 差分对中每根走线应该具有一致的阻抗与一致的长度。差分走线通常以线对的方式进行布线, 线对的间距沿线处处保持不变, 应尽可能将差分对靠近布线。

在实际应用中为了适应各种特殊的目的应用, 需要有很多种传输线结构的组合应用。因此不能说某种传输线好或者不好, 要根据不同传输线的特点和实际电路的要求灵活选用。

5.2 信号完整性分析

在相对低速的时代, 电平跳变时信号上升时间较长, 通常为几纳秒。器件间的互连线不至于影响电路的功能, 没必要关心信号完整性问题。随着 IC 输出开关速度的提高, 很多都在 ps 级, 不管信号周期如何, 几乎所有设计都遇到了信号完整性问题。另外, 对低功耗追求使得内核电压越来越低, 1.2V 内核电压已经很常见了。因此系统能容忍的噪声裕量越来越小, 这也使得信号完整性问题更加突出。

当电路中信号能以要求的时序、持续时间和电压幅度到达接收芯片引脚时, 该电路就有了很好的信号完整性。当信号不能正常响应或者信号质量不能使系统长期稳定工作时, 就出现了信号完整性问题。

广义上讲, 信号完整性是指在电路设计中互连线引起的所有问题, 就是指信号在信号线上的质量。信号具有良好的信号完整性是指当在需要的时候, 具有所必须达到的电压电平数值。差的信号完整性不是由某一因素导致的, 而是由板级设计中多种因素共同引起的, 归结起来有反射、串扰、信号延迟等。特别是在高速电路中, 所使用的芯片的切换速度过快、端接器件布设不合理、电路的互连不合理等都会引起信号的完整性问题。下面将对这些问题分别进行介绍。

5.2.1 反射

反射就是在传输线上的回波。如果一根走线没有被正确终结 (终端匹配), 那么来自于驱动端的信号脉冲在接收端被反射, 从而引发不预期效应, 使信号轮廓失真。反射是传输线的基本效应, 在阻抗不连续的地方都会发生反射, 传输线上任意一点看到的信号由入射和反射信号叠加经过多次反射而达成稳态。

当信号线在终端处的阻抗不连续点被反射时,信号的一部分将反射回源头。当反射信号到达源头时,若源头端阻抗不等于传输线阻抗就将产生二次反射。接着,若传输线的两端都存在阻抗不连续,信号将在驱动线路和接收线路之间来回反射。信号的反射最后将达到稳态。

如果传输线的长度与信号波长可比拟,且没有被合理地端接(终端匹配),那么来自于驱动端的信号脉冲在接收端被反射,从而引发不预期效应,使信号轮廓失真。反射是传输线的基本效应,即当信号沿着传输线前行时,碰到阻抗不连续会发生反射。

在 PCB 设计中,反射通常由连线阻抗的不匹配造成,如不同布线层阻抗不一样、T 形连接、过孔、线宽的变化、器件的输入/输出阻抗、封装寄生参数等。以图 5-4 所示的理想传输线模型来分析信号反射有关的重要参数。

理想传输线 L 被内阻为 R_0 的数字信号驱动源 V_S 驱动,传输线的特性阻抗为 Z_0 ,负载阻抗为 R_L 。理想的情况是当 $R_0 = Z_0 = R_L$ 时,传输线的阻抗是连续的,不会发生任何反射,但能量一半消耗在源内阻 R_0 上,另一半消耗在负载电阻 R_L 上(传输线无直流损耗,即无耗传输线)。

如果已知驱动器的源电压、传输线时延 TD 、信号沿途各区域的阻抗,就可以计算出每个交界面的反射,并计算出每一点的实时电压。

已知源电压是 $1V$,内阻是 10Ω ,则实际进入时延为 $1ns$, 50Ω 传输线的电压是 $1V \times 50\Omega / (10\Omega + 50\Omega) \approx 0.83V$ 。这个 $0.83V$ 信号就是沿传输线传播的初始入射电压。

$1ns$ 后在线末端,假设传输线末端开路,反射系数为 1 ,开路端的总电压为两个波之和,即 $0.83V + 0.83V = 1.66V$ 。

再经过 $1ns$ 后, $0.83V$ 反射波到达源端,又一次遇到阻抗突变。源端的反射系数是 $(10 - 50) / (10 + 50) \approx -0.67$,这时将有 $0.83V \times (-0.67) \approx -0.56V$ 反射回线远端。

这个新产生的波在远端又会被反射,即 $-0.56V$ 电压将被反射。这样,线远端开路处将同时有 4 个波存在:从一次行波中得到 $2 \times 0.83V = 1.66V$,从二次反射中得到的 $2 \times (-0.56) = -1.12V$,故总电压为 $0.56V$ 。

$-0.56V$ 信号到达源端后仍然会再次反射,反射电压是 $+0.38V$ 。在远端新的时刻,总电压 $0.56V + 0.38V + 0.38V = 1.32V$ 。

上面的计算用图形来表示,就得到了如图 5-5 所示的反弹图。

5.2.2 串扰

在 PCB 上,存在着大量相距很近的互连线。无论是平行的还是非平行的(如垂直或有一定的夹角)临近互连线,它们之间都存在着耦合,也正是这些耦合产生了串扰。串扰会导致信号的噪声容限裕量变小,甚至导致信号逻辑电平错误翻转,给系统设计带来很大的困难。根据产生的机理可将串扰分为容性串扰和感性串扰,分别由电场耦合和磁场耦合引起;按照串扰的传播方向,又可以分为前向串扰(又称远端串扰)和后向串扰(又称近端串扰)。严重的串扰将产生两个方面的影响:①在临近网络上产生耦合噪声,严重情况下,会

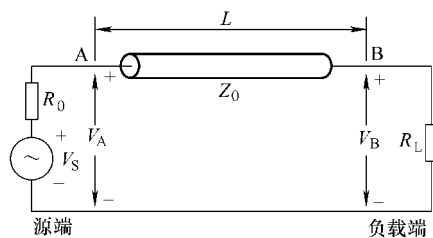


图 5-4 理想传输线模型及相关参数

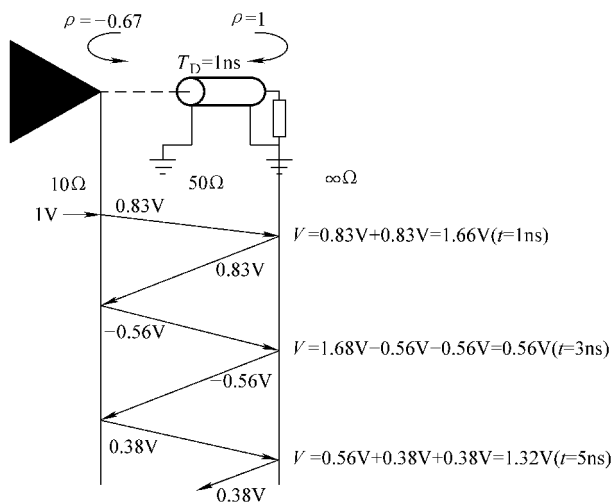


图 5-5 反弹图

导致误触发；②传输线的特性阻抗和传播速度发生改变，对时序产生影响。

串扰是不同传输线之间的能量耦合。当不同结构的电磁场相互作用时，就会发生串扰。在数字设计中，串扰现象是非常普遍的。串扰可能出现在芯片、PCB、连接器、芯片封装和连接器电缆等器件上。此外，随着技术的进步和客户要求的提高，产品向着物理尺寸更小、速度更快的方向发展，这使得数字系统中的串扰急剧增加。串扰将给系统设计带来很大的困难。

信号沿导线传播时，部分电场和磁场延伸到周围空间而形成边缘场。如果在比较小的区域内，有多条传输线在传输信号，回流区域将叠加在一起。每个回流信号产生的边缘场将叠加起来产生较强的区域性电磁场，反过来这些电磁场将对在其场强范围内的传输线产生耦合噪声，从而导致信号失真。由边缘场产生的耦合分为容性耦合和感性耦合，由这两种耦合产生的容性耦合噪声和感性耦合噪声统称串扰。容性耦合，即电场耦合，引发耦合电流，干扰源上的电压变化在被干扰对象上引起感应电流从而导致电磁干扰。感性耦合，即磁场耦合，引起耦合电压，干扰源上的电流变化产生的磁场在被干扰对象上引起感应电压从而导致电磁干扰。可以用电容和电感组成的电路模型来描述这两种耦合，下面将详细介绍。

1. 容性串扰

当两个导体靠得比较近且有电位差时，它们的电场会在对方导体上产生感应电流，相互作用、相互影响，这称为电场耦合。电场的耦合程度取决于导体的形状、尺寸、位置和周围介质的性质，可以用导体间的分布电容来描述，干扰以位于接收器和地之间的电流源形式表示。容性耦合示意如图 5-6 所示。

在攻击线上信号的前沿处，才有容性耦合电流进入受害线，其中电流的一半向后流进近端负载，另一半向前流进远端负载，两者产生耦合电压的极性相同。后向电流与信号的传播方向相反，它以恒定的速度持续流回到近端。前向电流与信号的传播方向相同，每一段产生的电流是叠加在一起向远端传送。因为只有在攻击线上信号前沿经过的瞬间会产生耦合电

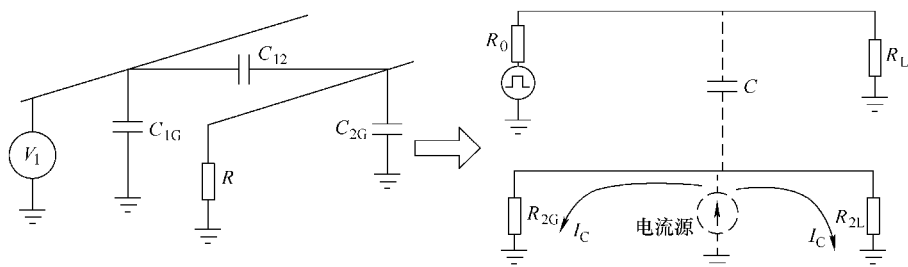


图 5-6 容性耦合示意图

流，所以前向电流的时间跨度为信号边沿的上升或下降时间。

在一定的传输线长度范围内，如果增加线长，后向串扰电压的峰值不变，但串扰的持续时间将变大，这种串扰电压峰值不随传输线长度的增加而增大的特性称为后向串扰的饱和。后向串扰能否饱和与信号的上升/下降时间密切相关。只有当传输线的传播时延超过信号上升时间的一半，后向串扰才能达到峰值，且大小不再随传输线的延长而变化。而当传输线的传播时延小于信号上升时间的一半时，后向串扰达不到峰值，其大小随传输线的延长而变化。设攻击线上信号边沿的上升（或下降）时间为 R_T ，互连线的传播时延为 T_D ，则可以得到图 5-7

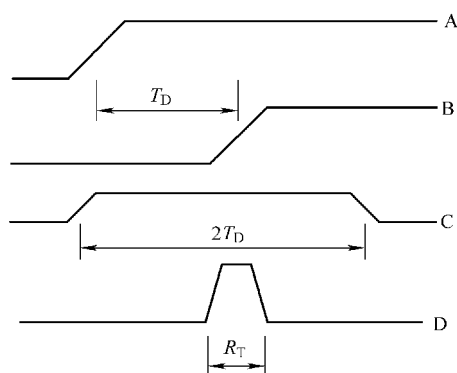


图 5-7 容性前向串扰和容性后向串扰的时序示意图

7 所示的容性前向串扰和容性后向串扰的时序示意图，该端口设置为 A 与 B 分别为攻击线的驱动端和接收端，C 与 D 定义为受害线的近端和远端。

根据以上分析，将容性串扰的特点总结如下：

- 1) 相当于在受害线并联电流源；
- 2) 前向串扰电流和后向串扰电流大小相等，方向相反；
- 3) 后向串扰不具有累积效应，持续时间长（等于 $2T_D$ ），沿时间轴展宽；
- 4) 前向串扰具有累积效应，持续时间短（等于驱动信号的上升/下降时间），在幅度上累积；
- 5) 前向串扰和后向串扰在 V/T 图上包围的面积相等。

2. 感性串扰

当变化的电流产生磁通时，使源电路与另一电路（敏感电路）连环，结果出现磁感应（感性）耦合。当电流在电路 1 中流动时，在电路 2 中产生磁通，使电路 1 和电路 2 之间存在互感。图 5-8 所示干扰以串联的电压源形式表示。

图 5-9 所示为感性后向串扰和感性前向串扰的时序示意图，该端口设置为 A 与 B 分别为攻击线的驱动端和接收端，C 与 D 定义为受害线的近端和远端。仅在攻击信号的前沿处，受害线上才有感性耦合电压产生耦合电流，其向后流进近端负载，向前流出远端负载。两者

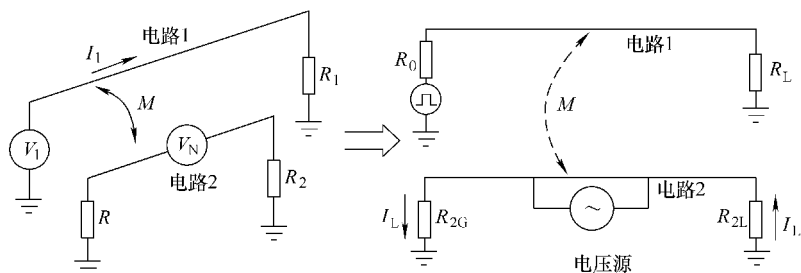


图 5-8 互连线的感性串扰耦合模型

产生的耦合电压极性相反。感性串扰的特性与容性串扰相似。

同理，将感性串扰的特点总结如下：

- 1) 相当于在受害网络中串联电压源；
- 2) 前向串扰电流和后向串扰电流同向且相等；
- 3) 前向串扰具有累积效应，持续时间短（等于驱动源的上升/下降时间）；
- 4) 后向串扰不具有累积效应，持续时间长（等于 $2T_D$ ）；

5) 前向串扰和后向串扰在 V/T 图上包围的面积相等。

3. 总串扰

总串扰分为近端串扰和远端串扰。近端串扰为后向容性串扰与后向感性串扰的合成。因为后向容性串扰和后向感性极性相同，近端串扰加强。远端串扰为前向容性串扰与前向感性串扰的合成。因为前向容性串扰和前向感性极性相反，串扰会完全抵消或部分抵消。在 PCB 中，若两条信号走线具有完美的参考平面，且处于均匀的介质中（如带状线），则感性和容性耦合所产生的前向串扰的大小相等，极性相反，相互抵消。对非理想的地平面（如参考平面开槽）或微带线，互感增大，感性耦合的影响要大于容性耦合。所以，前向串扰间不能完全抵消，远端串扰呈现出感性串扰的极性，而且它的电压峰值可能要比近端串扰大得多。

近端串扰和远端串扰不是绝对的，会互相转化。前向串扰在到达远端后，如果远端没有进行端接，串扰电压反射回近端，转化为近端串扰；同理，后向串扰在到达近端后，如果近端没有进行端接，串扰电压反射回远端，转化为远端串扰。为了抑制串扰的多次反射，需要同时对攻击网络和受害网络进行合适的传输线端接。

4. 串扰对时序的影响

耦合系统中，信号的开关模式会影响传输线的电容和电感参数，下面以两线耦合系统为例来说明这种情况。两线耦合系统中，信号的开关模式分为奇模和偶模。当信号等幅同相时，互连线处于偶模激励模式；当信号等幅反相时，互连线处于奇模激励模式。这两种模式在信号传输过程中相互独立、互不干扰，但是耦合线上的电磁场分布却是不同的，图 5-10 给出了相应的示意。

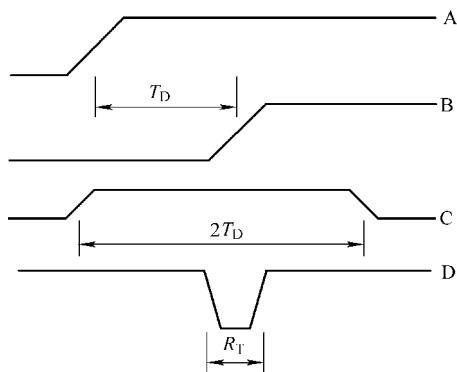


图 5-9 感性后向串扰和感性前向串扰的时序示意图

奇模模式时,电场耦合多,磁场耦合少;偶模驱动下,电场耦合少,磁场耦合多。当电磁场在均匀介质中(如带状线、埋式微带线)以 TEM 模式传播时,奇模模式和偶模模式对应的传播时延不变,亦不会对时序造成影响。而电磁场在非均匀介质中(如表面微带线)以准 TEM 模式传播时,不同传播模式下传播速度发生变化,对时序造成影响。

5.2.3 信号延迟

电路中只能按照规定的时序接收数据,过长的信号延迟可能导致时序和功能的混乱,在低速的系统中不会有问题,但是信号边缘速率加快,时钟速率提高,信号在器件之间的传输时间以及同步时间就会缩短。驱动过载、走线过长都会引起延时。必须在越来越短的时间预算中要满足所有门延时,包括建立时间、保持时间、线延迟和偏斜。由于传输线上的等效电容和电感都会对信号的数字切换产生延迟,加上反射引起的振荡回绕,使得数据信号不能满足接收端器件正确接收所需要的时间,从而导致接收错误。

5.2.4 地弹

当 PCB 上的众多数字信号同步进行切换时(如 CPU 的数据总线、地址总线等),由于电源线和地线上存在阻抗,会产生同步切换噪声(Synchronous Switch Noise, SSN)。与此同时,由于芯片封装电感的存在,在电路同步切换过程中形成的大电流涌动会引起地平面的反弹噪声(简称地弹),这样在真正的地平面(0V)上就要产生电压的波动和变化,这个噪声会影响其他元器件的动作。

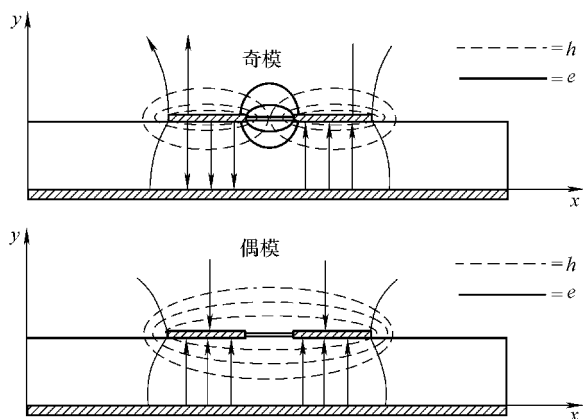


图 5-10 奇模与偶模的电磁场分布

5.3 反射抑制的解决方案——端接技术

在高速数字系统中,传输线终端不匹配时,信号被反射,反射波达到始端时,如始端不匹配,同样产生反射,这就发生了信号在传输线上多次往返反射的情况,产生严重的反射干扰。因此要尽可能做到始端和终端的阻抗匹配,是抑制反射干扰的有效途径。端接技术是一种非常重要的实现阻抗匹配的技术,它不但可以减少源端与负载之间因为阻抗不匹配而产生的反射,而且能够减缓信号边沿的上升和下降速度,从而有助于减小相应的辐射。匹配阻抗的端接有多种方式,下面分别讨论了并联终端匹配、串联终端匹配、戴维南终端匹配、AC 终端匹配、多负载端接匹配这 5 种终端匹配的工作原理。

5.3.1 并联终端匹配

并联终端匹配的理论出发点是在信号源端阻抗很小的情况下,通过增加并联电阻使负载端输入阻抗与传输线的特征阻抗相匹配,达到消除负载端反射的目的。

并联终端匹配是最简单的终端匹配技术:通过一个电阻 R 将传输线的末端接地或者接到 V_{CC} 上。电阻 R 的值必须同传输线的特征阻抗 Z_0 匹配,以消除信号的反射。如果 R 同传

输线的特征阻抗 Z_0 匹配, 不论匹配电压的值如何, 终端匹配电阻将吸收形成信号反射的能量。终端匹配到 V_{CC} 可以提高驱动器的源驱动能力, 而终端匹配到地则可以提高电流的吸收能力, 如图 5-11 所示。

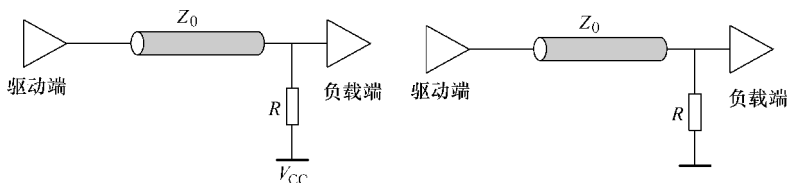


图 5-11 并联终端匹配

并联终端匹配技术突出的优点就是这种类型终端匹配技术的设计和应用简便易行, 在这种终端匹配技术中仅需要一个额外的元器件; 这种技术的缺点在于终端匹配电阻会带来直流功率消耗。另外并联终端匹配技术也会使信号的逻辑高输出电平的情况退化。将 TTL 输出终端匹配到地会降低 V_{OH} 的电平值, 从而降低了接收器输入端对噪声的免疫能力。

5.3.2 串联终端匹配

串联终端匹配技术, 也称为后端终端匹配技术, 不同于其他类型的终端匹配技术, 是源端的终端匹配技术。串联终端匹配技术是在驱动器输出端和信号线之间串联一个电阻。驱动器输出阻抗 R_0 以及电阻 R 值的和必须同信号线的特征阻抗 Z_0 匹配, 如图 5-12 所示。对于这种类型的终端匹配技术, 由于信号会在传输线、串联匹配电阻以及驱动器的阻抗之间实现信号电压的分配, 因而加在信号线上的电压实际上只有一半的信号电压。

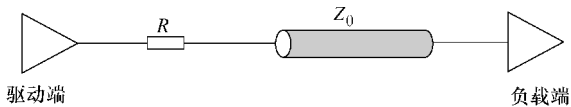


图 5-12 串联终端匹配

而在接收端, 由于信号线阻抗和接收器阻抗的不匹配, 通常情况下, 接收器的输入阻抗更高, 因而会导致大约同样幅度值信号的反射, 称之为附加的信号波形。因而接收器会马上看到全部的信号电压 (附加信号和反射信号之和), 而附加的信号电压会向驱动端传递。然而不会出现进一步的信号反射, 这是因为串联的匹配电阻在接收器端实现了反射信号的终端匹配。

串联终端匹配电阻主要用于吸收从接收端反射回来的信号, 由于接收端输入阻抗很大, 可以视为开路, 所以信号到达接收端时将产生全反射, 反射回的信号能量大部分将被驱动端的匹配电阻和驱动器吸收, 因而从驱动端二次反射回来的能量很少, 故串联终端匹配电阻适当地远离接收端放置, 不会严重地影响接收端的信号质量。但对于并联终端匹配来说, 如果匹配电阻远离接收端放置, 接收端之前将有一段传输线得不到匹配, 而且驱动端没有串联终端电阻不会吸收掉从接收端全反射回来的能量, 因而信号将来回反射, 使得接收端信号的质量大大降低。这是串联终端匹配电阻对位置的要求没有并联终端匹配要求严格的部分原因。

5.3.3 戴维南终端匹配

戴维南终端匹配技术或者也叫做双电阻终端匹配技术, 采用两个电阻来实现终端匹配, R_1 和 R_2 的并联组合要求同信号线的特征阻抗 Z_0 匹配, 如图 5-13 所示。 R_1 的作用是帮助驱动器更加容易地到达逻辑高状态, 这通过从 V_{CC} 向负载注入电流来实现。与此类似, R_2 的作用是帮助驱动器更加容易地到达逻辑低状态, 这通过 R_2 向地释放电流来实现。

戴维南端接的优点是, 在整个网络上可与分布负载一起使用; 可完全吸收发送的波而消

除反射；当无信号驱动线路时，设置线路电压；特别适用于总线使用。

它的缺点是，从电源 V_{CC} 到地总有一个直流电流存在，导致匹配电阻中有直流功耗，减小了噪声容限，除非驱动器可提供大电流。

戴维南端接方式非常适合高速背板设计、长传输线以及大负载的应用场合，通过两并联电阻将负载的电压级保持在最优的开关点附近，则驱动器可以用较小的功率来驱动总线。

5.3.4 AC 终端匹配

AC 终端匹配技术也称为 RC 终端匹配技术，由一个电阻 R 和一个电容 C 组成，电阻 R 和电容 C 连接在传输线的负载一端，如图 5-14 所示。电阻 R 的值必须同传输线的特征阻抗 Z_0 的值匹配才能消除信号的反射，电容值的选择却十分复杂，这是因为电容值太小会导致 RC 时间常数过小。这样一来，该 RC 电路就类似于一个尖锐信号沿

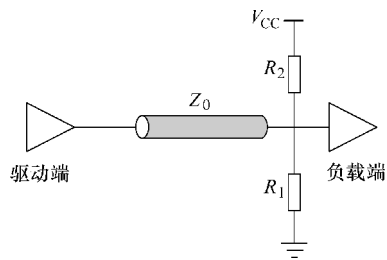


图 5-13 戴维南终端匹配

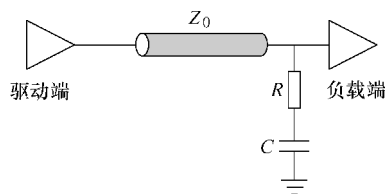


图 5-14 AC 终端匹配

发生器，从而引入信号的过冲与下冲，另一方面，较大的电容值会带来更大的功率消耗。通常情况下，要确保 RC 时间常数大于该传输线负载延时的两倍。终端匹配元器件上的功率消耗是频率、信号占空比以及过去数据位模式的函数。所有这些因素都将影响终端匹配电容的充电和放电特性，从而影响功率消耗。

AC 终端匹配技术的优势在于终端匹配电容阻隔了直流通路，因此节省了可观的功率消耗，同时恰当地选取匹配电容的值，可以确保负载端的信号波形接近理想的方波，同时信号的过冲与下冲又都很小。

AC 终端匹配技术的一个缺点是信号线上的数据可能出现时间上的抖动，这主要取决于在此之前的数据位模式。举例来说，一个较长的类似位串数据会导致信号传输线和电容充电到驱动器的最高输出电平值。然后，如果紧接着的是一个相位相反的数据位就需要经过比正常情况更长的时间来确保信号跨越接收器逻辑阈值电平，这是因为接收器端的电压起自一个很高的电位。

5.3.5 多负载端接匹配

在实际电路中常常会遇到单一驱动源驱动多个负载的情况，这时需要根据负载情况及电路的布线拓扑结构来确定端接方式和使用端接的数量。一般情况下可以考虑以下两种方案。

如果多个负载之间的距离较近，可通过一条传输线与驱动端连接，负载都位于这条传输线的终端，这时只需要一个端接电路。如果采用串行端接，则在传输线源端按照阻抗匹配原则加入一串行电阻即可；如果采用并行端接（以简单并行端接为例），则端接应置于离源端距离最远的负载处，同时，线网的拓扑结构应优先采用菊花链的连接方式，如图 5-15 所示。

如果多个负载之间的距离较远，需要通过多条传输线与驱动端连接，这时每个负载都需要一个端接电路。如果采用串行端接，则在传输线源端每条传输线上均加入一个串行电阻；如果采用并行端接（以简单并行端接为例），则应在每一负载处都进行端接。

5.3.6 端接技术的仿真分析

本节将利用 Mentor Graphics 公司的仿真软件 HyperLynx 进行一些仿真实验与演示，通过

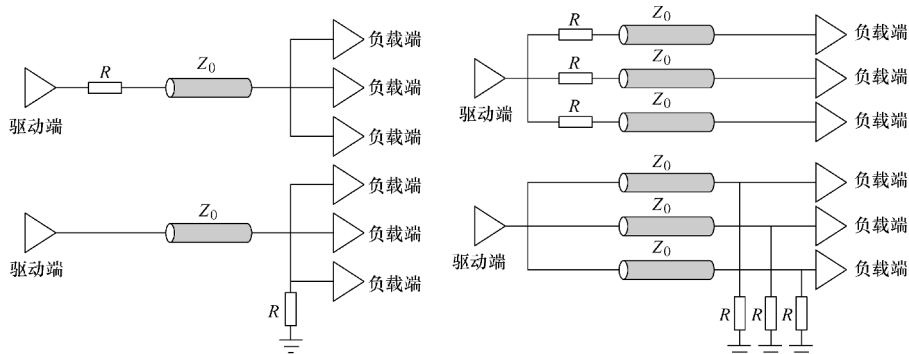


图 5-15 多负载端接匹配

仿真来观察接收端波形，以验证各种端接的效果以及其差异。

为了更明显地观察到有端接和没有端接时接收端波形的区别，先来仿真一下没有端接时的情况，在此选用一个非常简单的拓扑结构，以方便分析问题。仿真所用的拓扑结构如图 5-16 所示。

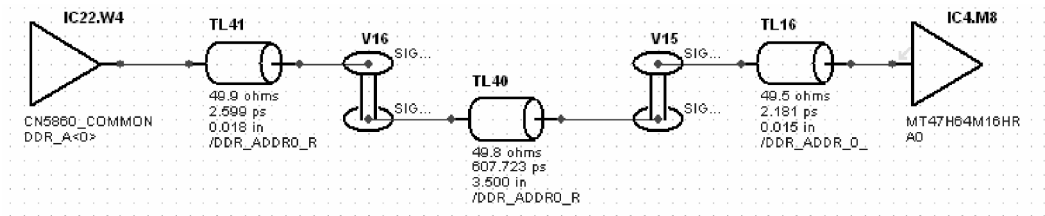


图 5-16 无端接走线拓扑

发送端芯片 (driver) IC22 通过 breakout via 后换至 PCB 内层，经过 3.5in 的主传输线后再经过一个 via 到达接收端芯片 (receiver) IC4。这其实是一个 DDR2 的地址信号线，分析方便起见，并没有连接多个 receiver，而是以一个 receiver 为例进行分析。仿真结果参考图 5-17，绿色波形为 receiver IC4 端的波形。

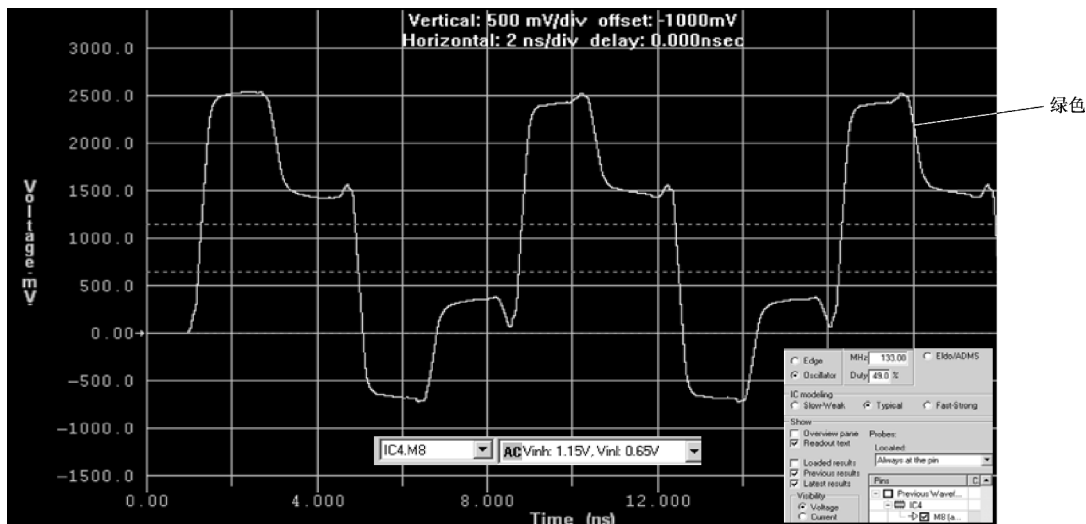


图 5-17 无端接走线拓扑仿真结果

⊖ $1\text{in} = 0.254\text{m}$ ，后同。

可见波形上叠加了明显的反射波能量，波形幅度最大达到了 2.5V，远高于其正常的工作电平 1.8V，这个因反射而叠加的波形正是由于传输线和芯片内部的阻抗不匹配造成的，反射的存在可能会导致 data 的 setup time 和 hold time 不能满足要求而引起时序错误，因而在设计中是需要避免的。

既然 driver 端的模型提示芯片内部输出阻抗为 25Ω ，而传输线阻抗为 49.8Ω ，基本上是标准的 50Ω 阻抗传输线，这样根据串联端接时串联电阻的选取规则，选用一个 25Ω 的电阻作为源端匹配电阻，加上串联匹配电阻的拓扑结构如图 5-18 所示，电阻放在非常靠近 driver 的位置。

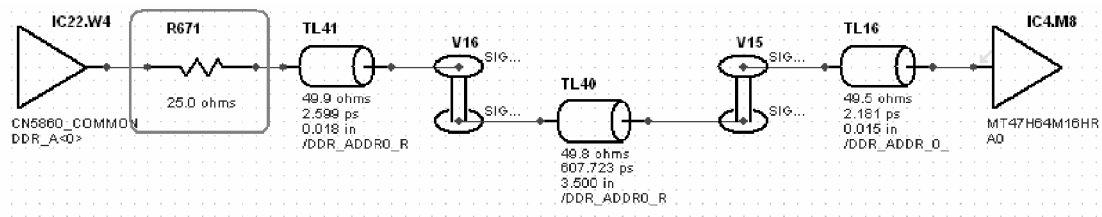


图 5-18 串联端接走线拓扑

仿真结果如图 5-19 所示，相比没有端接的情况，接收端波形有明显的改善，黄色 mark 坐标显示的电平为 1.7963V，即电平基本稳定在 1.8V，从波形上来看也很容易满足时序的要求，可见正确的端接对改善信号质量是非常重要而有效的。

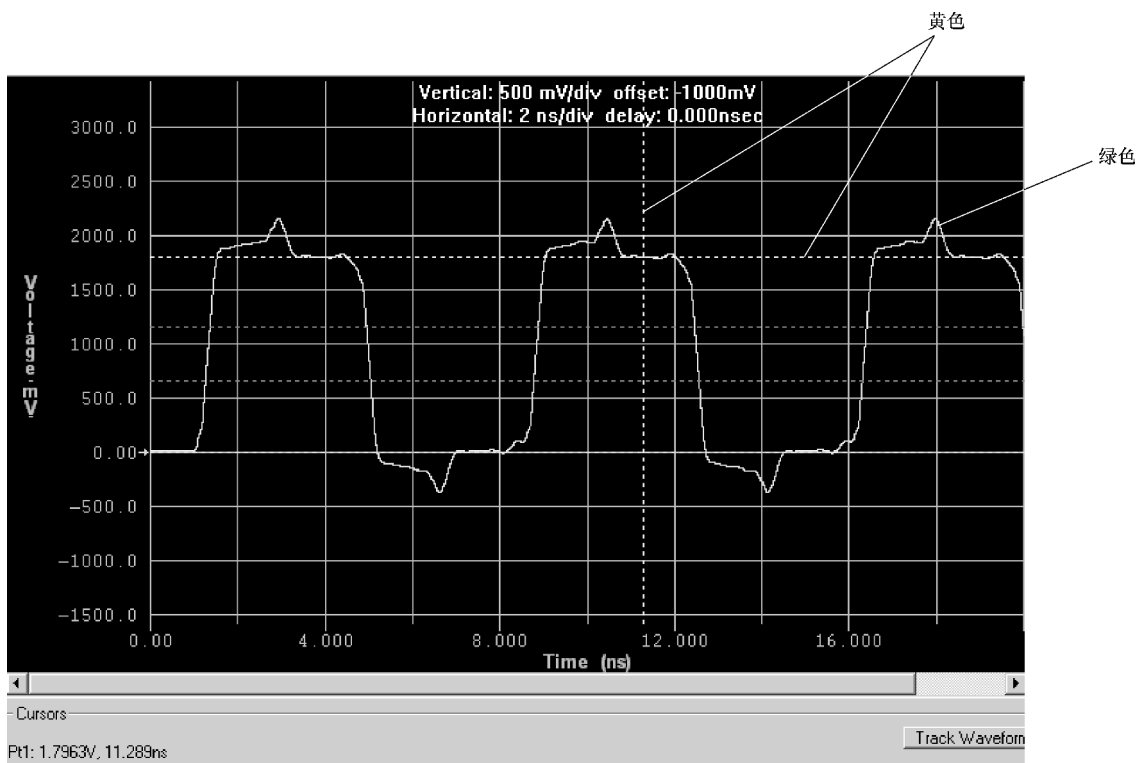


图 5-19 串联端接走线拓扑仿真结果

并联端接可以通过一个电阻连接到电源或者地，此处选用 50Ω 电阻连接到地（即 Gnd），如图 5-20 所示。图 5-20 中绿色和红色曲线分别为 receiver 端没有端接和接了图 5-21 中并联匹配电阻的仿真结果，两者相比，端接后波形同样有明显的改善。

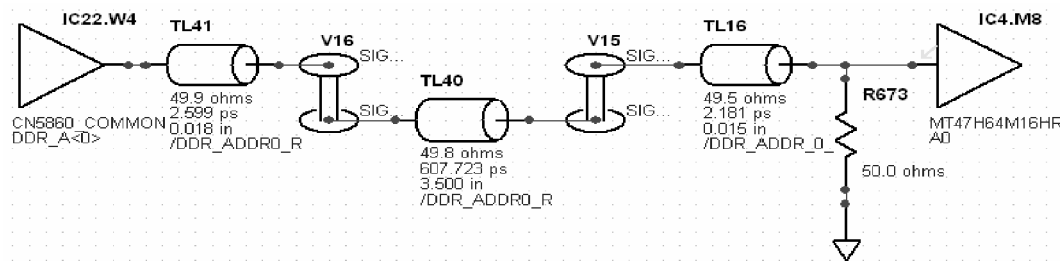


图 5-20 并联端接走线拓扑

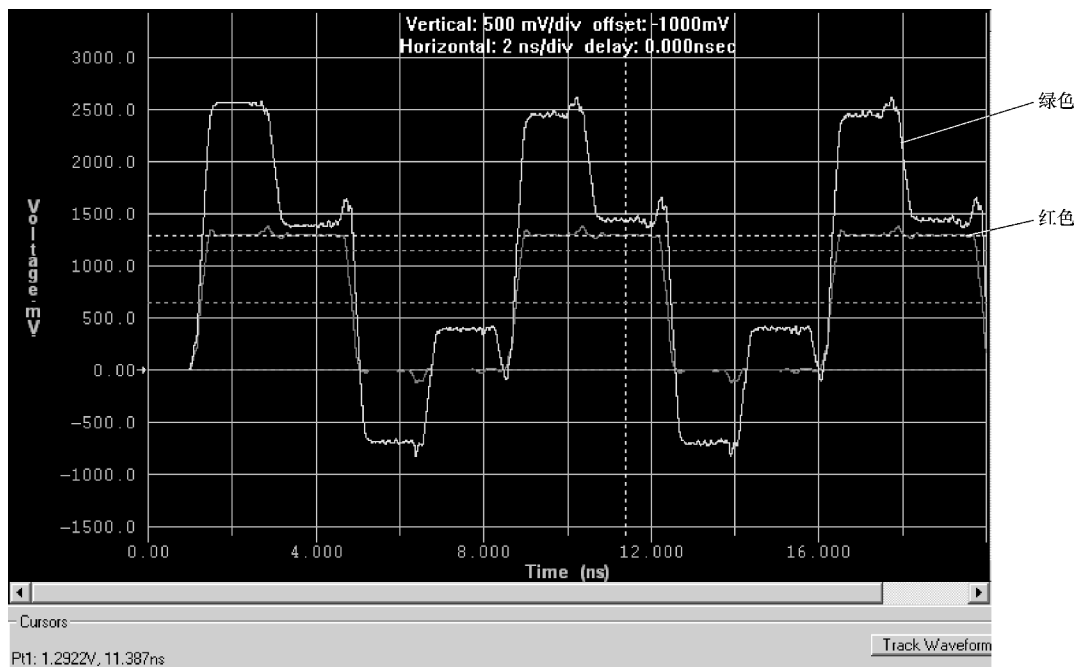


图 5-21 并联端接走线拓扑仿真结果

仿真结果如图 5-21 所示，而高电平的大小随着连接到地或者电源的不同会有所不同。图 5-22 和图 5-23 所示分别是接 50Ω 电阻到电源的拓扑结构图上和仿真结果。图 5-23 中湖蓝色曲线是 50Ω 接到 1.8V 电源，橘黄色曲线为 50Ω 接到 0.9V 电源，与接收端 Spec 的高低电平相比，接到 0.9V 的波形更好地稳定在高低电平之间。相比而言，上拉到 0.9V 比上拉到 1.8V 效果更好，这也是很多 DDR2 设计中实际采用的端接电平。

戴维南端接拓扑结构如图 5-24 所示，两个 100Ω 电阻分别连接到电源和地，并联后的阻抗 50Ω ，与传输线的 50Ω 阻抗匹配，其仿真结果为图 5-25 中的红色曲线。另一条湖蓝色曲线为并联端接 50Ω 电阻到 0.9V 电源的结果，即和图 5-23 中的橘黄色曲线为同一条曲线。两种端接方式仿真结果类似，但戴维南端接因为始终有 DC 电流流过电阻，因而额外的功耗要求较高。

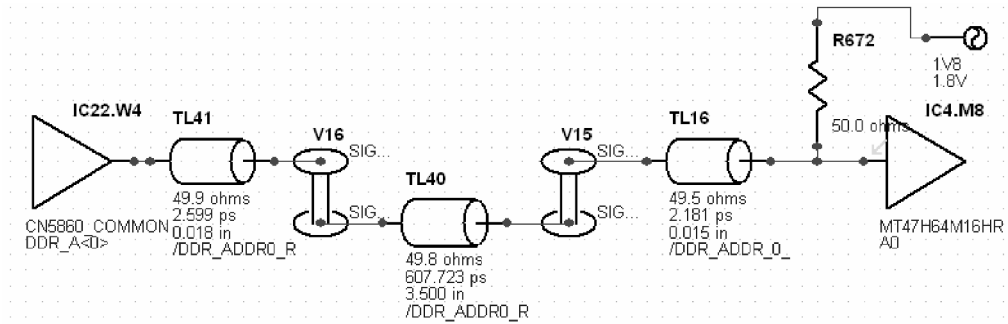
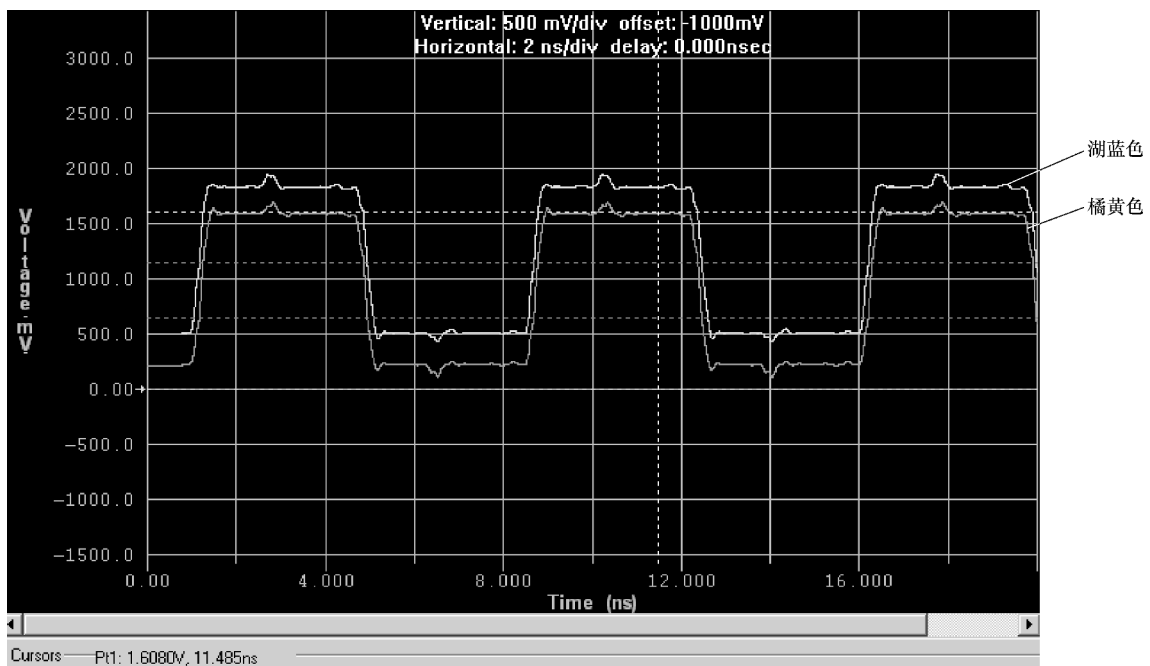
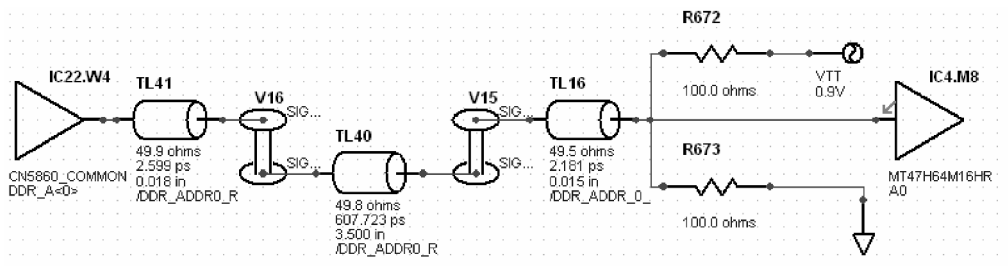
图 5-22 并联端接到 V_{CC} 图 5-23 并联端接到 V_{CC} 仿真结果

图 5-24 戴维南端接拓扑

AC 端接通常是先接电容再通过电阻连接到地，如果反过来就成为先接电阻再接电容到地，图 5-26 给出了这两种拓扑结构，电容值为 200nF，电阻仍为 50Ω，其结果如图 5-27 所

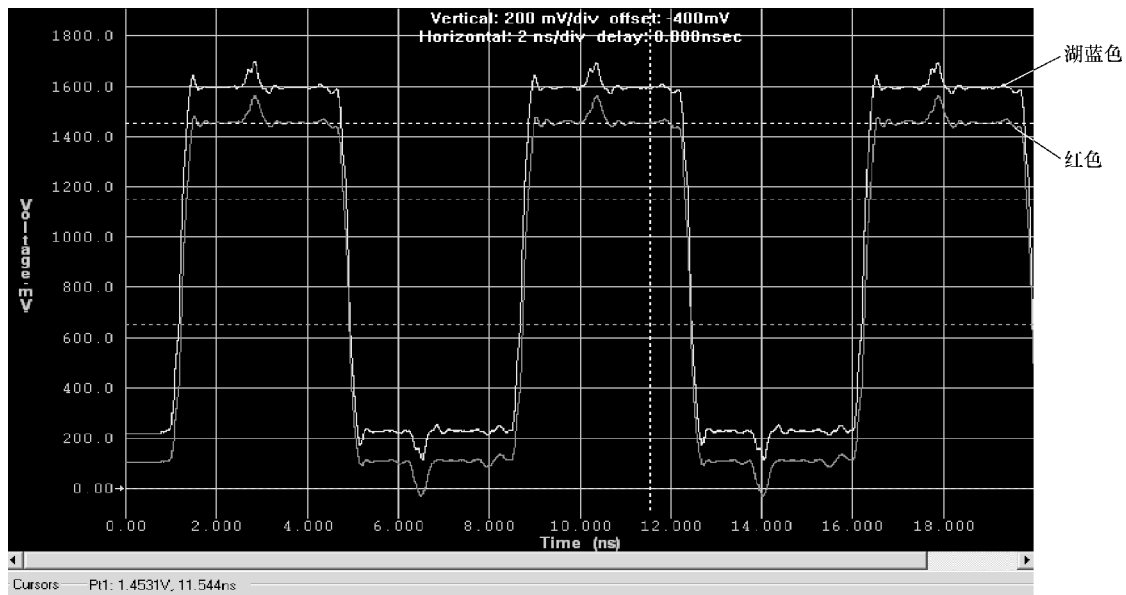


图 5-25 戴维南端接拓扑仿真结果

示，图中红色曲线为 $C+R$ 的结构，即第一个拓扑结构，接收端为 IC4，黄色曲线为第二个拓扑结构中 U3 的接收端曲线。粗略地看两个波形区别不是很明显，基本重叠在一起，但如果将波形放到图 5-28 中，大概是 16~20ns 内高电平部分的细节显示，就可以发现红色曲线比黄色曲线稍微平滑一些，这是由于第一种拓扑中电容直接将 DC 电流阻隔掉，相当于比第二种拓扑少了连接电阻那一部分的分支长度，因而波形更好一些。

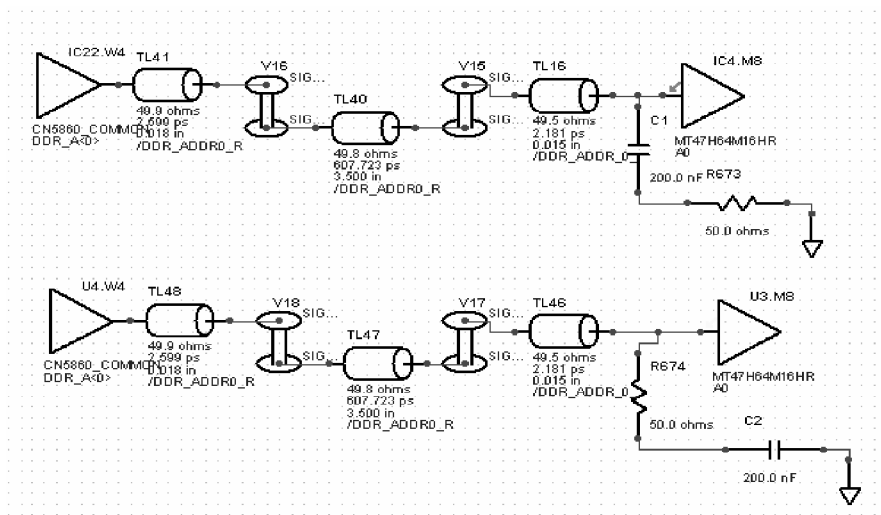


图 5-26 AC 端接拓扑

当然选用不同的电容值，由于其充放电时间不同，所以最后接收端芯片高电平稳定在什么值也是会有变化的。篇幅所限，不再列举其他电容值的仿真结果，但在实际应用中可以根据理论计算和仿真结果来选择合适的电容值。

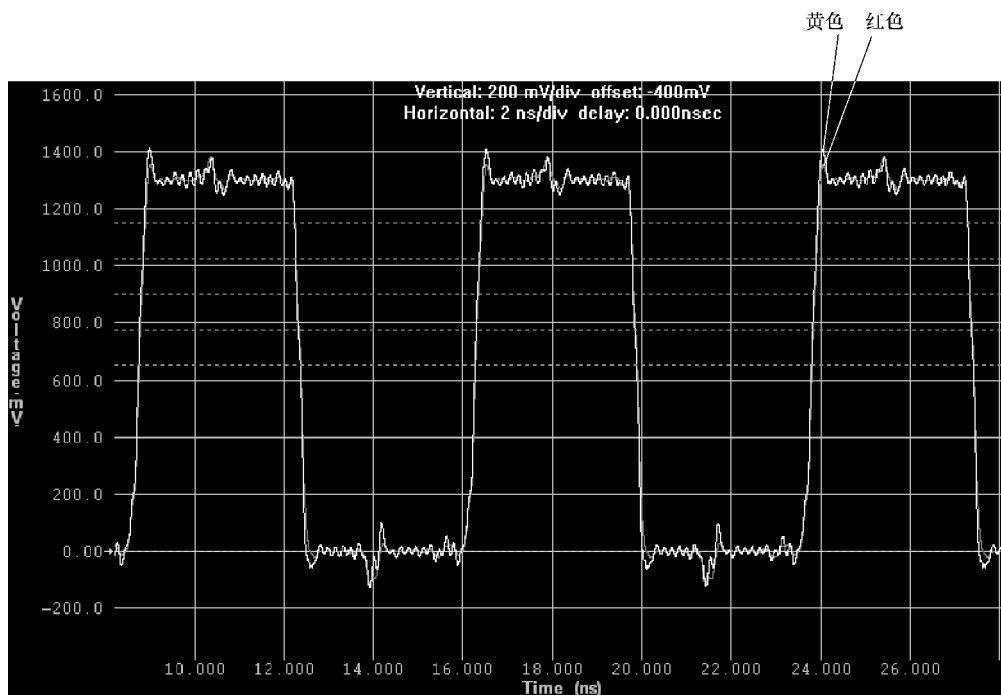


图 5-27 AC 端接仿真结果

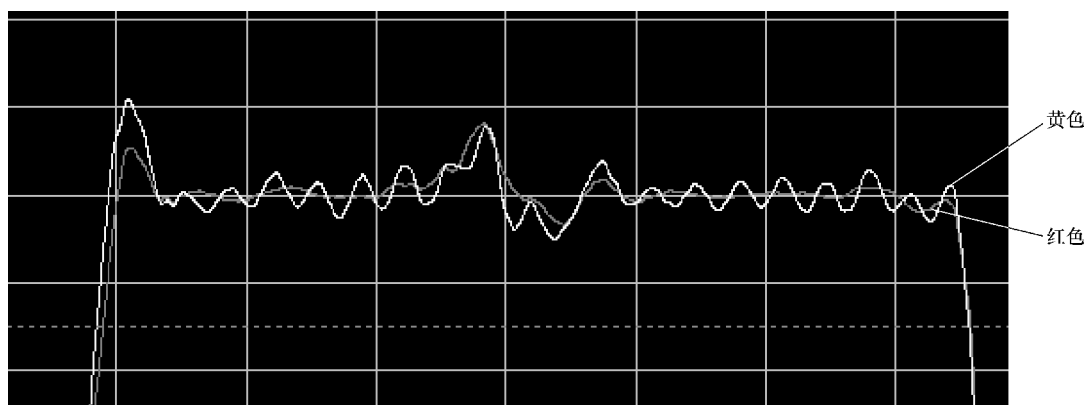


图 5-28 AC 端接仿真结果（区域放大）

5.4 串扰的仿真分析

下面对影响串扰的各种因素进行仿真分析，找到能够有效减小串扰的措施。串扰中的干扰源与被干扰对象如图 5-29 所示。

图 5-29 中如果位于 A 点的驱动源称



图 5-29 串扰中的干扰源与被干扰对象

为干扰源 (Aggressor), 则位于 D 点的接收器称为被干扰对象 (Victim), A、B 之间的线网称为干扰源网络, C、D 之间的线网称为被干扰对象网络; 反之, 如果位于 C 点的驱动源称为干扰源, 则位于 B 点的接收器称为被干扰对象, C、D 之间的线网称为干扰源网络, A、B 之间的线网称为被干扰对象网络。

仿真条件: 电路布局布线严格按照两线系统的结构, 如图 5-29 所示。设两线的线宽均为 w , 两线的线间距为 s , 而两线的平行长度为 l , 如不特殊说明, w 、 s 和 l 的取值分别为 $w = 4\text{mil}^\ominus$ 、 $s = 6\text{mil}$ 、 $l = 1.8\text{in}^\omin�$, 两线均为 TOP 层微带传输线。PCB 的参数设置如下: 电介质介电常数 ε_r 为 4.0, 为 6 层板 (4 个信号层和 2 个电源层)。6 层板的顺序如下: 1 层顶层信号层; 2 层地层 (GROUND); 3 层信号层; 4 层信号层; 5 层电源层 (V_{CC}); 6 层 BOTTOM 信号层。各层之间的电介质厚度均为 6mil。信号驱动器和接收器均使用标准 TTL 工艺器件的 IBIS 模型。下面的仿真将 AB 线网络 NET 看作干扰源网络, 其信号频率为 f_1 , 而将 CD 线网络 NET 看作被干扰对象网络, 其信号频率为 f_2 , f_1 和 f_2 的默认频率均为 150MHz。

5.4.1 电流流向对串扰的影响

串扰是与方向有关的, 其波形是电流流动方向的函数, 下面分析了两种情况的信号仿真: 方案 1 是被干扰对象线网和干扰源线网的电流传输方向相同; 方案 2 是被干扰对象线网和干扰源线网的电流传输方向相反 (AB 线网中的发送端与接收端互换位置, 即位于 B 点的为发送端, 而位于 A 点的为接收端, 见图 5-29)。在这两种情况下, AB 和 CD 线网都加入 150MHz 的信号, 表 5-1 列出了远端 D 点的串扰峰值, 串扰的波形仿真结果如图 5-30 和图 5-31 所示。图 5-30 所示为电流传输方向为同向时的串扰波形, 图 5-31 所示为电流传输方向为反向时的串扰波形, 标记“1”和标记“2”箭头所指的波形分别为被干扰对象远端 D 点和近端 C 点的串扰信号波形。

表 5-1 电流流向不同时远端 D 点的峰值串扰

仿真情况	f_1/MHz	f_2/MHz	远端串扰峰值/mV
电流流向为同向	150	150	258.6
电流流向为反向	150	150	347.2

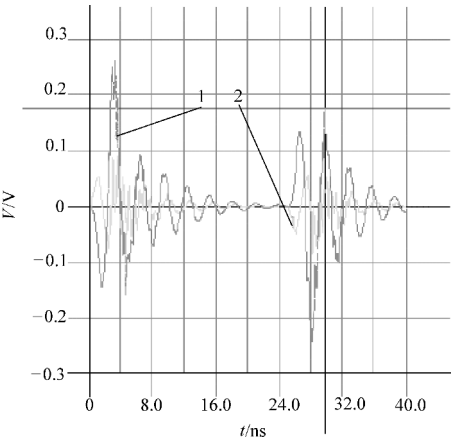


图 5-30 电流传输方向为同向时的串扰波形

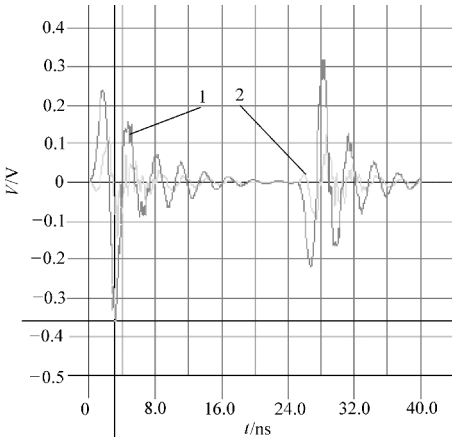


图 5-31 电流传输方向为反向时的串扰波形

$^\ominus$ 1mil = $25.4 \times 10^{-6}\text{m}$ 。

$^\omin�$ 1in = 0.0254m。

由以上两张仿真图可以看出, 电流传输方向为反向时的串扰 (远端串扰峰值为 347.2mV) 要大于电流传输方向为同向时的串扰 (远端串扰峰值为 258.6.7mV), 当 AB 线网的发送端与接收端位置互换以后, 信号的频率还是 150MHz, 由图 5-31 所示仿真图可以看出, 被干扰对象上的串扰相比左边放大了一点。同时由图 5-31 可以看到, 当改变干扰源信号线上的电流传输方向后, 在被干扰对象上的串扰极性也发生了改变。这表明被干扰对象上的串扰电压的大小和极性都是与相应干扰源上信号的电流传输方向有关的。

5.4.2 两线间距 s 与两线平行长度 l 对串扰大小的影响

对于图 5-29 所示的两线系统, 下面进行 3 种情况的仿真: 方案 1 是在两线间距 s 和平行长度 l 不变的条件下, 仿真被干扰对象的串扰; 方案 2 是在两线平行长度 l 不变的前提下, 将两线间距 s 增加 6mil, 然后仿真被干扰对象的串扰; 方案 3 是在两线间距 s 不变的条件下, 将两线的平行长度 l 增加到 3.5in, 然后仿真被干扰对象的串扰。对以上 3 种情况进行仿真, 线网 AB 上的信号频率均为 150MHz。表 5-2 为相应的仿真条件与被干扰对象远端 D 点的串扰峰值, 图 5-32 和图 5-33 所示为两线间距 s 和平行长度 l 取不同值时, 被干扰对象网络上发送端与接收端的串扰波形。图中标记“1”箭头所指的波形为两线间距 s 和平行长度 l 不变时所对应的初始条件下的串扰信号, 而标记“2”和标记“3”箭头所指的波形分别为两线平行长度 l 不变、间距 s 增大 1 倍和两线间距不变、平行长度增大 1 倍时所对应的串扰信号。

表 5-2 两线间距 s 和平行长度 l 取不同值时的峰值串扰

两线间距 s/mil	f_1/MHz	f_2/MHz	l/in	远端串扰峰值/mV
6	150	150	3	306.5
12	150	150	1.8	189.3
6	150	150	6	463.5

由仿真结果可见, 当两线的间距拉大 (s 由 6mil 变为 12mil) 时, 串扰明显减小了, 远端串扰峰值从 306.2mV 降为 189.3mV。而当两线的平行长度加长 (l 由 1.8in 变为 3.5in)

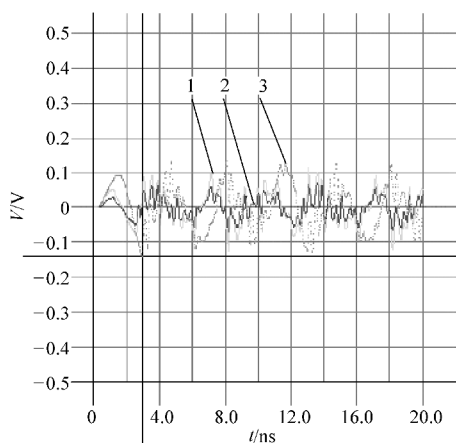


图 5-32 被干扰对象的近端串扰波形

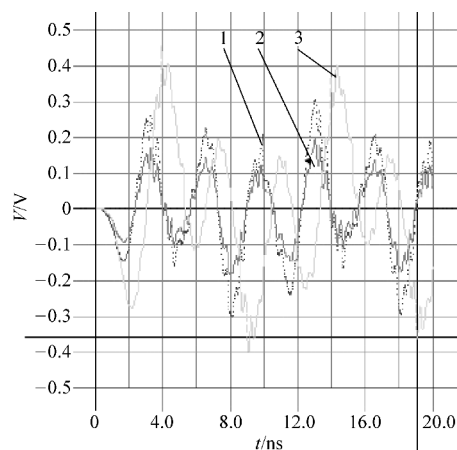


图 5-33 被干扰对象的远端串扰波形

时，串扰显著增大了，远端串扰峰值从 306.2mV 升为 463.5mV。可以得出，串扰电压的大小与两线的间距成反比，而与两传输线的平行长度成正比，但却不是完全的比率关系。在实际高速电路中进行布线时，当布线空间较小或布线密度较大时，应慎重对待信号线之间的串扰问题，因为高频信号线对与其相邻的信号线的串扰可能会导致门级的误触发，而这样的问题在电路调试的过程中是很难被轻易发现并妥善解决的。因此，在布线资源允许的条件下，应尽可能地拉开线间距（差分线除外）并减小两根或多根信号线的平行长度，必要时可采用固定最大平行长度推挤的布线方式（也称 jog 式走线，见图 5-34），即对于平行长度很长的两根信号线，在布线时可以间断式地将间距拉开，这样既可以节省布线资源，又可以有效地抑制串扰。

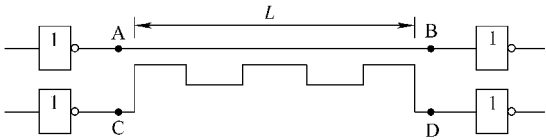


图 5-34 能够减小串扰的 jog 式走线

5.4.3 干扰源信号频率对串扰的影响

干扰源信号的频率变化会对被干扰对象上的远端串扰产生不同的效果，本仿真对图 5-29 中干扰源网络 AB 上的信号频率 f_1 依次取 33MHz、66MHz、120MHz、150MHz、250MHz、350MHz、450MHz 等频率值，分析被干扰对象上的远端串扰的影响，仿真结果见表 5-3。

表 5-3 干扰源信号频率取不同值时对应的峰值串扰

f_1/MHz	33	66	120	150	250	350	450
远端串扰峰值 /mV	260.7	275.7	308.5	286.2	833.1	1168.1	1171.7

由仿真结果可见，随着干扰源信号频率的逐渐上升，被干扰对象上的远端串扰幅值也随之加大，当干扰源信号频率取值为 150MHz 以上时，峰值串扰上升得很快，而当其频率为 250MHz 以上时，被干扰对象上的远端串扰造成的影响已经十分差了。这说明被干扰对象上的串扰电压与干扰源信号的频率取值成正比，当干扰源频率大于 150MHz 时，必须采取适当措施（如前面讨论的端接技术）来抑制串扰噪声。同时，当干扰源频率大到一定程度时，即当对应的干扰源频率为 450MHz 时，可以明显看出远端串扰噪声约等于被干扰对象的 350MHz 远端串扰噪声，这表明此时容性耦合已经超过感性耦合而成为主要的干扰因素，这种情况下不但要像通常一样关心远端串扰，而且需要谨慎处理经常容易被忽略的近端串扰。

5.4.4 地平面对串扰的影响

在如今的高速系统设计实现中，多层 PCB 已经被广泛地用于电路的布局布线中，采用多层 PCB 的最大优点是可以在有限面积的情况下，大大提高了布线的空间，设计中使用的元器件在布局时摆放得很紧凑，也可以通过过孔在多层信号走线中实现互连，从而使系统越来越向小型化发展。多层 PCB 一般都包括若干个信号层和若干个电源层，多个信号层和电源层的叠放顺序一般有多种设置，但通常是通过叠放顺序来构成标准的微带传输线和带状传输线。对于微带传输线和带状传输线来说，与之相邻的一般都有一个电源平面，相应的信号层与电源层之间是用电介质填充的。这个电介质层的厚度是影响传输线特性阻抗的重要因素，当它变大时，传输线特性阻抗会变大，当它变小时，传输线特性阻抗会变小。实际上，电介质层的厚度对串扰的影响也十分明显，这里对图 5-29 中的两线系统在布线时分别采用

微带传输线（第一层）和带状传输线（第三层）两种布线结构进行了仿真，这两种情况除了使用不同的布线层外，其他条件如两线平行长度、间距、信号频率等均不变。因为两者相邻的电源平面均有地平面，通过改变传输线信号层与地平面层之间电介质的厚度（第一层和第二层之间电介质层的厚度，第二层和第三层之间电介质层的厚度）来观察串扰的变化。表 5-4 给出了被干扰对象的远端峰值串扰的变化。

表 5-4 传输线离地平面的不同距离对应的远端峰值串扰

	第一种情况	第二种情况	第三种情况
传输线离地面的距离/mil	4.4	8.8	17.6
微带传输线/mV	40.1	115.3	260.5
带状传输线/mV	21.2	58.9	159.5

由仿真结果可见，传输线与地平面的距离，第一种采用的是 4.4mil，第二种采用 2 倍于第一种距离，第三种是 4 倍于第一种的距离。从微带传输线上看，第二种串扰大约是第一种 3 倍，第三种大约是第一种的 6.5 倍，即传输线与地平面之间的电介质层的厚度对串扰的影响很大。对于同一布线结构，当电介质层的厚度增大 1 倍时，串扰明显加大了；反之，当电介质层厚度减小时，串扰明显减小。另外，对于同样的电介质层厚度，带状传输线的串扰要小于微带传输线的串扰，如第一种情况微带传输线为 40.1mV 的串扰噪声，带状线传输线只有 21.2mV 串扰噪声。由分析可得，地平面对不同结构的传输线的影响也是不同的。因此在高速电路布线时，若带状传输线的阻抗控制能够满足要求，尽量使用带状传输线结构。同样情况下，带状传输线可以比使用微带传输线获得更好的串扰抑制效果。

不管是设计前的串扰计算，还是布局布线前的仿真，或是布局布线后的仿真，都是为了使 PCB 能快速达到最小的干扰。通过以上分析与仿真结果，可以归纳总结出减小串扰的一些方法：

- 1) 容性耦合和感性耦合产生的串扰随受干扰线路负载阻抗的增大而增大，所以减小负载可以减小耦合干扰的影响。
- 2) 在情况允许的情况下，尽量增大可能发生容性耦合导线之间的距离，更有效的做法是在导线间用地线隔离。减小平行走线的长度，必要时采用 jog 方式走线。
- 3) 在相邻的信号线间插入一根地线也可以有效减小容性串扰，这根地线需要每 1/4 波长就接入地层。
- 4) 感性耦合较难抑制，要尽量降低回路数量，减小回路面积，不要让信号回路共用同一段导线。
- 5) 避免信号共用环路。
- 6) 在设计走线时，应该尽量使导体靠近地平面或电源平面。这样可以使信号路径与地平面紧密地耦合，减小对相邻信号线的干扰。
- 7) 在确保信号时序的情况下，尽可能地选择上升沿和下降沿速度更慢的器件，使电场和磁场变化的速度变慢，从而降低串扰。

第 6 章 在 HyperLynx 中做 DDR 仿真

在前几章中我们已经用大量篇幅详细介绍了仿真的基础——模型。万丈高楼从地起，我们了解了模型，打好了地基，那么就可以开始造房子了。从本章开始，我们将通过 DDR 仿真实例来熟悉一个具体仿真任务的几个关键要素，即仿真工具设置、仿真流程设计以及仿真模型的使用。

6.1 关于前仿和后仿的介绍

前仿，顾名思义就是前面的仿真，也就是在 PCB 设计之前进行仿真，打个通俗点的比方，前仿就像我们的天气预报一样，天气预报就是气象研究员运用大气变化的规律，根据当前及近期的天气形势，对未来一定时期内的天气状况进行预测。它是根据对卫星云图和天气图的分析，结合有关气象资料、地形和季节特点、群众经验等综合研究后作出的。而前仿是我们的仿真工程师依靠模型、信号的拓扑选择，正确的端接对信号的质量进行一个预判和分析，并且用来指导设计的。

后仿，是在设计完成后进行仿真，是根据实际情况进行的仿真。因为前仿毕竟是预测性的，很多条件有一定的假设成分，所以是一个指导性的仿真。后仿是精确仿真，是验证设计可靠性的手段。

6.2 前仿的基本流程和参数设置

下面以明导公司 HyperLynx – LineSim 为例介绍前仿的基本流程和参数设置。硬件工程师通常根据经验来进行 PCB 设计，但是在 PCB 设计过程中会遇到各种情况导致有些设计最终失败了。使用 LineSim 可以在布局布线之前先进行仿真，再将仿真结果作为约束条件来约束实际布线过程，这样就可以在设计中减少甚至消除信号完整性的问题，提高设计的成功率。在 PCB 设计之前对关键网络进行仿真优化在当今高速设计中是非常行之有效的。

下面我们来介绍整个 Linesim 的仿真流程。

1. 根据自己的 PCB 设计设置层叠（见图 6-1）

2. 搭建信号的拓扑

在 LineSim 界面，搭建一个 DRAM DDR2 地址线的拓扑，此 DDR2 地址信号为树形拓扑结构，如图 6-2 所示。

3. 设置传输线的具体性能参数

传输线的参数正确与否决定了仿真结果的正确性，在仿真之前工程师需要根据 PCB 厂商所提供的具体参数来设置，以得到适当的特征阻抗（ Z_0 ）和传输延时（Delay）。图 6-3 所示为传输线设置界面，可以对仿真信号的线长、线宽、传输线所在的层等进行设置。

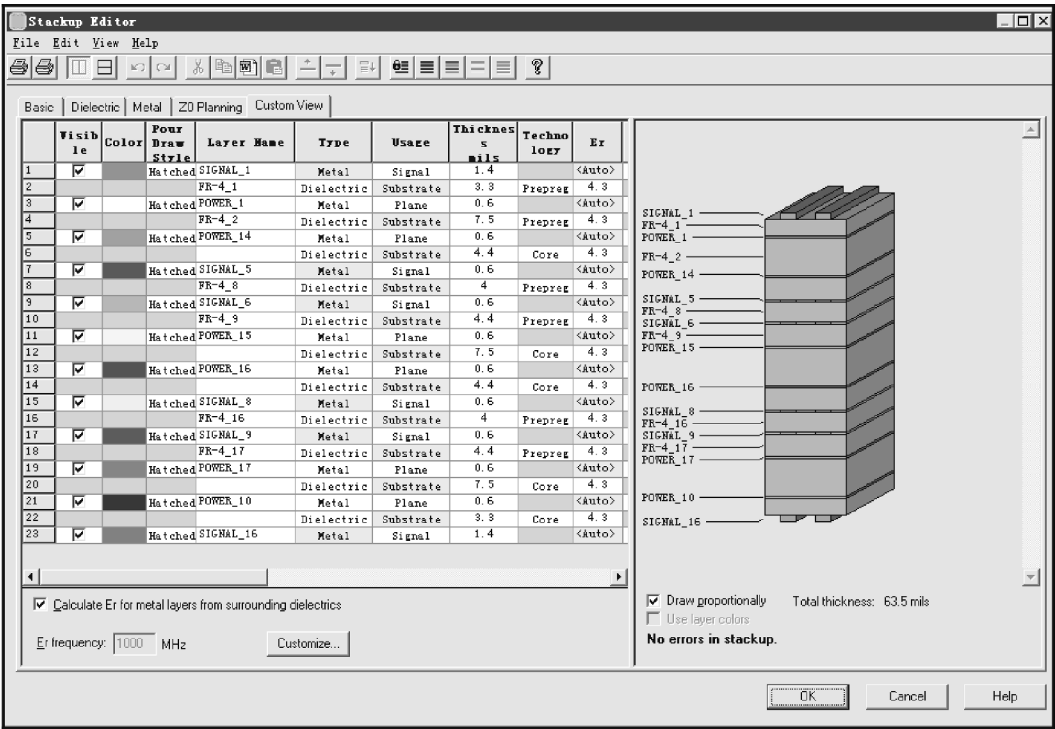


图 6-1 设置 PCB 层叠

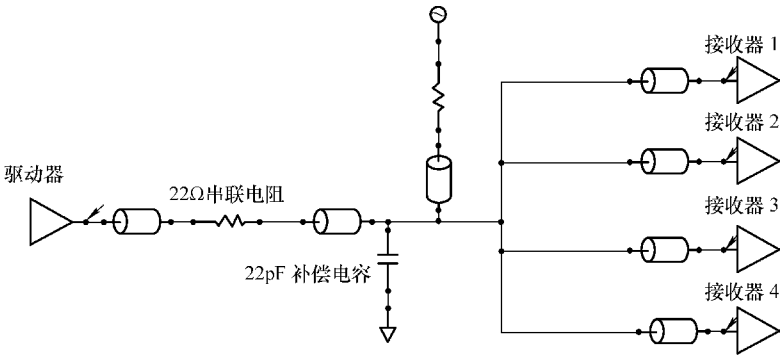


图 6-2 新建 LineSim 原理图

4. 设置 IC 器件并选择仿真模型

在对原理图仿真之前，我们除了的原理图中设置模拟的传输线外，还需要为 IC 器件选择适当的模型，包括传输线两端的驱动器和接收器以及通道中其他器件的模型。这些模型不包含器件的内部电路具体信息，而只表征其行为特性，这就是我们所说的 IBIS 模型。模型的调用如图 6-4 所示，选中器件后，点击 select 通过选择器件模型所在路径，找到相应的模型。要注意的是，选好模型后还要为该 pin 选择正确的 type，即 Input、Output 或其他的 type。

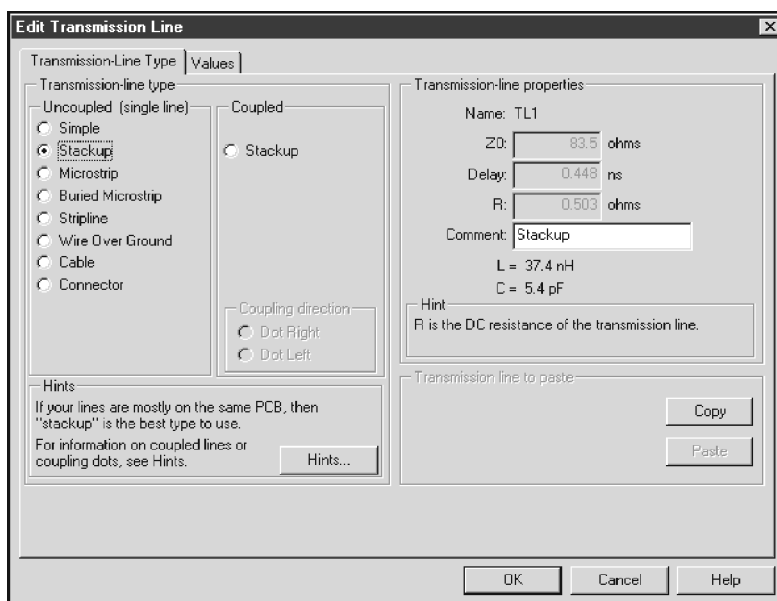


图 6-3 传输线设置界面

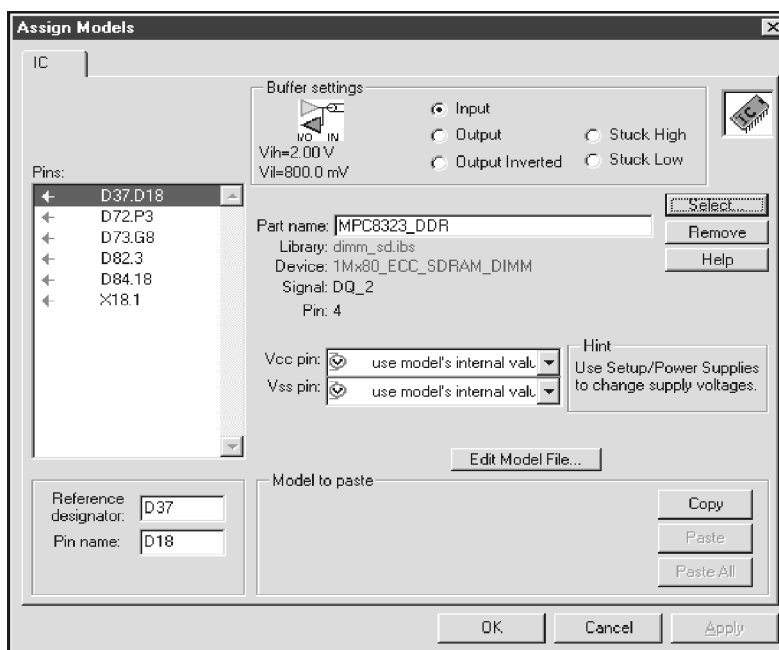


图 6-4 器件模型编辑窗口

5. 设置电源电压

在输入原理图的时候，LineSim 会提供一个电源信号的列表以供使用。电源选择分为两种：一种是为 IC 器件提供的电源，包括 V_{CC} 、 V_{SS} 以及 $V_{t1} \sim V_{t6}$ ，每个 IC 器件都有两个电源

信号；另一种是连接无源器件的电源信号，包括 VpullUp 和 VpullDn。电源电压设置窗口如图 6-5 所示。

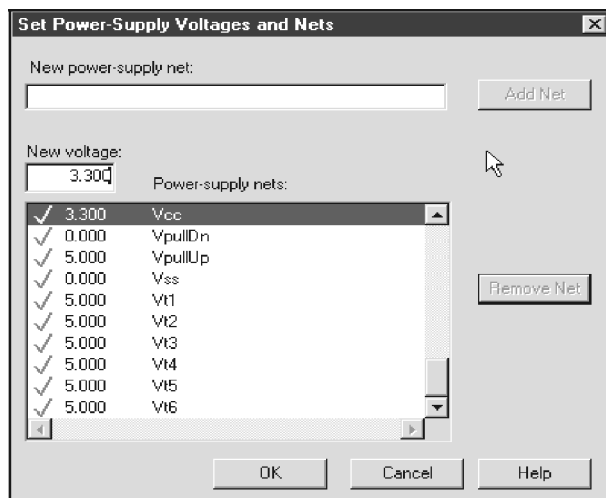


图 6-5 电源电压设置窗口

6. 在仿真器里设置仿真参数并运行仿真

仿真结束后，利用 HyperLynx 中的示波器，可以看到原理图上每一点的信号波形图，并可以修改显示的栅格，是相当方便、直观的工具。我们可以直接点击工具栏上示波器的图标进行设置。打开后的示波器如图 6-6 所示。在这个界面可以对仿真信号的频率、信号源类型以及波形显示的一些参数进行设置。

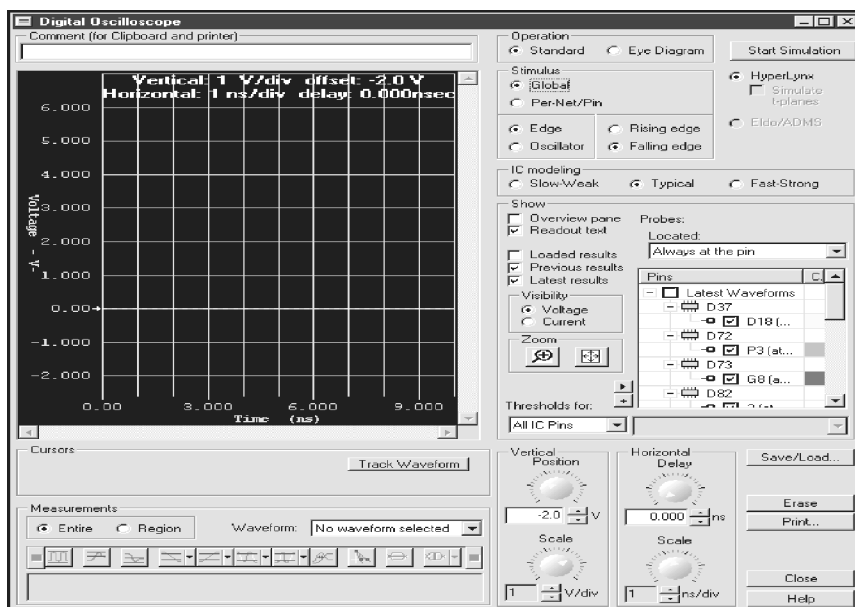


图 6-6 示波器窗口

在 HyperLynx 中运行仿真前，可以在图 6-6 所示的示波器上点击 Probes 来手动定义探针，如果没有定义，则 LineSim 会在仿真时自动定义探针。然后单击示波器右上角的 Start Simulation 就可以开始仿真了。

7. 仿真结果分析

如图 6-7 所示，该仿真中，我们采用了两种驱动模型，红色为半驱动，蓝色为全驱动。

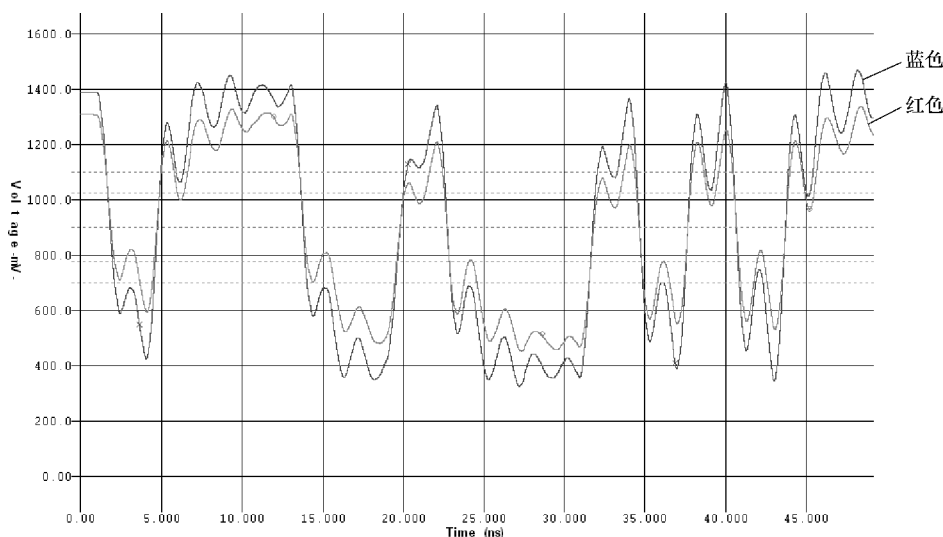


图 6-7 仿真结果

6.3 后仿的基本流程和参数设置

下面以明导公司 HyperLynx – Boardsim 为例介绍后仿的基本流程和参数设置。

Boardsim 的主要作用是在 PCB 设计完成后，对实际设计进行仿真验证。本节介绍使用 HyperLynx 的 BoardSim 进行后仿的基本流程。

1. 从 PCB 文件创建 .HYP 文件
2. 在 BoardSim 中调用 .HYP 文件
3. 设置并调整层叠

当 BoardSim 读入 .HYP 文件时，层叠也会自动导入，但是介电常数还是需要工程师自己设置。

4. 设置电源

点击 Edit \ Power Supplies 进入设置电源页面，可以根据不同的电源网络给予不同的电压值，如图 6-8 所示。

5. 选择一网络进行仿真

在仿真之前我们先要选择一个信号网络，除了电源网络外的所有网络都能被选择，并对其仿真。可以通过信号名称选择网络 Select Net by Name，如图 6-9 所示。

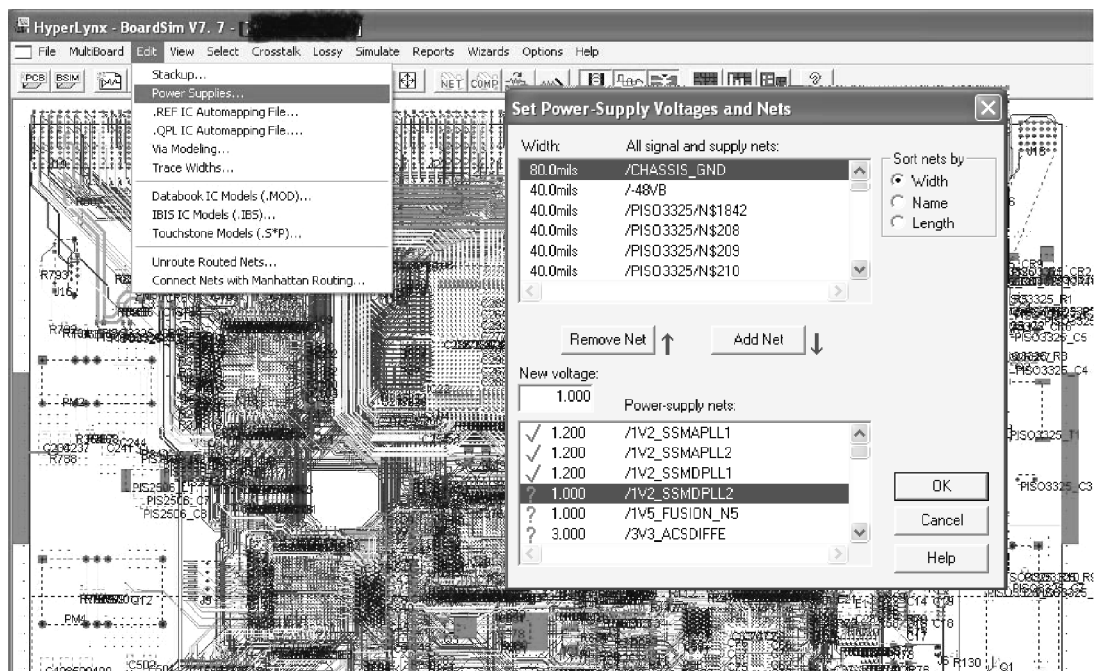


图 6-8 电源电压设置窗口

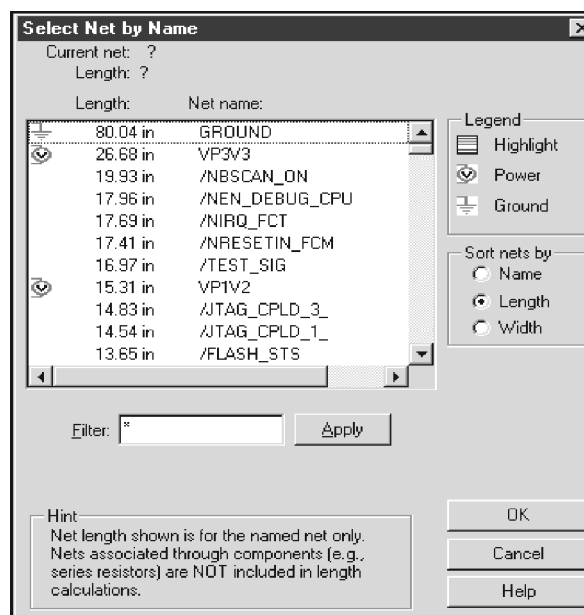


图 6-9 选择网络名

6. 对被选信号的驱动器和接收器赋 IBIS 模型

如图 6-10 所示，我们通过选中 Pins 然后点击 Select 附上 IBIS 模型。

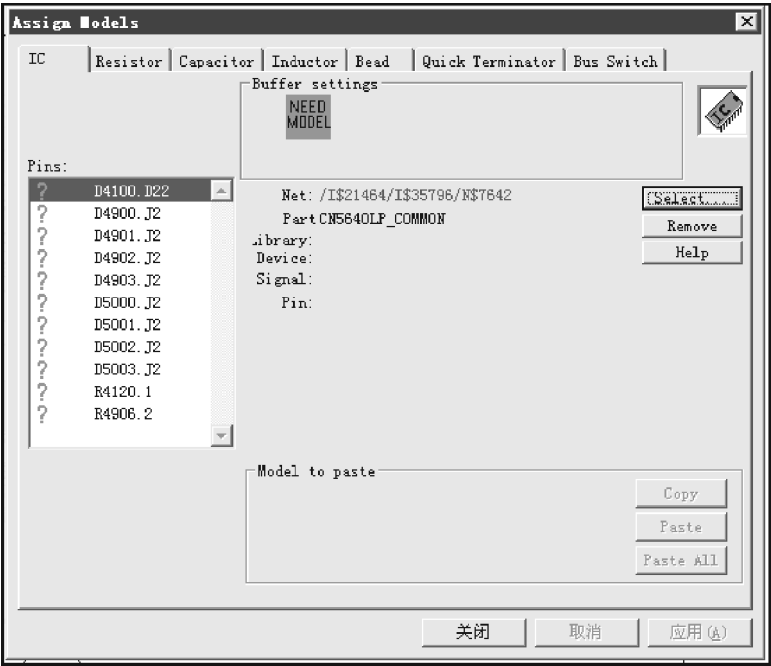


图 6-10 分配模型

7. 在仿真器里设置仿真参数并运行仿真

该部分设置与前仿一样，所以此处不再赘述。

8. 分析仿真结果

以图 6-11 为例，从其中的波形上可以看出：上升沿与下降沿快速穿过交流阈值并一直保持在直流阈值之上，保证 DDR 的正常读写电平条件；电压波动少并远离交流阈值与直流阈值，保证了工作的余量；过冲小，没有超过过冲电平的限制；电平窗口比较大，能保证较大的建立时间与保持时间的余量。

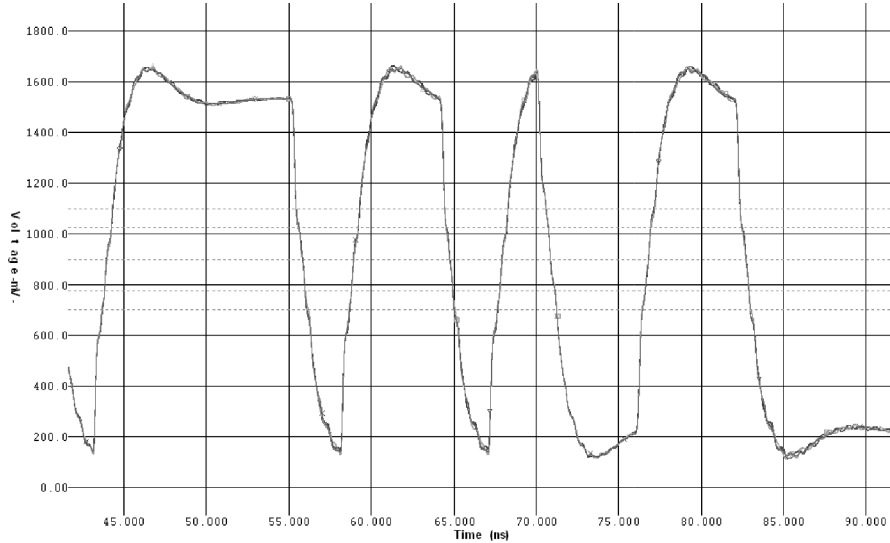


图 6-11 仿真结果

6.4 开始仿真

磨刀不误砍柴工，现在让我们来看看这个案例，然后定制此案的仿真方略。

DDR2 拓扑信息为驱动器外接 8 片 DDR2 – SDRAM 芯片，地址线为树型的一拖八拓扑，数据线为端到端拓扑。本例中 DDR 控制端为 cn5640lp_600bg (Cavium)，DDR2 芯片为 MT47H128M8CF – 3IT: H (Micron)，时钟频率为 333MHz，数据速率为 667Mbit/s。

首先分析一下需要考虑哪些方面的仿真。本设计中，DDR 控制端需要控制 8 片 DDR2 SDRAM 芯片，所以对时钟 (CLK) 信号要求很高。并且此 DDR2 存储器是包含 ODT (On Die Termination，内核的终结电阻器) 部分的，它有效地防止了数据线终端反射信号，保证了最佳的数据信号波形。所以，此设计仿真的重点我们会放在 CLK 信号以及地址、命令、控制信号的仿真上。

其次，考虑一下用什么拓扑结构。拓扑结构 (Topology) 是一种研究与大小、距离无关的几何图形特性的方法。信号网络拓扑是由网络节点设备和通信介质构成的网络结构图。常用的拓扑结构有：星形结构、总线结构、环形结构、树形结构、网状结构、T 形结构等。不同的拓扑结构有它们各自的特点，一般芯片手册里会有推荐。根据这个设计的实际情况，地址、命令、控制信号采用树形 (Tree) 拓扑结构，而时钟信号为 T 形拓扑结构比较合理。

最后，时序仿真是 DDR 仿真中一个重要的组成部门。什么是时序，可能对大部分初学者来说这是个很陌生的词语，从字面上来解释，就是时间顺序，就是按时间先后顺序执行任务。CPU 读取内存信息是一个有序的过程，有地址信号、控制信号、时钟信号、数据信号，每种信号必须按顺序各司其职，该同步的同步，该先后的先后，这样才能保障整个 DDR 有条不紊地工作。

6.4.1 地址、命令、控制信号的前仿

完成了以上的准备工作，定下了仿真方略和基本的拓扑以后我们总算可以开始做前仿了。

因为地址、命令、控制信号选用的是树形拓扑 (Tree) 结构。地址、命令、控制信号都是单端的信号，采用 50Ω 阻抗匹配。由于这 3 组信号特性相似，所以以下的仿真方案以及仿真结果分析均以地址信号为例，命令和控制信号可参照地址信号，不再分别阐述。

1. 地址、命令、控制信号的前仿方案

根据驱动端芯片型号，以及地址、命令、控制信号都是单端信号的特性。在 IBIS 模型库中有两种驱动模型供选择：一种是全驱动；另一种是半驱动。我们准备分别用这两种驱动模型进行仿真。仿真目的：选择一种更好的驱动模型；验证此驱动是否能拖动 8 片 SDRAM。

2. 基于树形拓扑对地址、命令、控制信号网络选择合理端接

在 LineSim 界面中，搭建一个 DRAM DDR2 地址线的拓扑，此树形拓扑结构如图 6-12 所

示。拓扑中在发送端有一个 22Ω 的串联电阻，在分叉点处有一个 22pF 的补偿电容，地址线的长度预设为 2.8in 。

现设计仿真方案如下：分别仿真 3 种树形拓扑端接情况，得出仿真结果（眼图、标准图）：

- 1) Topology1——原始树形拓扑结构信号波形；
- 2) Topology2——移除 22pF 的补偿电容后的信号波形；
- 3) Topology3——移除 22pF 的补偿电容，并且移除 22Ω 的串联电阻后的信号波形。

仿真目的：评估是否需要 22Ω 的串联电阻；评估是否需要 22pF 的补偿电容。

3. 地址、命令、控制信号的前仿结果及分析

仿真驱动模型的选择。图 6-12 所示的波形为 IBIS 模型库中两种驱动模型所仿真得出的波形图。

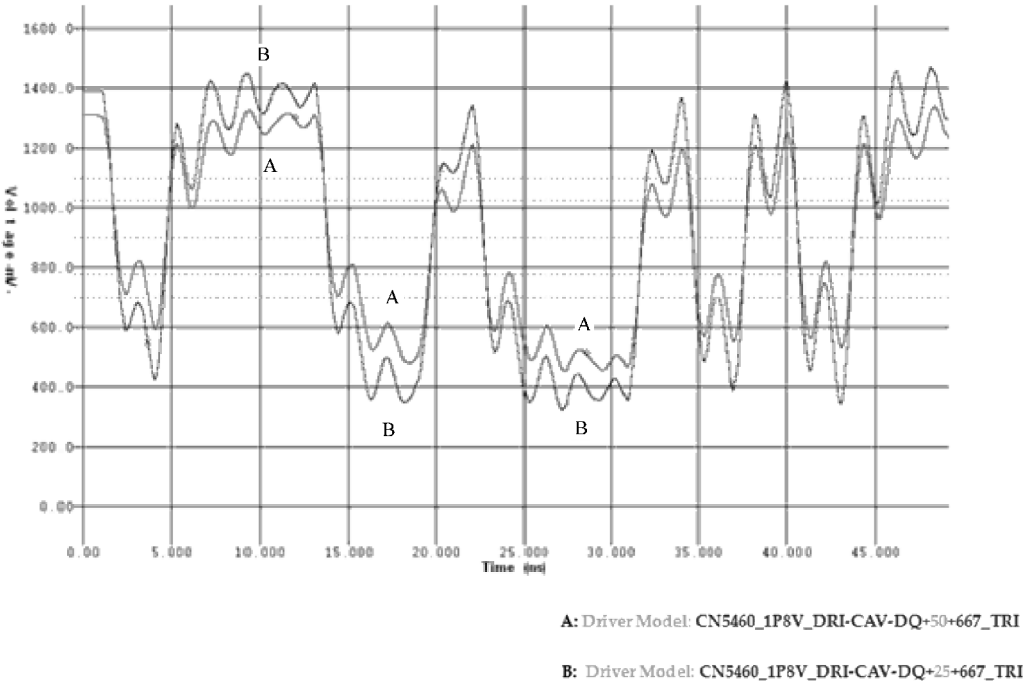


图 6-12 两种驱动模型图

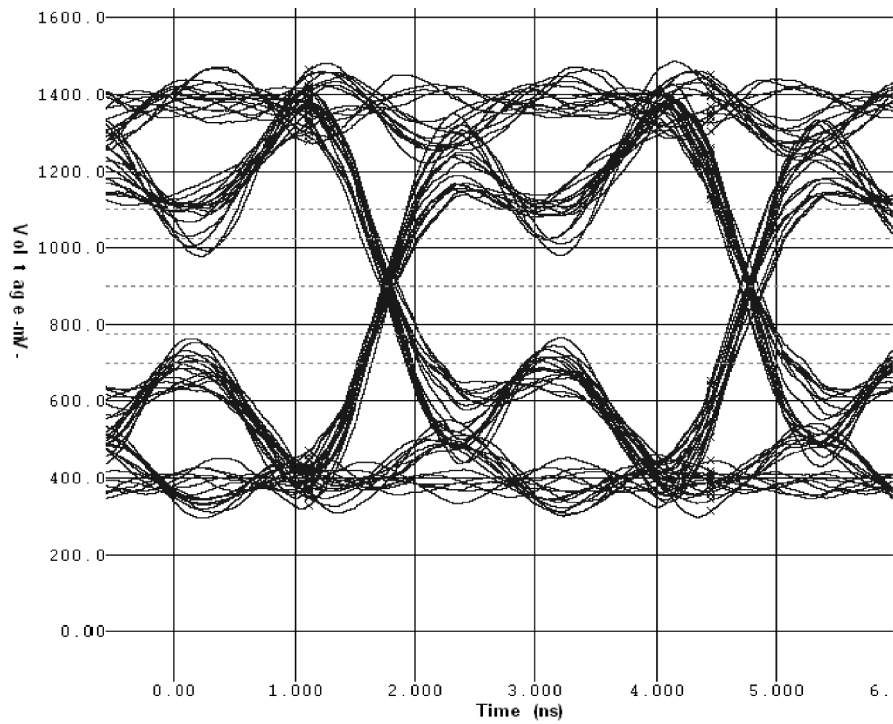
结果分析：本设计中，驱动器需要外接 8 片 DDR2 SDRAM 芯片。根据仿真结果，驱动模型 A: CN5460_1P8V_DRI-CAV-DQ+50+667_TRI 的驱动强度是不够的。所以我们需要选择驱动模型 B: CN5460_1P8V_DRI-CAV-DQ+25+667_TRI 作为进一步仿真的模型，这样可以达到优化地址、命令、控制信号的目的。

4. 基于树形拓扑对地址、命令、控制信号网络选择合理的端接

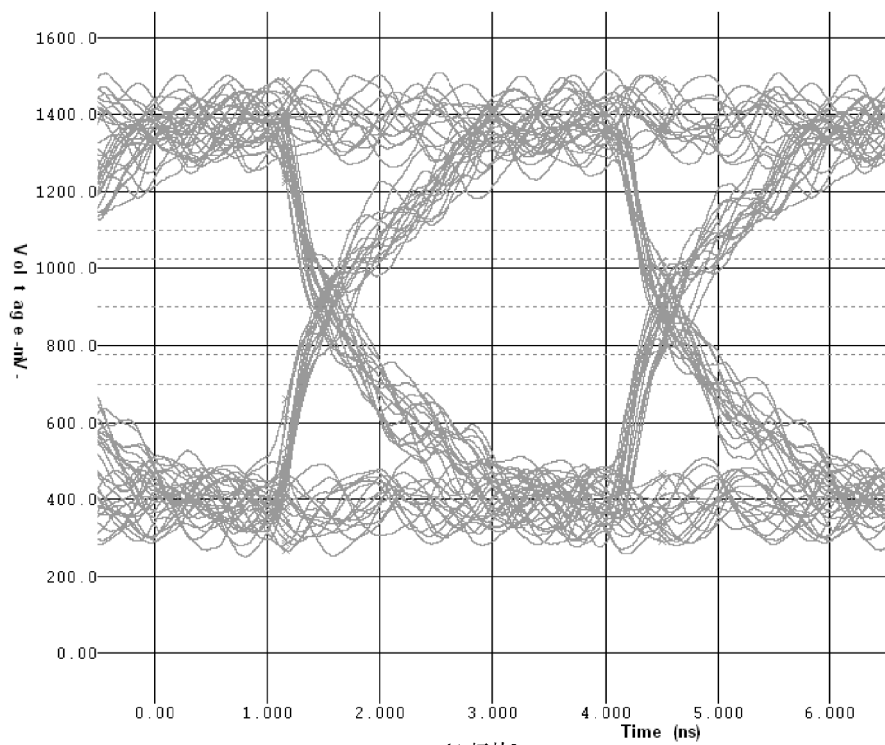
图 6-13 所示的波形为基于树形拓扑仿真地址信号的 3 种端接情况的眼图。

图 6-14 所示的波形为基于树形拓扑仿真地址信号的标准图。

图 6-15 所示的波形为地址信号 Topology1 原始树形拓扑结构信号波形的眼图。



a) 拓扑1



b) 拓扑2

图 6-13 地址信号 3 种端接情况眼图

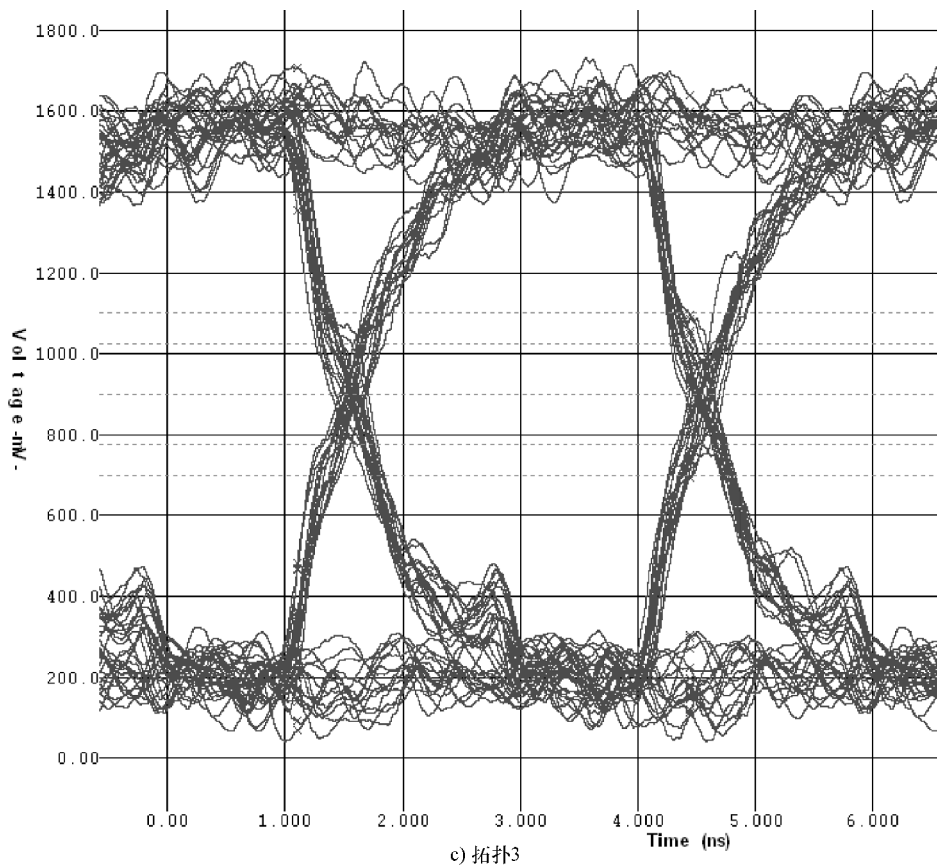


图 6-13 地址信号 3 种端接情况眼图 (续)

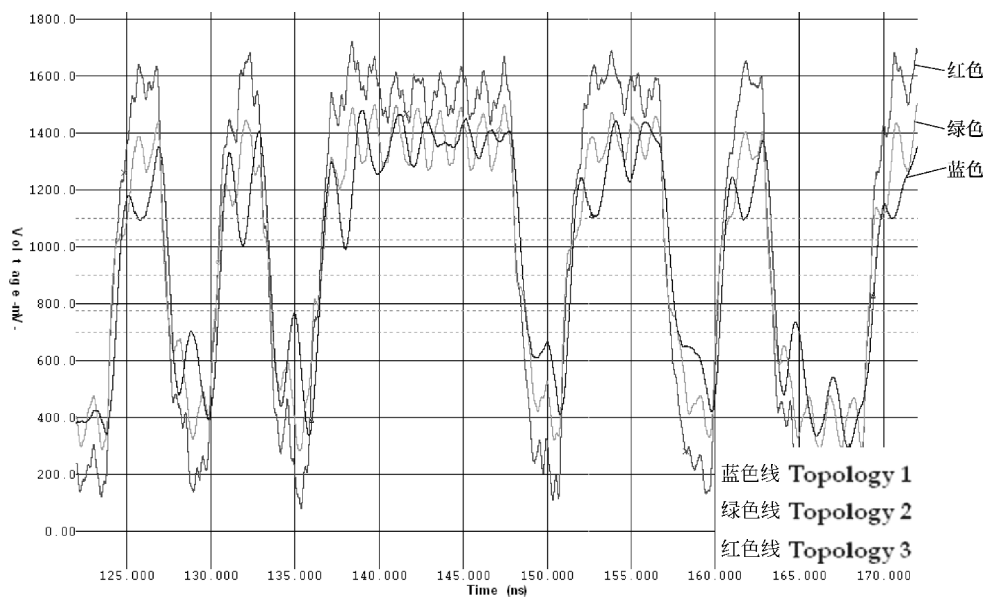


图 6-14 地址信号 3 种端接情况标准图

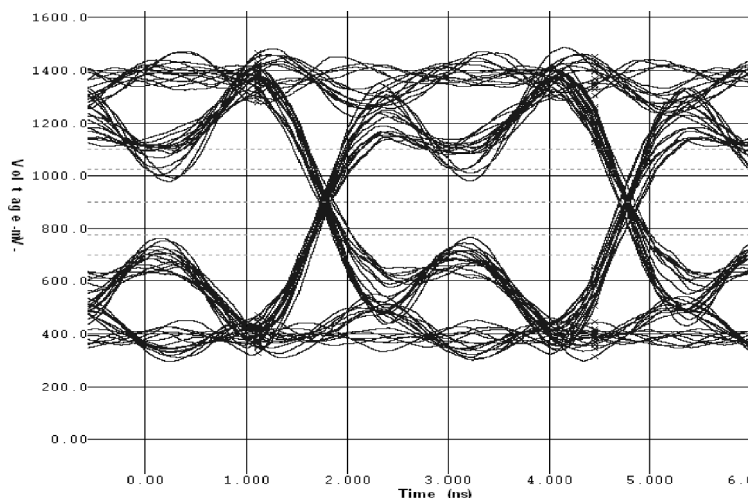


图 6-15 地址信号 Topology1 眼图

图 6-16 所示的波形为地址信号 Topology1 原始树形拓扑结构信号波形的标准图。

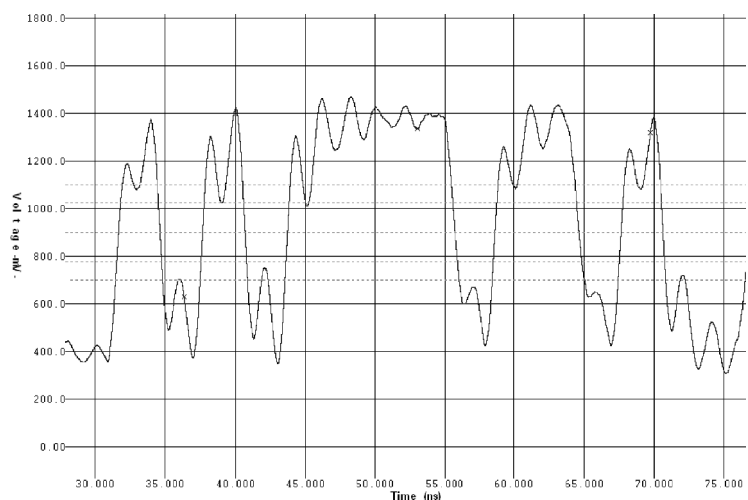


图 6-16 地址信号 Topology1 标准图

结果分析：信号在门限附近呈非单调性，容易引起信号误判，因为信号上串联了 22Ω 的电阻，根据串联分压的原理，导致到达负载端的电压幅度不够，无法满足信号工作电压的要求。

图 6-17 所示的波形为地址信号 Topology2 移除 22pF 的补偿电容后信号波形的眼图。

图 6-18 所示的波形为地址信号 Topology2 移除 22pF 的补偿电容后信号波形的标准图。

结果分析：该波形总体看上去满足要求，但是风险比较大，信号在门限附近有非单调性，考虑由于模型本身，还有生产工艺等各方面的因素，仿真结果和实际信号之间会存在少许的误差，所以如果仿真结果冗余度不是很大，在实际信号中可能会显现出问题，因此该结果冗余度很小，存在一定的风险，需要进一步优化。

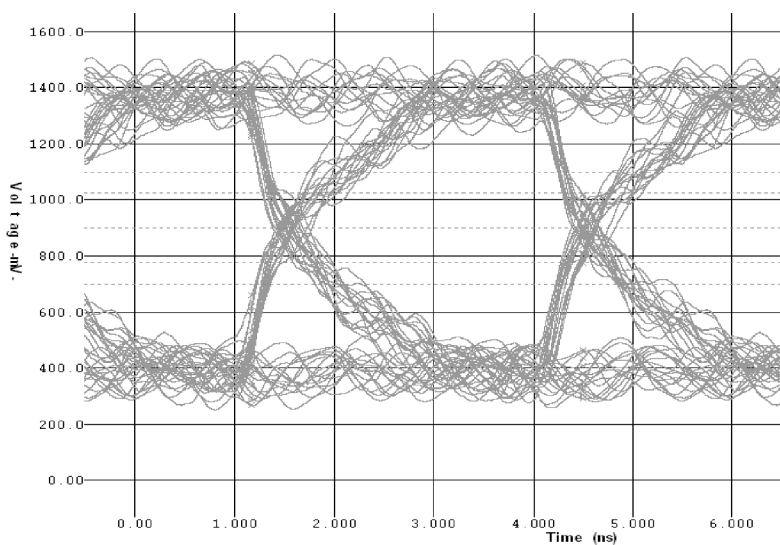


图 6-17 地址信号 Topology2 眼图

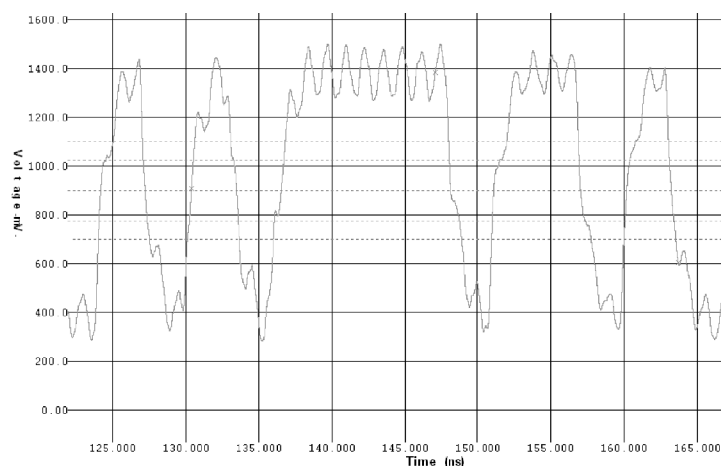


图 6-18 地址信号 Topology2 标准图

图 6-19 所示的波形为地址信号 Topology3 移除 22pF 的补偿电容，并且移除 22Ω 的串联电阻后信号波形的眼图。

图 6-20 所示的波形为地址信号 Topology3 移除 22pF 的补偿电容并且移除 22Ω 的串联电阻后信号波形的标准图。

结果分析：该波形符合要求。上升沿上有一些小台阶，但是不影响信号的判决，而且信号幅度完全符合要求，有足够的冗余度。

5. 结论及解决方案

根据仿真结果分析，3 种不同的拓扑结构中，Topology3 相比于其他两种方案，显现出最优的信号质量，因此决定将原始设计中的 22Ω 的串联电阻和 22pF 的补偿电容移除。

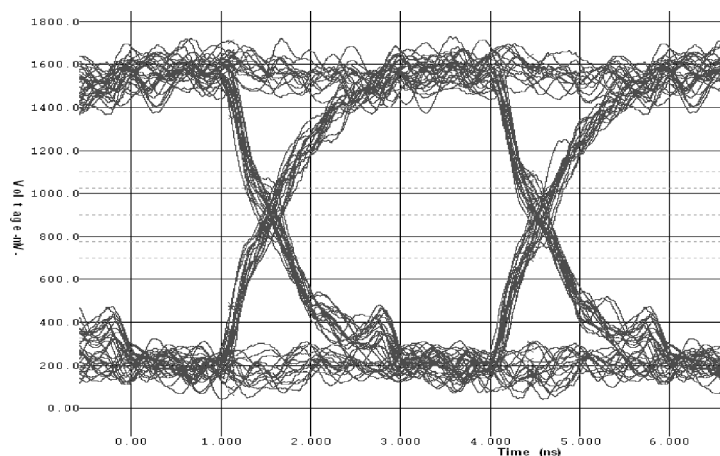


图 6-19 地址信号 Topology3 眼图

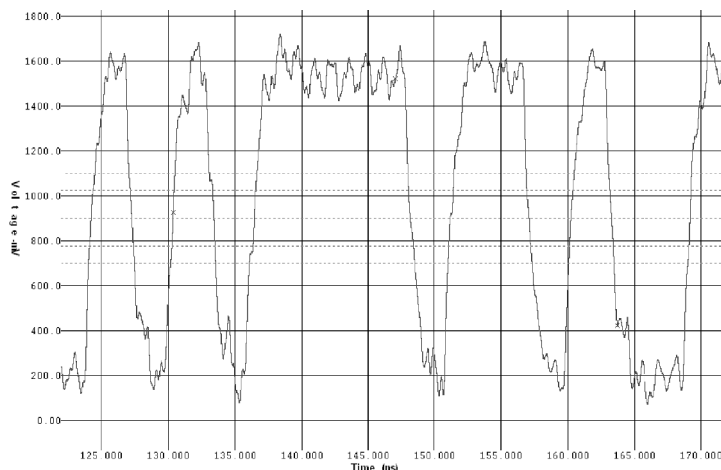


图 6-20 地址信号 Topology3 标准图

6.4.2 DQS 信号的前仿

DQS 信号选用的是 T 形拓扑结构，为差分信号，采用 100Ω 阻抗匹配，长度预设 为 2.5in。

我们知道数据 (DQ)、数据掩码 (DM) 都是参照数据时钟信号 (DQS) 的。可以这么说，DQS 就是数据信号的内部时钟，这个内部时钟的周期和频率与 CPU 给 DDR2 的时钟信号是一致的。

1. 仿真驱动模型的选择

根据驱动端芯片型号以及 DQS 是差分信号的特性，在 IBIS 模型库中有两种驱动模型供 选择：CN5460_1P8V_ DRI - DQSDIF + 25 + 667_ TRI (SSTL18 tridiff 25Ω 阻抗匹配，无 ODT) 和 CN5460_1P8V_ DRI - DQSDIF + 50 + 667_ TRI (SSTL18 tridiff 50Ω 阻抗匹配，无 ODT)。仿真方案是分别用两种驱动模型进行仿真。仿真目的是选择一种更好的驱动模型。

2. 基于树形拓扑对 DQS 信号网络选择合理的端接

在 LineSim 界面中，搭建一个 DRAM DDR2 DQS 信号的拓扑，此原始 T 形拓扑结构如图 6-21 所示。拓扑中在分叉点处有一个 4.7pF 的补偿电容。

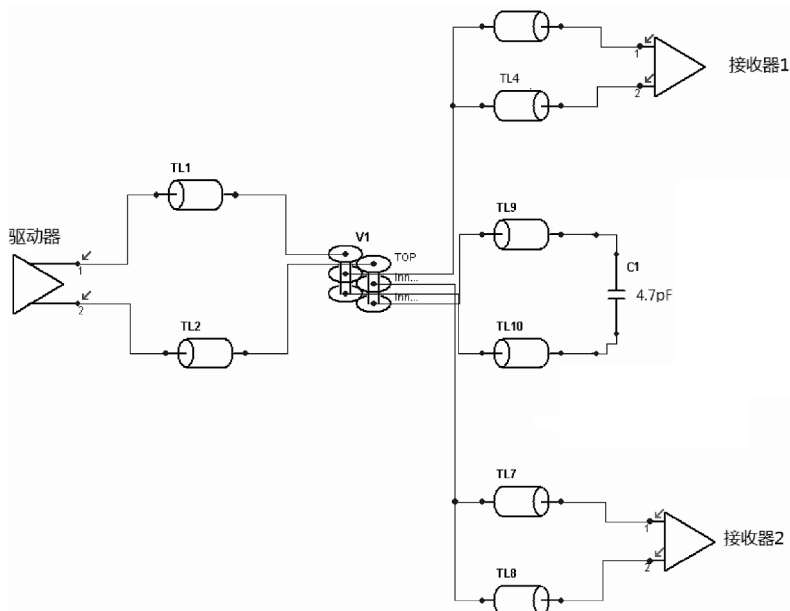


图 6-21 时钟信号原始 T 形拓扑结构

仿真方案：分别仿真 DQS 信号两种 T 形拓扑端接情况，得出仿真结果（眼图、标准图）

Topology1——原始 T 形拓扑结构信号波形，Topology2——在原始 T 形拓扑结构的基础上，移除 4.7pF 的补偿电容后的信号波形。仿真目的：评估是否需要 4.7pF 的补偿电容。

根据上一节提出的仿真方案，运用本章前面提到的前仿步骤，导入原理图，结合两种驱动模型以及两种端接方式，得出仿真波形。仿真步骤：运用驱动模型 CN5460 _ 1P8V _ DRI - DQSDIF + 25 + 667 _ TRI 对时钟信号两种端接的拓扑进行仿真；运用驱动模型 CN5460 _ 1P8V _ DRI - DQSDIF + 50 + 667 _ TRI 对时钟信号两种端接的拓扑进行仿真。

3. 驱动模型 CN5460 _ 1P8V _ DRI - DQSDIF + 25 + 667 _ TRI 的仿真分析

图 6-22 所示的波形为驱动模型 A 中 DQS 信号原始 T 形拓扑结构（Topology1）信号波形。

图 6-23 所示的波形为驱动模型 A 中 DQS 信号在原始 T 形拓扑结构的基础上移除 4.7pF 的补偿电容后（Topology2）的信号波形。

4. 驱动模型 CN5460 _ 1P8V _ DRI - DQSDIF + 50 + 667 _ TRI 的仿真分析

图 6-24 所示的波形为驱动模型 B 中 DQS 信号原始 T 形拓扑结构（Topology1）信号波形。

图 6-25 所示的波形为驱动模型 B 中 DQS 信号在原始 T 形拓扑结构的基础上移除 4.7pF 的补偿电容后（Topology2）的信号波形。

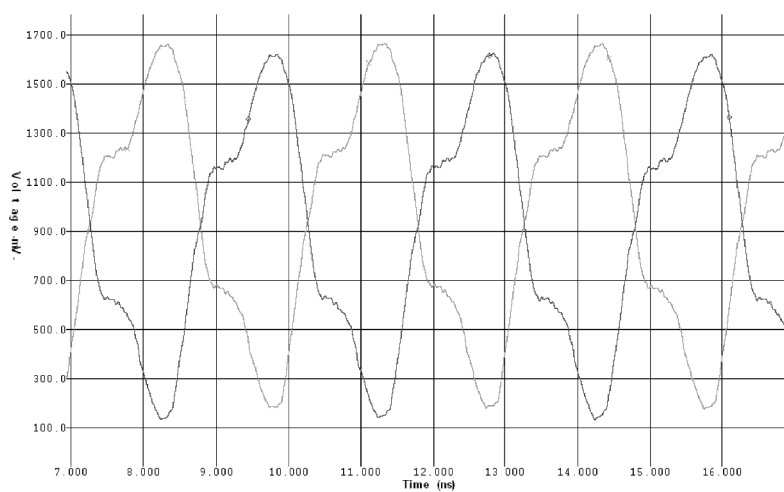


图 6-22 驱动模型 A 时钟信号 Topology1 波形

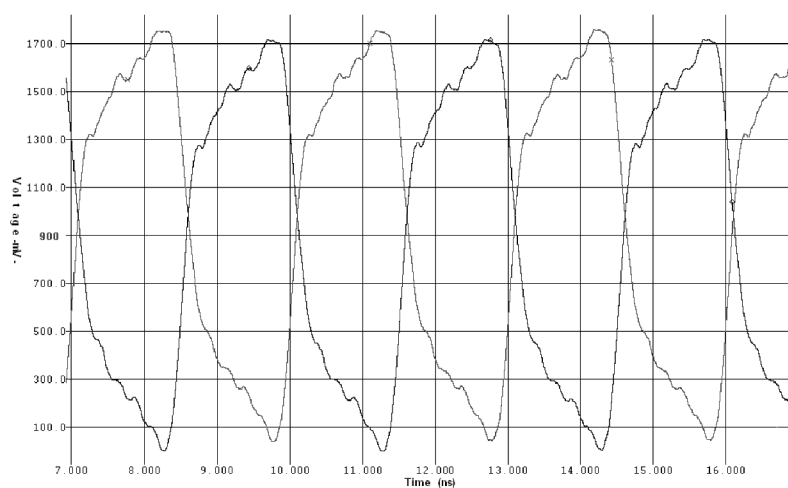


图 6-23 驱动模型 A 时钟信号 Topology2 波形

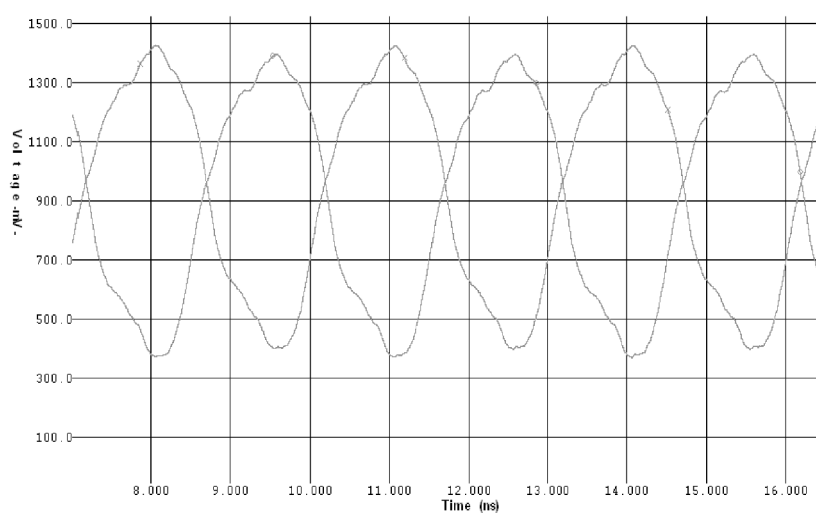


图 6-24 驱动模型 B 时钟信号 Topology1 波形

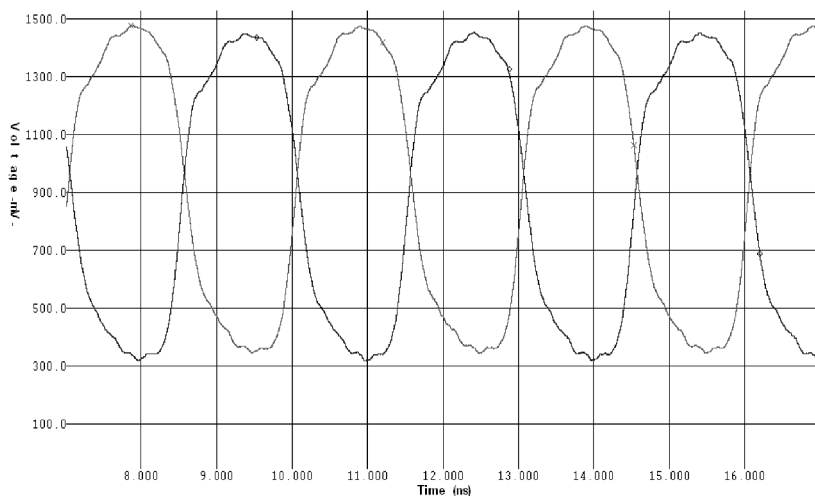


图 6-25 驱动模型 B 时钟信号 Topology2 波形

5. 结论及解决方案

通过对驱动模型 A 与 B 分别进行 DQS 信号原始 T 形拓扑结构的仿真，DQS 信号在原始 T 形拓扑结构的基础上，移除 4.7pF 的补偿电容后的仿真，得出以上 4 组波形。我们可以看到，这几组波形都是符合设计要求的。从这点上看，驱动模型 A 与 B 都适用。但是，Topology2 的端接方式的波形看上去比 Topology1 的端接方式的波形更好一些。所以，建议原理图设计工程师移除 4.7pF 的补偿电容。

6.5 继续对后仿进行全面解析

6.5.1 地址、命令、控制信号的后仿

与前仿中相同，地址、命令、控制信号选用的是树形（Tree）拓扑结构，采用 50Ω 阻抗匹配。在前仿中，仿真地址线的长度为 2.8in，而实际布线完成后，测量得到的地址线长度为 4.37in，大于我们之前的预期。所以，有必要对这三组信号分别进行后仿的采样测试。地址信号中选取用来仿真的为 DDR1_A (1)、DDR1_A (5)。驱动模型：CAV_DQ_25 + 667_TRI；接收端模型：Input_667。

1. 地址信号 DDR1_A (1)

图 6-26、图 6-27 所示分别为地址信号 DDR1_A (1) 信号的眼图和标准图。

2. 地址信号 DDR1_A (5)

图 6-28、图 6-29 所示分别为地址信号 DDR1_A (5) 信号的眼图和标准图。

3. 结果分析

从地址信号中采样信号 DDR1_A (1)、DDR1_A (5) 的波形图可以看出，地址信号的幅值达到了设计要求。

6.5.2 命令信号后仿采样

命令信号的仿真信号为 DDR1_BA (0)。接收端模型：Input_667；驱动模型：CN5460_1P8V_DRI_CAV_DQ_25 + 667_TRI。

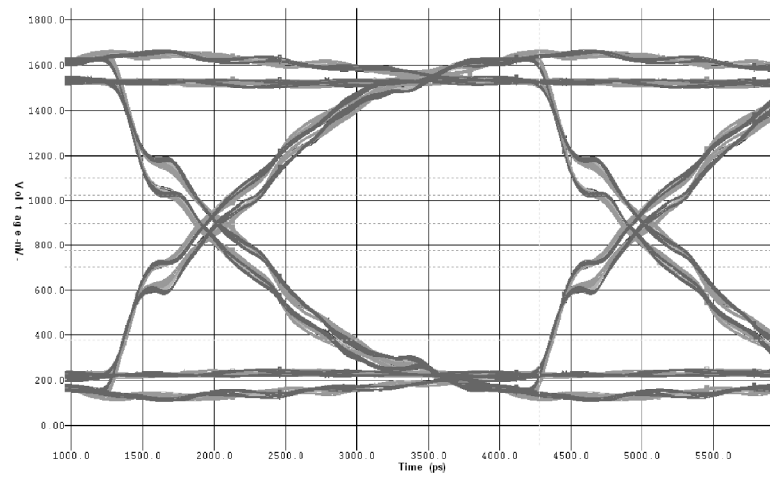


图 6-26 DDR1_A (1) 信号的眼图

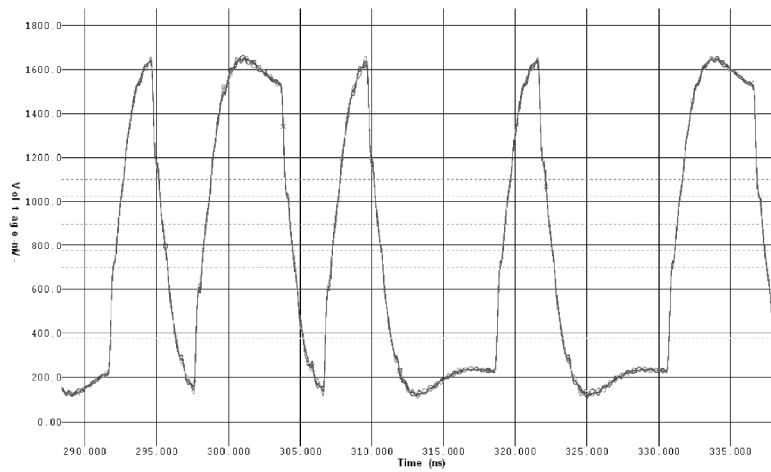


图 6-27 DDR1_A (1) 信号的标准图

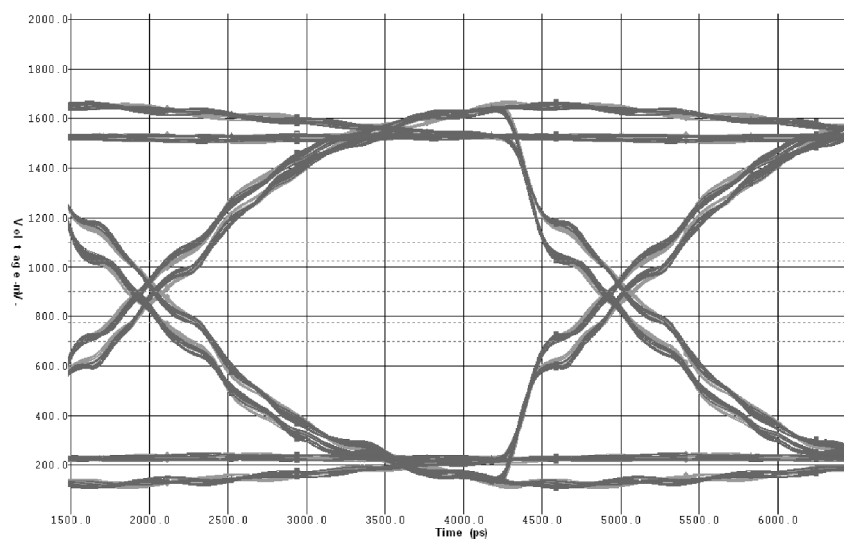


图 6-28 DDR1_A (5) 信号的眼图

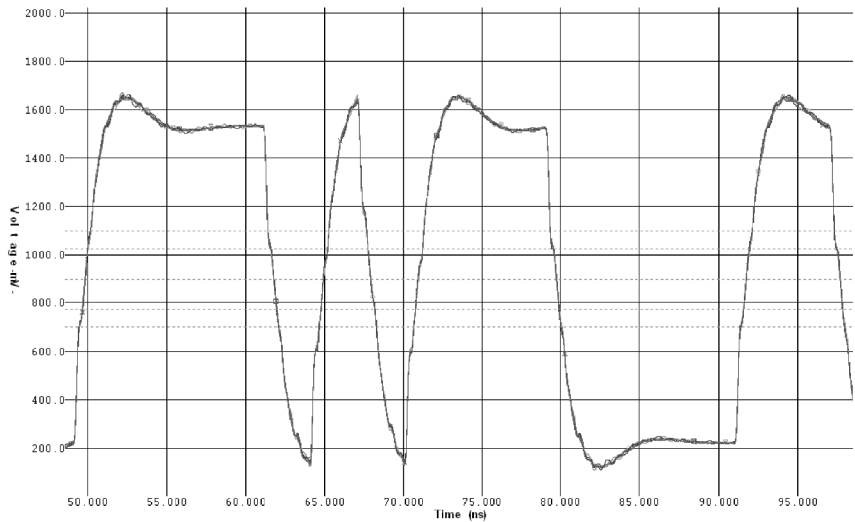


图 6-29 DDR1_A (5) 信号的标准图

1. 命令信号 DDR1_BA (0)

图 6-30 和图 6-31 所示分别为命令信号 DDR1_BA (0) 信号的眼图和标准图。

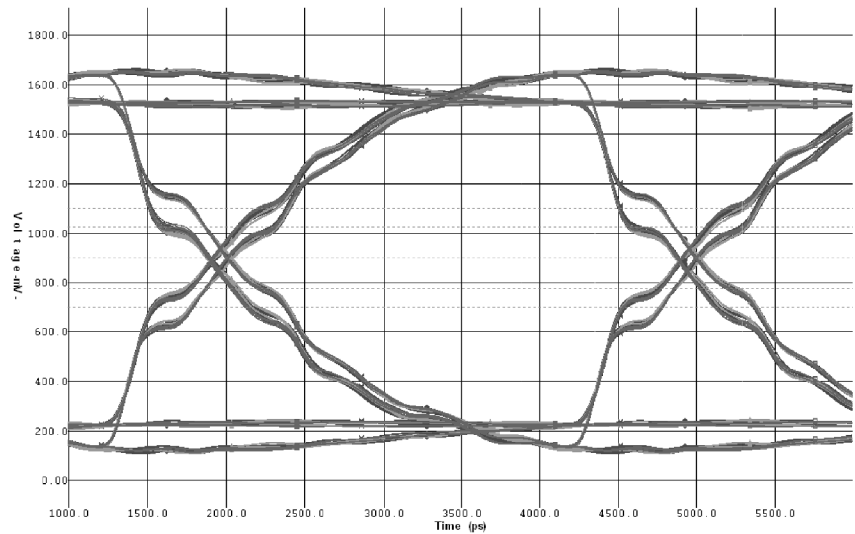


图 6-30 DDR1_BA (0) 信号的眼图

2. 结果分析

从命令信号中采样信号 DDR1_BA (0) 的波形图可以看出，命令信号的幅值达到了设计要求。

6.5.3 控制信号后仿采样测试

命令信号中的仿真信号为 DDR1_CAS。驱动模型：1P8V_DRI_CAV_DQ_25 + 667 TRI；接收端模型：Input_667。

1. 控制信号 DDR1_CAS

图 6-32 和图 6-33 所示分别为命令信号 DDR1_CAS 信号的眼图和标准图。

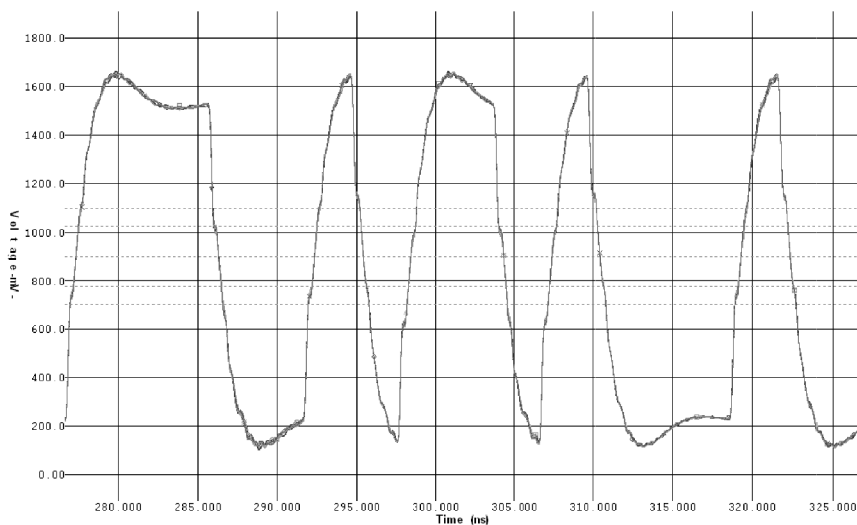


图 6-31 DDR1_BA(0) 信号的标准图

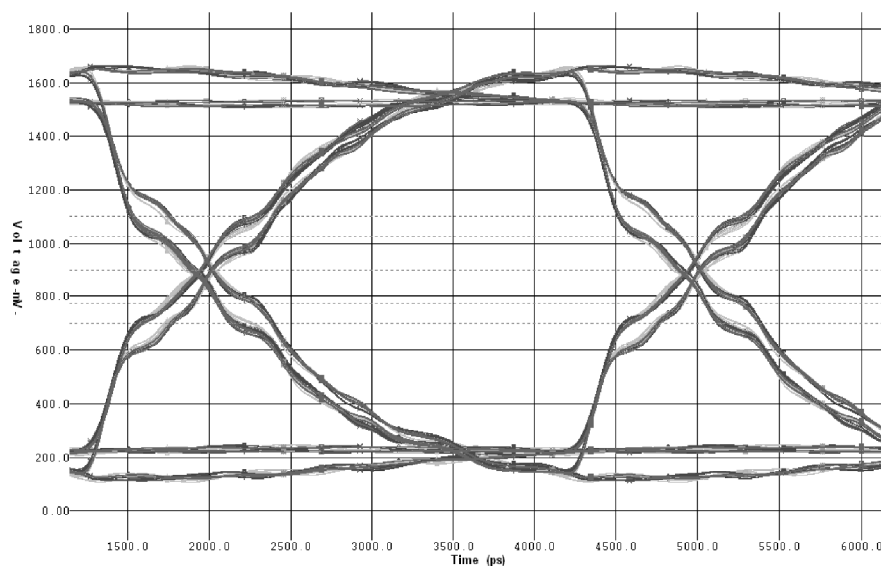


图 6-32 DDR1_CAS 信号的眼图

2. 结果分析

从命令信号中采样信号 DDR1_CAS 的波形图可以看出，命令信号的幅值达到了设计要求。

3. 地址、命令、控制信号的后仿结果分析

通过对地址、命令、控制信号分别进行后仿的采样测试后，我们得出结论：从各组信号的采样波形来看，在信号幅值、单调性方面均符合设计的要求。所以我们可以认为这三组信号已通过信号完整性仿真，可以投板生产。

6.5.4 时钟 (CLK) 信号的后仿

与前仿相同，时钟 (CLK) 信号选用的是 T 形拓扑结构，因为时钟信号是差分信号，

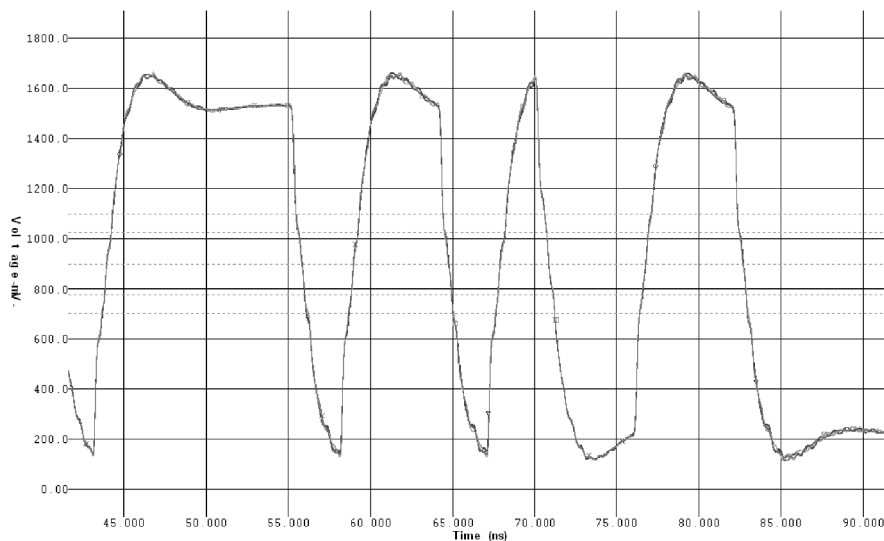


图 6-33 DDR1_CAS 信号的标准图

所以采用 100Ω 阻抗匹配。在前仿中，仿真时钟线的长度为 2.5in，而实际布线完成后，测量得到的时钟线长度为 4.17in，大于我们之前的预期。所以，需要对这组信号进行后仿采样测试。

从前仿的仿真报告中，我们可以看出，无论是移除还是保留 4.7pF 补偿电容，信号波形均符合设计要求，如果移除 4.7pF 的补偿电容，这样的信号波形更好，但在硬件工程师设计原理图的过程中，出于设计安全性的考虑，仍旧保留了这样一个电容。这里采取了另一种方案，即在 T 形拓扑的节点处串联两个 200Ω 的电阻，这两个电阻与 4.7pF 的补偿电容同时作用于时钟 (CLK) 信号。这样的目的是在不移除 4.7pF 补偿电容的情况下，改善信号的质量。

图 6-34 所示是更改后的时钟信号拓扑结构。我们可以看到两个 200Ω 的电阻已被接在 T 形拓扑的节点处。

在这个设计中，一组时钟 (CLK) 信号需要拖动两个 SDRAM，所以我们关心的重点是驱动是否足够强。如前仿时钟信号的报告中所提到的，我们在后仿中依然需要分两种驱动模型来仿真时钟信号。

时钟 (CLK) 信号中的采样信号为 DDR1_CK0。

1. 驱动模型 A: CN5460_1P8V_DRI_DQSIF+25+667_TRI

图 6-35 和图 6-36 所示，分别为驱动模型为 A 时的时钟信号 DDR1_CK0 信号的差分波形图和标准图。

2. 驱动模型 B: CN5460_1P8V_DRI_DQSIF+50+667_TRI

图 6-37 和图 6-38 所示分别为驱动模型为 B 时的时钟信号 DDR1_CK0 信号的差分波形图和标准图。

3. 结果分析

通过对两种模型仿真波形的比较可以看出，模型 B 的波形比模型 A 的更好，但是这个波形看上去还是不符合设计的要求。所以，需要再进一步讨论时钟 (CLK) 信号。

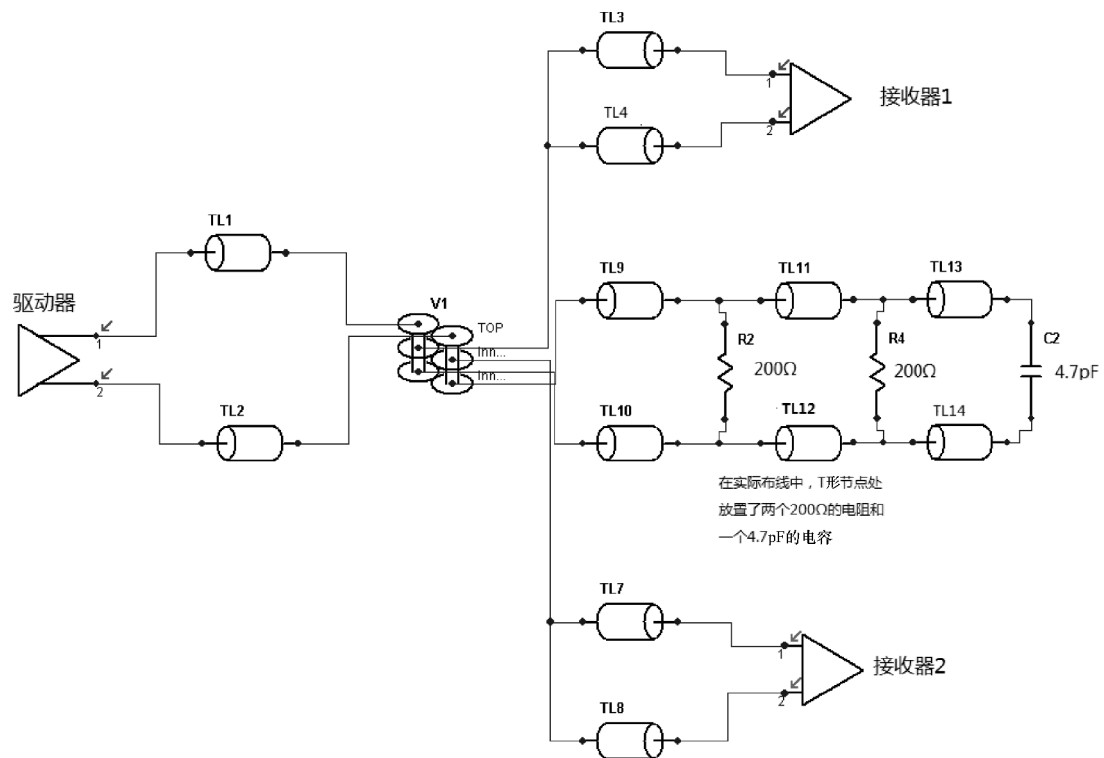


图 6-34 更改后的时钟信号拓扑结构

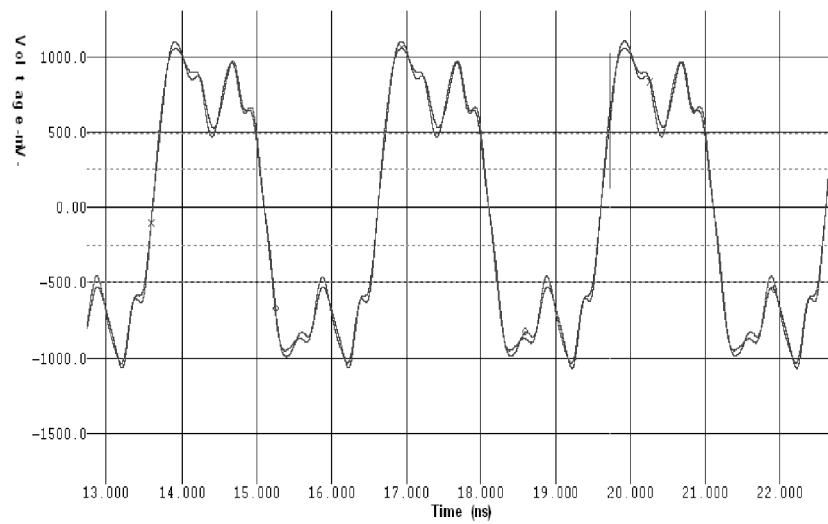


图 6-35 驱动模型 A DDR1 _ CK0 信号的差分波形图

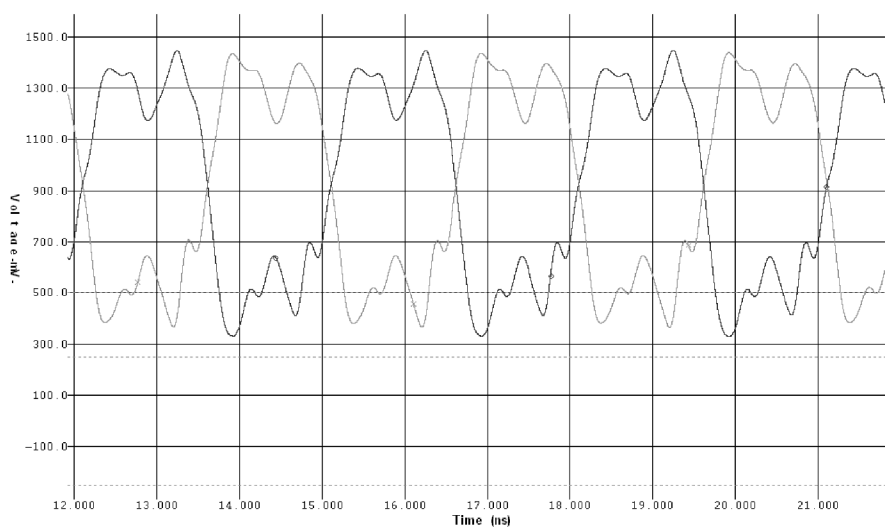


图 6-36 驱动模型 A DDR1_CLK0 信号的标准图

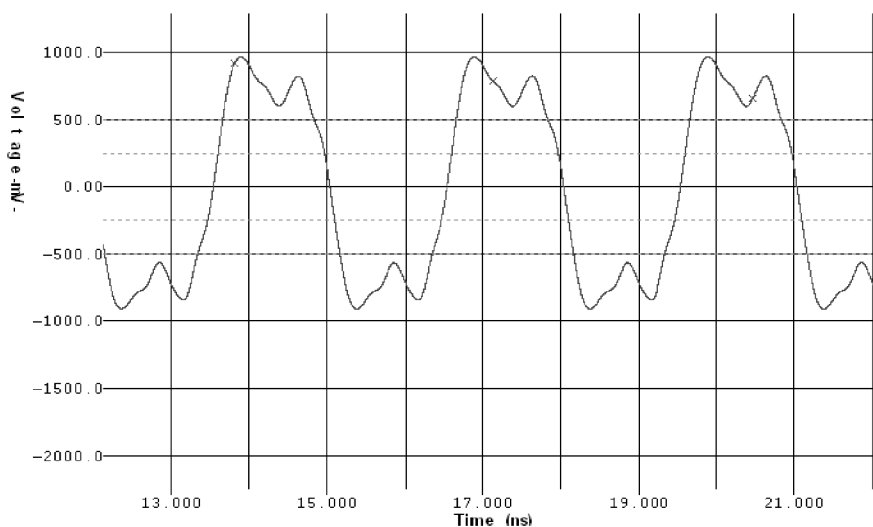


图 6-37 驱动模型 B DDR1_CLK0 信号的差分波形图

4. 时钟 (CLK) 信号完整性解决方案

我们知道, 时钟 (CLK) 信号是控制 DDR2 时序的关键信号, 其重要性不言而喻。根据解决方案, 在不移除 4.7pF 的补偿电容的情况下, 在 T 形拓扑的节点处串联两个 200Ω 的电阻, 使这两个电阻与 4.7pF 的补偿电容同时作用于时钟 (CLK) 信号。经过后仿的采样测试, 波形依然无法达到设计要求, 所以需要另外的解决方案, 来改善信号的质量。下面我们介绍两种新的时钟 (CLK) 信号完整性解决方案。

方案 A 为用一个 100Ω 的电阻代替两个 200Ω 的电阻。图 6-39 所示是方案 A 的时钟信号拓扑结构。

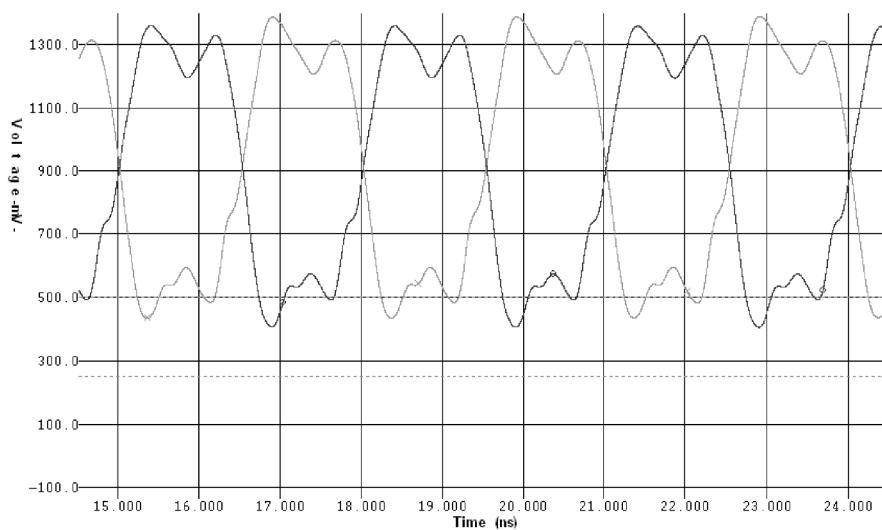


图 6-38 驱动模型 B DDR1_CK0 信号的标准图

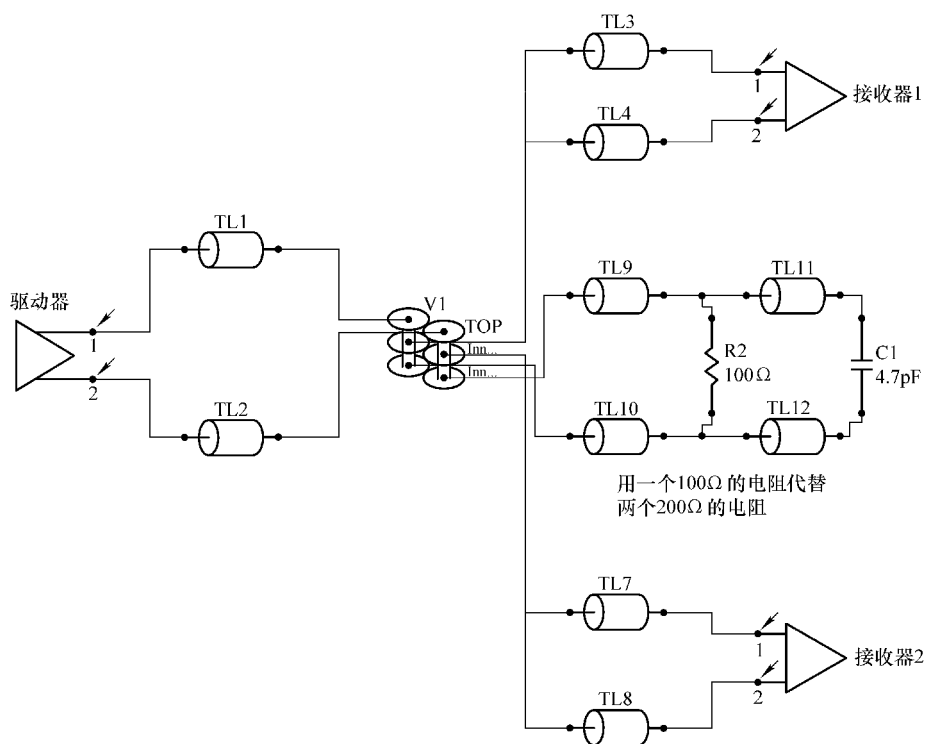


图 6-39 方案 A 的时钟信号拓扑结构

图 6-40 和图 6-41 所示分别为驱动模型为 A 时的时钟信号 DDR1_CK0 信号的差分波形图和标准图。

图 6-42 和图 6-43 所示分别为驱动模型为 B 时的时钟信号 DDR1_CK0 信号的差分波形图和标准图。

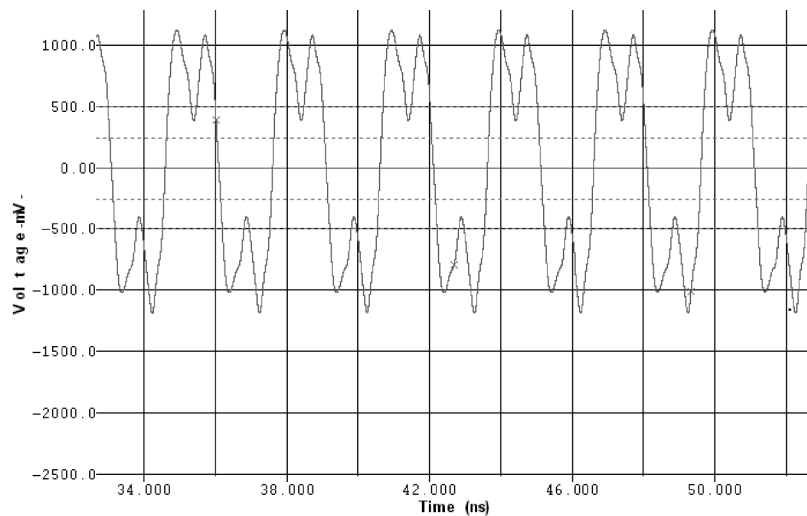


图 6-40 驱动模型 A DDR1_CK0 信号的差分波形图

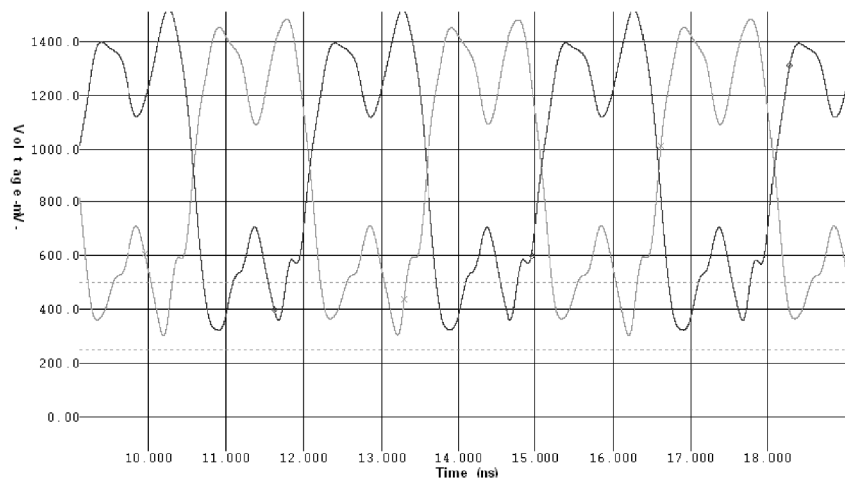


图 6-41 驱动模型 A DDR1_CK0 信号的标准图

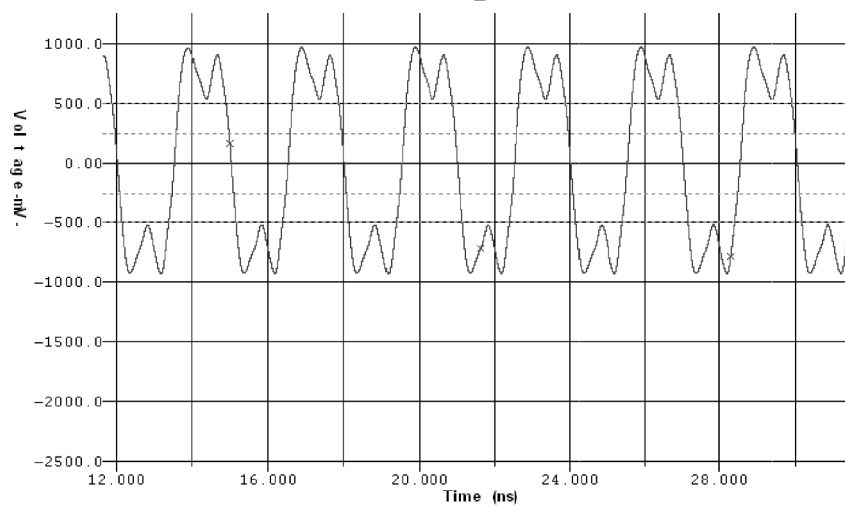


图 6-42 驱动模型 B DDR1_CK0 信号的差分波形图

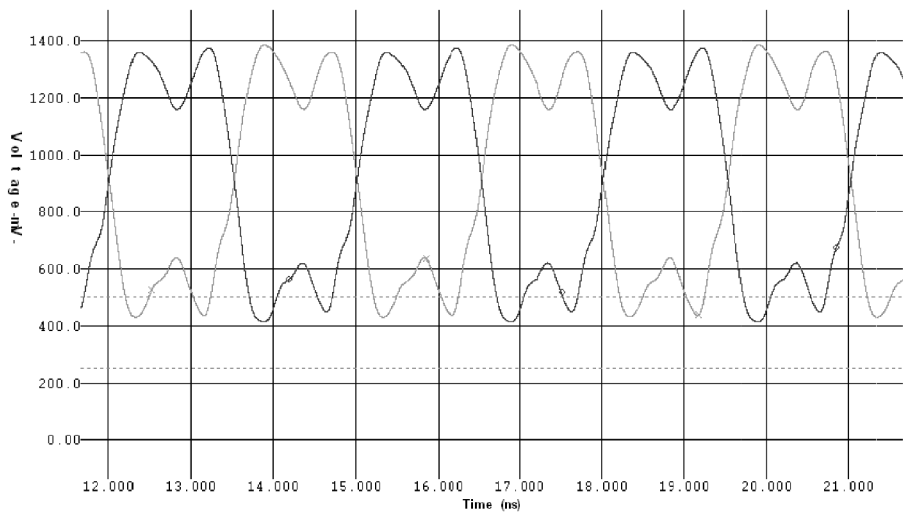


图 6-43 驱动模型 B DDR1_CK0 信号的标准图

方案 B 为，用一个 100Ω 的电阻代替两个 200Ω 的电阻并且移除 4.7pF 补偿电容。图 6-44 所示是方案 B 的时钟信号拓扑结构。

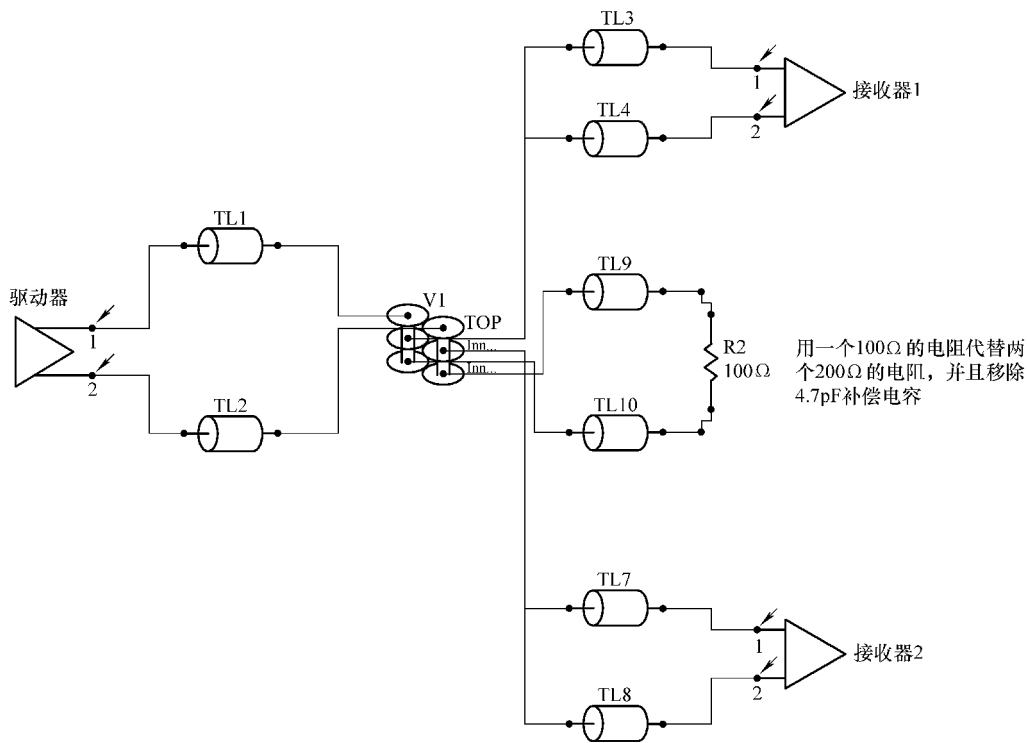


图 6-44 方案 B 的时钟信号拓扑结构

图 6-45 和图 6-46 所示分别为驱动模型为 A 时的时钟信号 DDR1_CK0 信号的差分波形图和标准图。

图 6-47 和图 6-48 所示分别为驱动模型为 B 时的时钟信号 DDR1_CK0 信号的差分波形图和标准图。

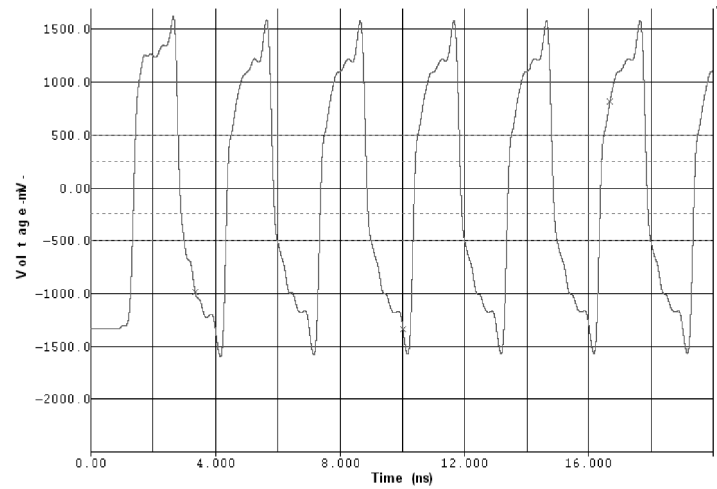


图 6-45 驱动模型 A DDR1_CK0 信号的差分波形图

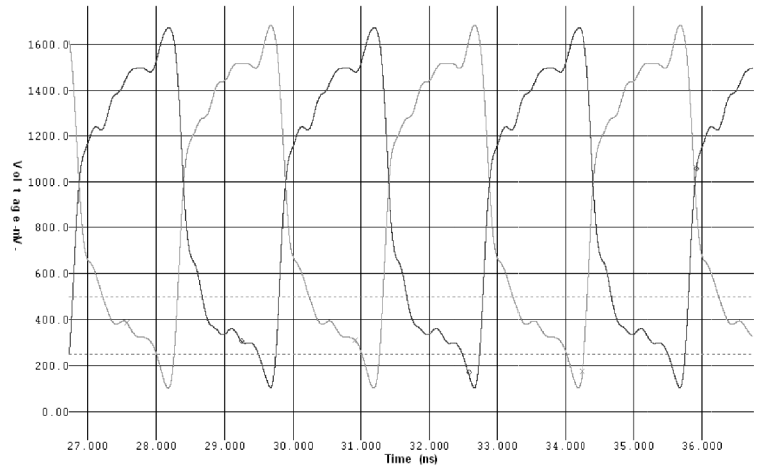


图 6-46 驱动模型 A DDR1_CK0 信号的标准图

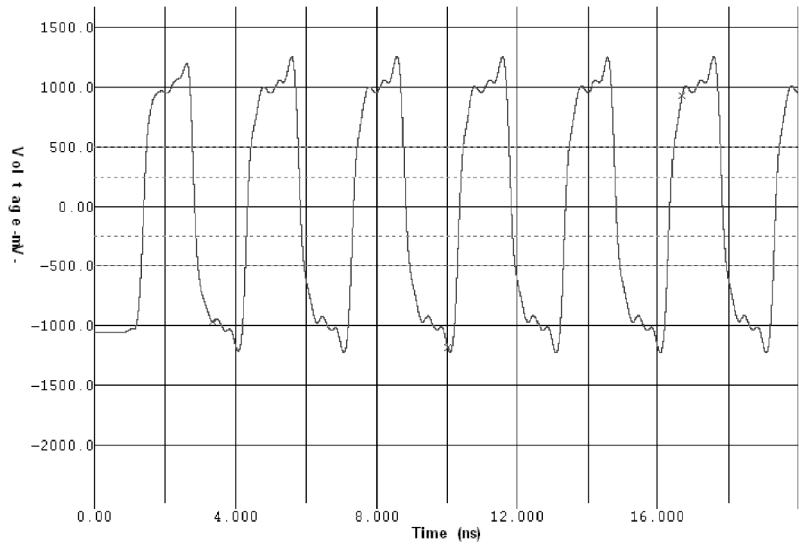


图 6-47 驱动模型 B DDR1_CK0 信号的差分波形图

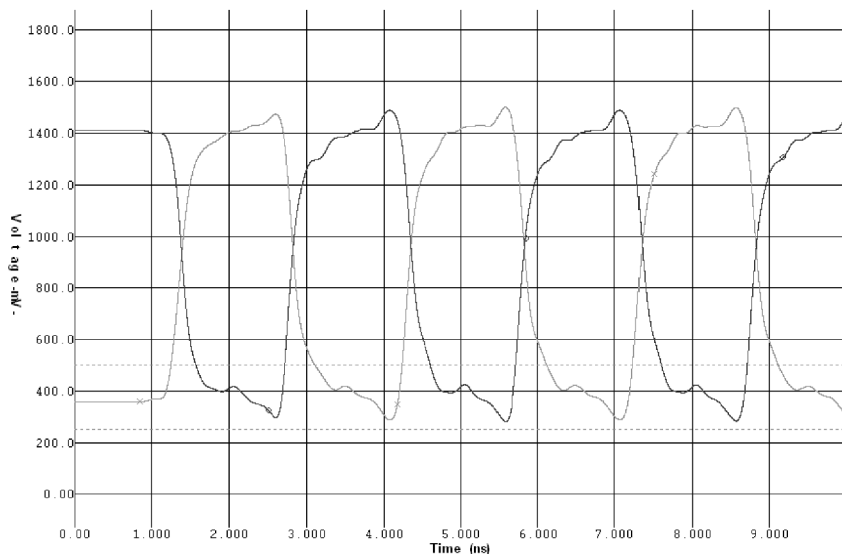


图 6-48 驱动模型 B DDR1_CK0 信号的标准图

通过以上两种方案输出波形的分析，我们可以很明显地发现，如果移除 4.7pF 的补偿电容，波形的振幅将会显著地改善。这个结果与前仿的结果是一致的。但是，另一方面，从安全性方面来考虑，我们需要保留这个 4.7pF 的补偿电容。在后续的硬件装配环节，通过测试，如果安全性得到保障，再移除这个电容，以改善信号的质量。

6.6 DRAM DDR2 时序仿真概要

随着存储器接口的数据速率越来越高，数据信号的完整性和时序的满足变得更加困难。为了更全面地对 DRAM DDR2 进行仿真分析，在本节中我们来了解一些 DRAM DDR2 的基本时序关系。

DRAM DDR2 的数据传输速率高，延迟和设计容差少，建立时间、保持时间和偏移 (Skew) 时间都只有几十皮秒。所以，硬件工程师在设计时对 DRAM DDR2 进行时序仿真是非常必要的。

下面我们来简单介绍下 DDR2 存储器接口中主要的 4 组信号：地址和命令信号 (A [15: 0], BA [2: 0], RAS#, CAS# & WE#)、控制信号 (CS [3: 0], CKE [3: 0], & ODT [3: 0])、数据、数据掩码、数据时钟信号 (DQ [63: 0], DM [8: 0], CB [7: 0], DQS/#DQS [8: 0])、时钟信号 (CK/CK# [5: 0])。

首先，时钟信号的工作频率必须确定。DDR_x 接口通常用符号 DDR_x - <数据传输速率等级> 来规定。如 DDR - 400、DDR2 - 533、DDR3 - 800。数据传输速度等级的单位是 MT/s。在本章中，将用 DDR2 - 800 作为示例。在这种情况下，数据传输速率等级是 800MT/s，时钟频率是数据传输速率的一半 400MHz。时钟频率是地址/命令/控制和数据信号的位周期都需要参照的信息。

接下来，我们将分别讨论地址/命令/控制 (Address/CMD/CTRL) 和数据信号 (DQ/

DM/DQS) 与时钟频率之间的时序关系。

6.6.1 Address/CMD/CTRL 时序分析

地址/命令/控制信号这些都是输出信号，是从控制器输出到 memory（存储器）。地址/命令/控制信号是参考相关的时钟信号（CK）。地址和命令信号可以有 $1T$ 或 $2T$ 的时序，但控制信号只有 $1T$ 的时序。通常情况下，控制器输出的这些信号与参考时钟的下降沿对齐。为了实现这个，地址/命令/控制信号启动早于时钟周期的一半，即 $0.5T$ 。这个时序被称为 $1T$ 时序。 $2T$ 时序，地址/命令信号启动早于一个半的时钟周期，即 $1.5T$ ，以便在接收端有更多的建立保持时间。因此，最短的地址建立时间 $1T$ 时序是一个时钟周期。 $2T$ 时序是两个时钟周期。图 6-49 所示是它们的时序图，显示了以上所解释的时序关系。灰色的部分为不确定部分，需要在实际情况中考虑进去。

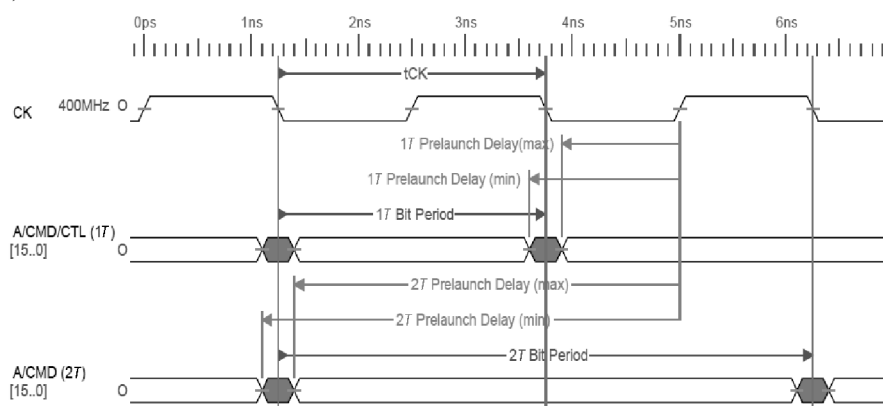


图 6-49 Address/CMD/CTRL 时序图

6.6.2 DQ/DM/DQS 时序分析

数据（DQ）、数据掩码（DM）、DQS 信号都是双向的信号：memory 控制器输出是写操作，输入是读操作。每个数据位参照一个 DQS 信号。

在写操作时，DQ 和 DM 信号的每个数据位比 DQS 信号提早 $1/4$ 个时钟周期，所以 DQS 的上升和下降沿都在有效数据位窗口中央。由于 DQ 和 DM 信号在 DQS 的每个上升和下降沿均采样，所以这些信号的位周期是时钟周期的一半。图 6-50 显示了上面描述的时序关系。

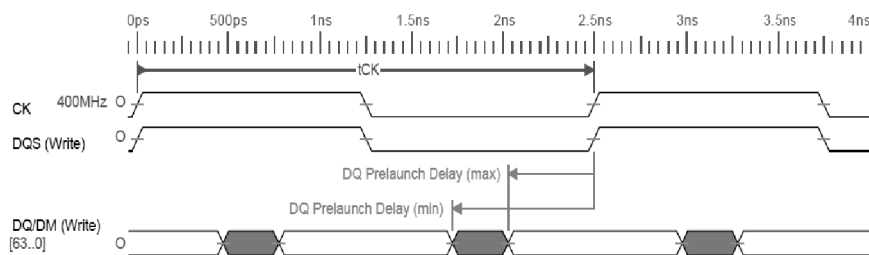


图 6-50 写操作时 DQ/DM 的时序图

在写操作中，控制器还需要满足时钟信号（CK）和（DQS）之间的延迟时序关系，这个关系被定义在图 6-51 中。

在读操作时，DRAM 发送 DQ 和 DQS 信号到控制器，且边沿对齐。在控制器中，这些

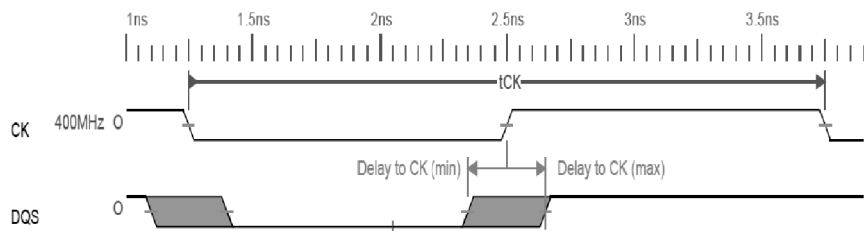


图 6-51 写操作时 CK/DQS 的时序图

信号必须满足一定的建立和保持的时间要求。控制器的建立和保持的时间要求可以指定两种方式：在引脚（Pin）或在内部寄存器（Register）。如果时序要求指定在引脚，则 DQ/DM 信号和 DQS 信号的边沿对齐。如果时序要求指定在内部寄存器，控制器需要获取内部数据的信息。通常情况下，理想的相移是 1/4 个时钟周期。图 6-52 显示了上面描述的时序关系。

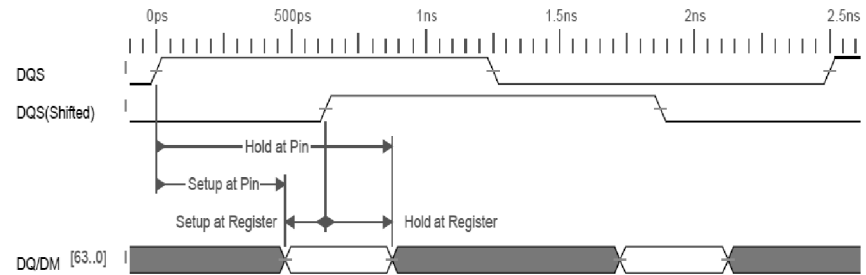


图 6-52 读操作时 DQ/DM 的时序图

6.6.3 DDRx 向导所需的控制器时序参数

对于任何控制器，DDR_x 时序模板所需的参数都将在本节中描述。在用 HyperLynx 的时序模型向导创建控制器时序模板之前，需要了解如下这些参数：

1. tCKAC (min) 和 tCKAC (max)

应用于地址（A）和命令（BA、RAS、CAS 和 WE）信号读和写的周期内，在时钟输出上升沿之前，地址和命令输出信号有效的最小和最大时延。在这些信号上允许 1T（见图 6-53）或 2T（见图 6-54）的时序，如果地址和命令信号与上升沿时钟的有效传输延迟超过一个时钟周期，它被称为 2T 时序。

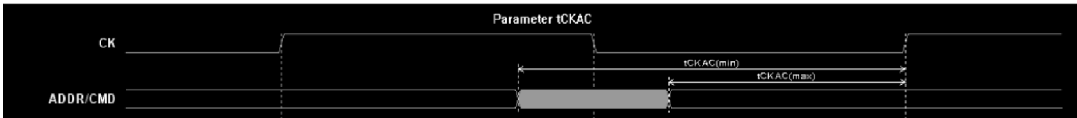


图 6-53 tCKAC (min) 和 tCKAC (max) (1T 时序)

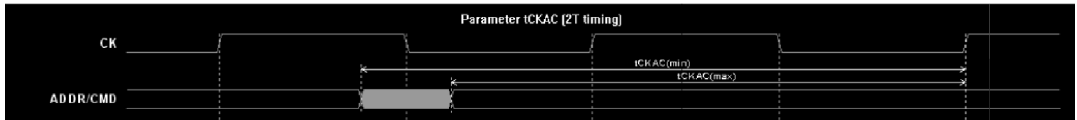


图 6-54 tCKAC (min) 和 tCKAC (max) (2T 时序)

2. tCKCTL (min) 和 tCKCTL (max)

应用于控制信号（CS 和 CKE 和 ODT）的读写周期。在时钟输出上升沿之前，控制输出

信号有效的最小和最大时延，如图 6-55 所示。

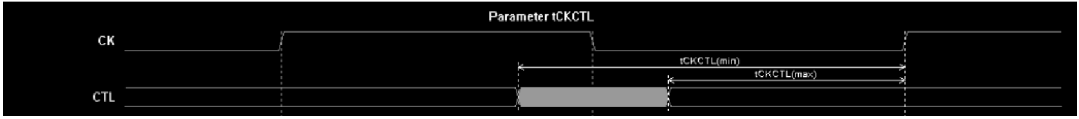


图 6-55 tCKCTL (min) 和 tCKCTL (max)

3. tCKDQS (min) 和 tCKDQS (max)

应用于时钟 (CK) 和数据时钟 (DQS) 信号的写周期，输出数据时钟 (DQS) 上升沿和输出时钟 (CK) 上升沿之间的最小和最大偏移如图 6-56 所示。

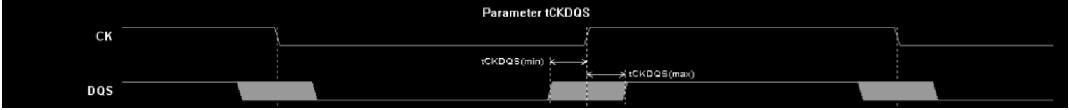


图 6-56 tCKDQS (min) 和 tCKDQS (max)

4. tDQSDQ (min) 和 tDQSDQ (max)

应用于数据 (DQ) 和数据掩码 (DM) 信号以及其相关的 DQS 信号的写周期内，数据和数据掩码有效窗口相对于数据时钟 DQS 边沿 (上升或者下降) 的最小和最大时延，如图 6-57 所示。

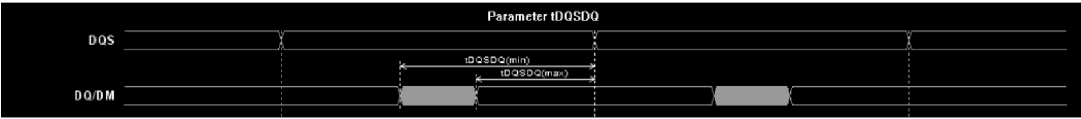


图 6-57 tDQSDQ (min) 和 tDQSDQ (max)

5. tDS 和 tDH

应用于数据 (DQ) 信号及其相关的 DQS 信号的读周期，数据建立 (tDS) 和保持 (tDH) 窗口与其相关的 DQS 的关系。在读周期里，DRAM 输出的 DQ 信号沿和 DQS 信号沿对齐。控制器内部捕获 DQ 信号时，会和 DQS 信号相位偏移 1/4 个时钟周期。指定“建立”和“保持”参数是通过测量控制器引脚 (相位偏移 = 0) (见图 6-58) 或在一个内部相位偏移 90°之后的 (见图 6-59)。如果 DQ 在 DQS 前必须是有效的，则建立值是正的 (如果在后，则是负的)。如果 DQ 直到 DQS 后有效，则保持值是正的 (如果在后，则是负的)。

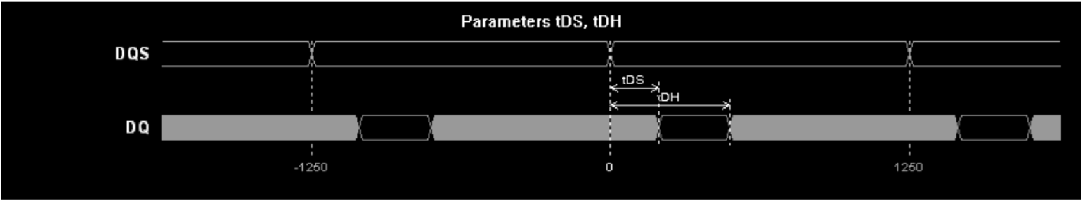


图 6-58 tDS 和 tDH 相位偏移 0°

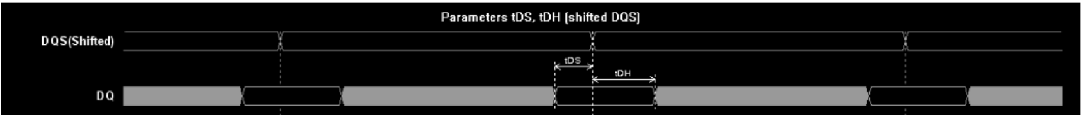


图 6-59 tDS 和 tDH 相位偏移 90°

6.6.4 如何从控制器的 Datasheet 中获取时序仿真所需的参数

表 6-1 中的参数为控制器 datasheet 中定义的参数，这些参数的时序关系如图 6-60 所示。

表 6-1 控制器 datasheet 中定义的参数

参数	定 义
tACCSkew	CK 下降沿与 Addr/Cmd/Ctl (+ / -) 的输出时延
tCKDQS	CK 上升沿与 DQS 上升沿 (+ / -) 的输出时延
tDQSDQQ	DQS 和 DQ (+ / -) 的输出时延
tDS	DQ 到 DQS 的最小建立时间 (DQS 经过 1/4 周期变换)
tDH	DQS 到 DQ 的最小保持时间 (DQS 经过 1/4 周期变换)

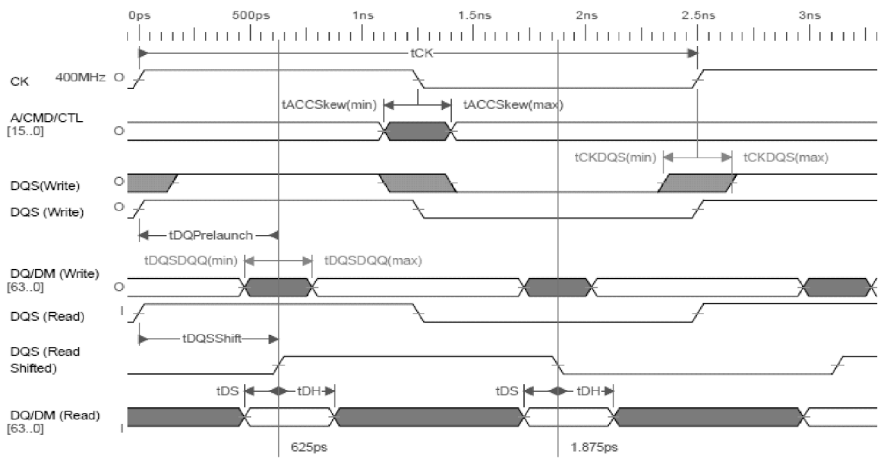


图 6-60 时序关系图

下面介绍如何根据控制器 datasheet 提供的参数获取创建控制器模板所需的参数。

1. 获取参数 tCKAC (min) 和 tCKAC (max)

需要通过 tACCSkew 得到 tCKAC (min) 和 tCKAC (max)，这些参数之间的时序关系如图 6-61 所示。

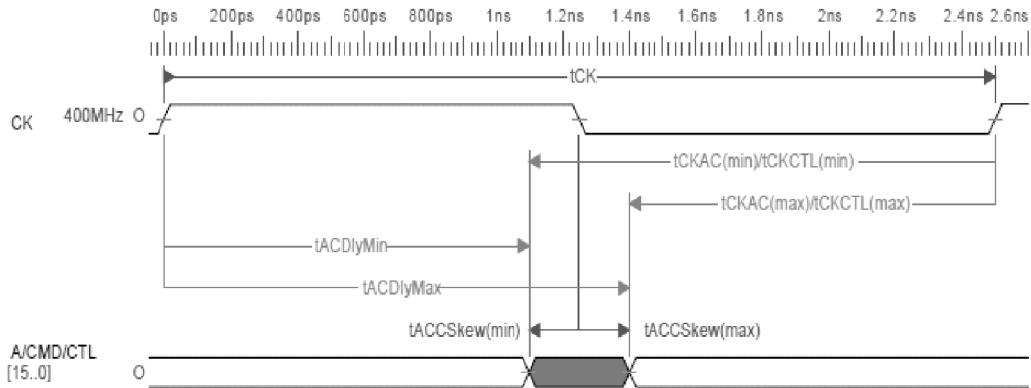


图 6-61 tCKAC 和 tCKCTL 时序图

为了通过 tACCSkew 得到 tCKAC (min) 和 tCKAC (max), 将 tACDlyMin 和 tACDlyMax 定义如下:

tACDlyMin = DelayFrom CK rising to Addr/Cmd/Ctl invalid (min)

tACDlyMax = Delay From CK rising to Addr/Cmd/Ctl invalid (max)

参数 tCKAC (min) 和 tCKAC (max) 见表 6-2。

表 6-2 参数 tCKAC (min) 和 tCKAC (max)

速率	tCK	tACCSkew (最小)	tACCSkew (最大)
DDR3 - 800	2500ps	- 300ps	+ 300ps
tACDlyMin		tACDlyMax	
tCK/2 + tACCSkew (min) = 1250 - 300 = 950ps		tCK/2 + tACCSkew (max) = 1250 + 300 = 1550ps	
tCKAC (最小)		tCKAC (最大)	
- tCK + tACDlyMin = - 2500 + 950 = - 1550ps		- tCK + tACDlyMax = - 2500 + 1550 = - 950ps	

2. 获取参数 tCKCTL (min) 和 tCKCTL (max)

获取 tCKCTL (min) 和 tCKCTL (max) 的方法和 tCKAC (min) 和 tCKAC (max) 一样, 见表 6-3。

表 6-3 参数 tCKCTL (min) 和 tCKCTL (max)

速率	tCK	tACCSkew (最小)	tACCSkew (最大)
DDR3 - 800	2500ps	- 300ps	+ 300ps
tACDlyMin		tACDlyMax	
tCK/2 + tACCSkew (min) = 1250 - 300 = 950ps		tCK/2 + tACCSkew (max) = 1250 + 300 = 1550ps	
tCKCTL (最小)		tCKCTL (最大)	
- tCK + tACDlyMin = - 2500 + 950 = - 1550ps		- - tCK + tACDlyMax = - 2500 + 1550 = - 950ps	

3. tCKDQS (min) 和 tCKDQS (max)

在控制器 datasheet 中定义的参数 tCKDQS 正是时序模板中所需的参数, 如图 6-62 所示。

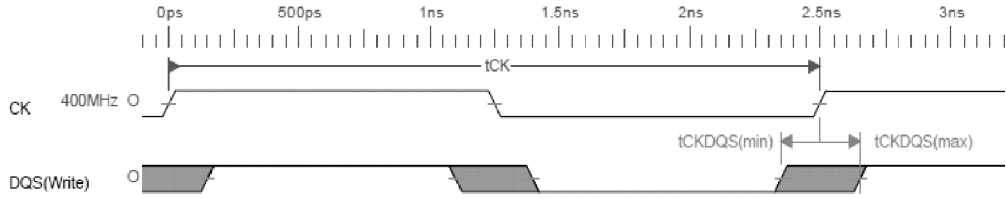


图 6-62 tCKDQS (min) 和 tCKDQS (max) 时序图

参数 tCKDQS (min) 和 tCKDQS (max) 见表 6-4。

表 6-4 参数 tCKDQS (min) 和 tCKDQS (max)

速率	tCK	tCKDQS (最小)	tCKDQS (最大)
DDR3 - 800	2500ps	- 150ps	+ 150ps
tCKDQS (最小)		tCKDQS (最大)	
- 150ps		+ 150ps	

4. tDQSDQ (min) 和 tDQSDQ (max)

我们通过控制器 datasheet 中提供的参数 tDQSDQ 得到 tDQSDQ (min) 和 tDQSDQ (max)，这些参数之间的时序关系如图 6-63 所示。

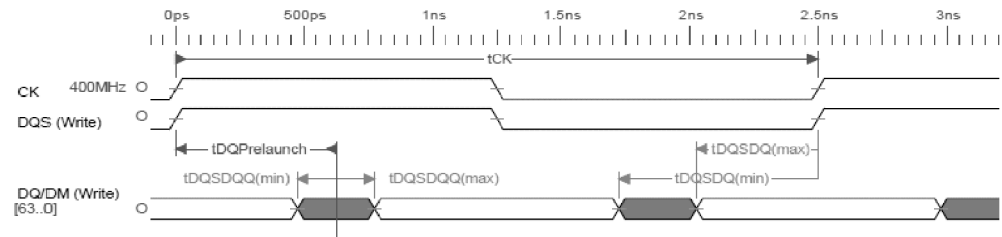


图 6-63 tDQSDQ (min) 和 tDQSDQ (max) 时序图

参数 tDQSDQ (min) 和 tDQSDQ (max) 见表 6-5。

表 6-5 参数 tDQSDQ (min) 和 tDQSDQ (max)

速率	tCK	tDQSDQ (最小)	tDQSDQ (最大)
DDR3 - 800	2500ps	- 150ps	+ 150ps
tDQSDQ (最小)		tDQSDQ (最大)	
$- tDQPrelaunch + tDQSDQ (最小) = - 625 - 150 = - 775ps$		$- tDQPrelaunch + tDQSDQ (最大) = - 625 + 150 = - 475ps$	

5. tDS 和 tDH

在控制器 datasheet 中定义的参数 tDS 和 tDH 正是时序模板中所需的参数，如图 6-64 所示。

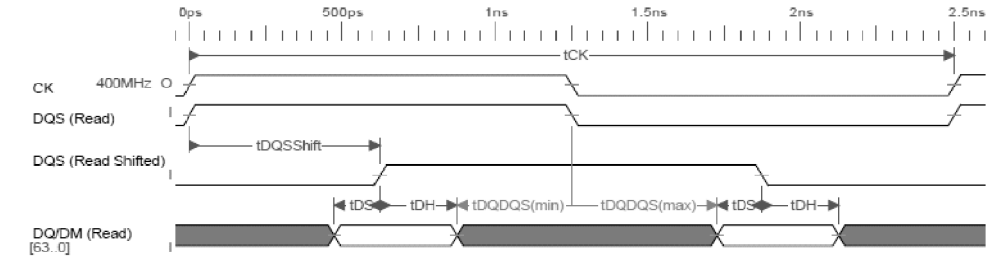


图 6-64 tDS 和 tDH 时序图

6. 时序模板所需参数汇总 (见表 6-6)

表 6-6 时序模板所需参数汇总

DDR _x 向导中需要的参数	最小值/ps	最大值/ps
tCKAC	- 1550	- 950
tCKCTL	- 1550	- 950
tCKDQS	- 150	150
tDQSDQ	- 775	- 475
tDS	150	—
tDH	250	—

时序仿真是 DDR 仿真极其重要的，是决定整个 DDR 设计成功的关键因素，创建正确的控制器时序模板是进行时序仿真的基础，所以在进行时序参数计算时必须认真严谨，确保每一个时序参数的正确性。

关于如何用时序参数进行时序模板创建和如何进行时序仿真设置，这里不再介绍，具体可参照各仿真工具的应用介绍。

第7章 物理信道抖动与均衡

随着芯片间的数据带宽的不断提升，传输线路中串扰和损耗等非线性特性对信号完整性和时序有重要的影响。这些影响在每秒数吉比特的速度下起支配作用，对信号质量造成影响。另一方面，由于电路频率的提高，信号的边沿也会由于码间串扰等影响而偏离理想位置，造成了信号在时序的抖动。均衡是为了解决这些问题而产生的。做均衡的时候通信工程师一般将通道等效成一个低通滤波器，要想得到更好的信号质量，就需要保证信道的频带宽而且平稳。

7.1 抖动的定义与分类

抖动是实际信号相对于理想信号的时间偏离，度量点一般放在信号电平转换门限。如图7-1所示，抖动是以理想信号的电平转换边沿为参考，电平幅度以转换门限电压作为电平门限；信号的实际边沿跨越门限与理想信号边沿跨越门限时刻之差。

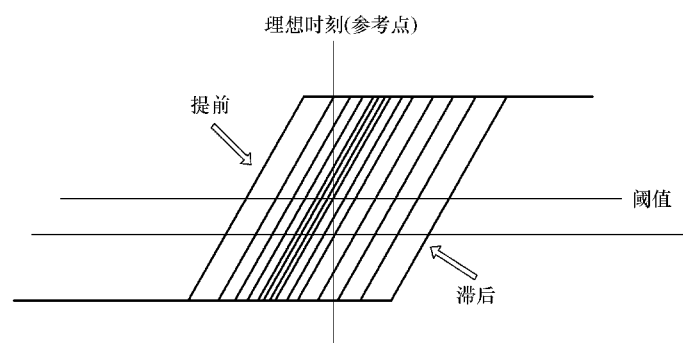


图 7-1 抖动的定义

无论是芯片的热噪声还是信号通道的码间串扰都会引起信号的抖动，根据抖动的不同起因可以定义不同的抖动分量。高速串行系统的性能通常用误码率（BER）来衡量，误码率与抖动之间有着密切的关系：误码率与抖动的大小成正比关系。在高速串行电路不满足误码率要求的情况下，了解总抖动中各个分量的大小对电路的优化和诊断具有十分重大的意义。找到抖动的根本原因，才能最大限度地降低它们的影响。

图7-2所示是抖动的组成图，抖动由不同类型的抖动分量组成，而不同的抖动分量有不同的特征。一般情况下，根据以下方面进行分类：

按照是否随机来分，分为确定性（Deterministic Jitter）抖动和随机（Random Jitter）抖动。按照数据是否相关来分，分为数据相关（Data Correlated Jitter）抖动和数据不相关（Data Uncorrelated Jitter）抖动。码间串扰（ISI）、占空比失真（DCD）、周期性抖动（PJ）

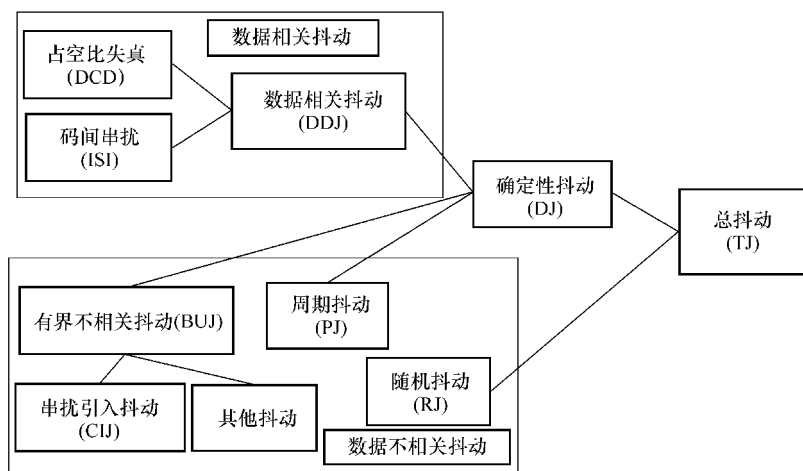


图 7-2 抖动的组成

和有界数据不相关抖动（BUJ）属于确定性抖动（DJ）。码间串扰（ISI）和占空比失真（DCD）属于数据相关抖动。随机抖动（RJ）、周期抖动（PJ）和有界数据不相关抖动（BUJ）属于数据不相关抖动。

确定性抖动是指大小可预知的抖动，一般都有明确的产生来源，用时间偏移的峰峰值来度量。相邻 PCB 引入的串扰、占空比失真、码间串扰等都能引起确定性抖动。确定性抖动在眼图上表现为明亮的亮线。

随机抖动是指出现的时间和大小都是随机的，遵循高斯分布，用方均根值来度量。随机抖动的起因一般为高速串行系统的物理噪声如热噪声和电源噪声。在眼图上表现为比较淡而模糊的线。

数据相关抖动，指抖动与信号本身存在相关性。数据不相关抖动，指抖动与信号本身没有相关性。以码间串扰为例子来说，传输电平变换频繁的 10101010 信号与传输相对稳定 11110000 信号引入的串扰是不同的，所以码间串扰取决于自身信号的特点属于相关抖动。再比如由其他周期性的干扰所致的周期抖动，与自身信号的特点不相关，所以归为数据不相关抖动。

周期抖动，是信号边沿位置的周期性偏差，它在幅度上是有界的，并且不会随时间的推移而变化。

数据相关抖动与串行电路上传输的数据模式有关。可以细分为占空比失真（DCD）抖动和码间串扰（ISI）抖动。数据相关抖动在幅度上是有界的。占空比失真是由串行码流中的“0”、“1”码的时间宽度不同引起，与当前比特相关。码间串扰抖动是由于串行码流中前后码元相互干扰导致，与之前的比特相关。

图 7-3 所示为常见的抖动分量在高速串行系统中的分布。从图 7-3 中可以知道驱动芯片与接收芯片主要引入的是随机抖动和周期性抖动，而信号的 PCB 通道主要引入的是阻抗不匹配引起的码间串扰和其他串扰源引入的抖动。

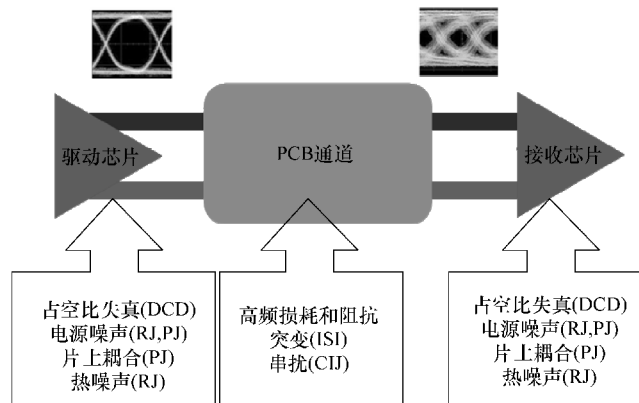


图 7-3 为常见的抖动分量在高速串行系统中的分布

7.2 抖动的分析方法

要分析一个串行电路的抖动是不是满足要求，通常用的分析方法为时间间隔误差图(TIE)法、TIE 频谱图法、统计直方图法、眼图法和浴缸图法五种。其中眼图与浴缸图法使用最为广泛。

时间间隔误差是将数据信号边沿相对于理想位置的偏移量按照时间顺序连接起来构成的时间趋势图，表示的是抖动偏移量与时间的关系，如图 7-4 所示。

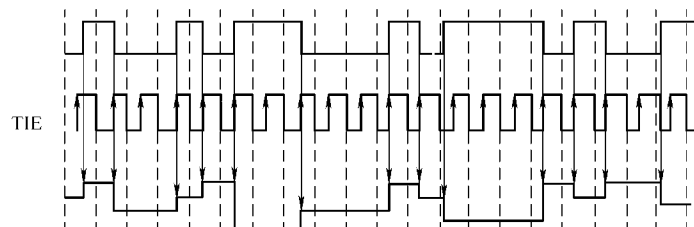


图 7-4 TIE 时间趋势图

抖动频谱是将时间间隔误差图做快速傅里叶变换（FFT）得到的频率特性，如图 7-5 所示。抖动频谱被用于分解抖动的分量，图 7-5 中各个离散的峰值线就是周期抖动（PJ）和数据相关性抖动（DDJ），底部的平坦区域为宽频的随机抖动（RJ）。

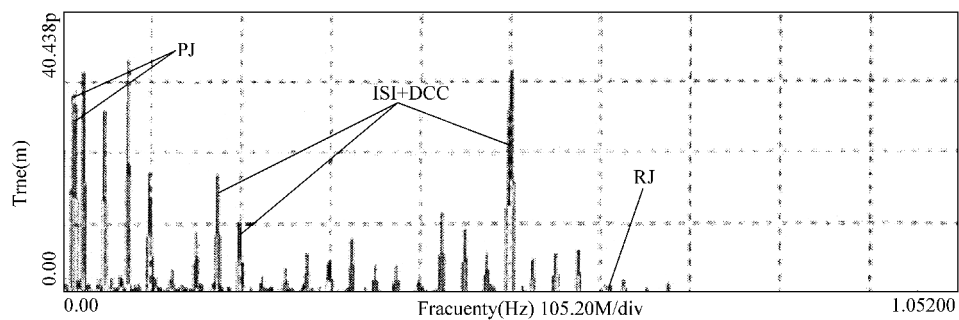


图 7-5 TIE 频谱图

对每个抖动偏移量出现的概率进行统计得到的抖动概率分布直方图。图 7-6 即是抖动概率直方图，图中横向表示抖动偏移量的大小，纵向表示各个抖动偏移量出现的概率密度。概率统计直方图可以拟合成一根光滑的曲线，即抖动的概率密度函数。如图 7-6 所示，由于随机抖动是无界的而确定性抖动是有界的，所以可以认为左右两边末梢的概率密度全是来自于随机抖动。根据随机抖动遵循正态分布，画出左右抖动的正态分布曲线，这样就可以分离出随机抖动与确定性抖动。

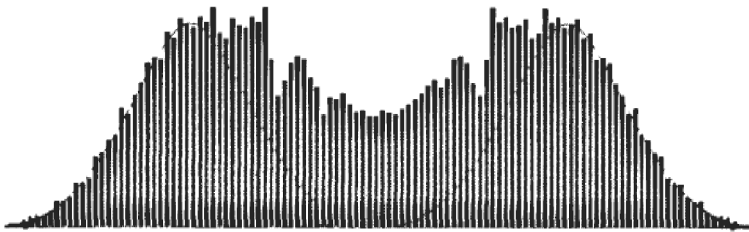


图 7-6 抖动概率直方图

眼图是串行数据流的整体特征和信号质量的最直接反映。一般将信号按周期重叠成眼图，对眼图的各项指标进行测量。眼图包含丰富的信息，影响信号质量的抖动、反射、噪声和误码率等参数都能在眼图中体现出来。在现实生活中，大眼睛的女孩惹人爱，而眼图也是如此，我们也同样希望眼图的眼睛越大越好。如图 7-7 所示，我们可以粗略地从眼图眼睛的睁开程度上来判断高速串行信号是否合格。眼图的横向睁开程度叫做眼宽，眼宽体现的是信号的抖动大小。如果说眼宽比较小，那说明信号的抖动比较剧烈。同样定义眼图的纵向睁开程度叫做眼高，眼高体现的是信号幅度信息。利用眼高值的大小可以判断串行信号是否满足过冲、芯片输入/输出门限的要求。

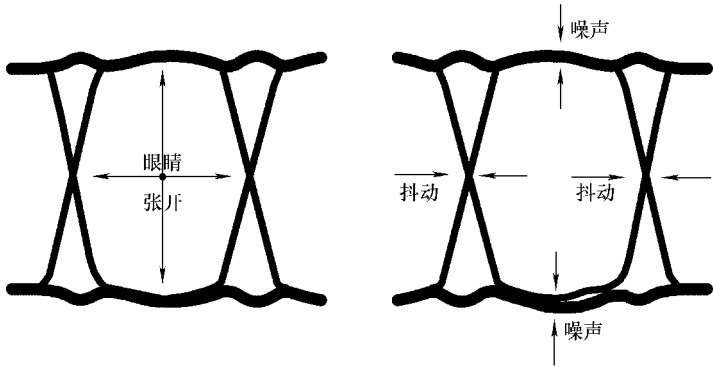


图 7-7 眼图

衡量系统性能的最终指标是误码率，大家都知道抖动会影响误码率，分析抖动与误码率，我们希望将信号总抖动与误码率之间的关系以曲线的形式表现出来，浴缸图由此诞生。图 7-8 所示是某串行电路接收端的浴缸图，其横轴表示一个 UI（Unit Interval，单位间隔）宽度，纵轴表示误码率。系统所需要忍受的抖动随误码率的减小而增大，在浴缸图中表示为眼宽随误码率的减小而减小。由于用示波器测试误码率时，测量的时间不可能是无限长的，但是却能根据测量样本估算出浴缸构图曲线。浴缸图法是最主流的分析系统误码率性能的方

法，通信系统一般将误码率的指标控制在 10^{-12} ，从浴缸图中可以直接观测到误码率在 10^{-12} 时的眼宽。

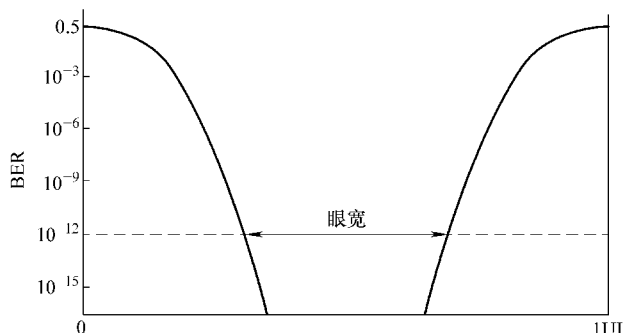


图 7-8 浴缸图

7.3 码间串扰

由于一般通信系统工程师最密切相关的就是串行信号的 PCB 通道，正如图 7-3 中所描述的，PCB 通道本身最主要抖动就是码间串扰。码间串扰 (ISI) 是由于 PCB 通道高频损耗导致的带宽展宽和阻抗不匹配导致的反射引起的。现在分别讨论在这两种不同起因的码间串扰和解决的办法。

高频损耗导致的带宽展宽表现为信号高频分量在 PCB 通道（过孔、走线、连接器等）上传输后减小，信号上升沿与下降沿变缓，影响下一个比特，如图 7-9 所示。

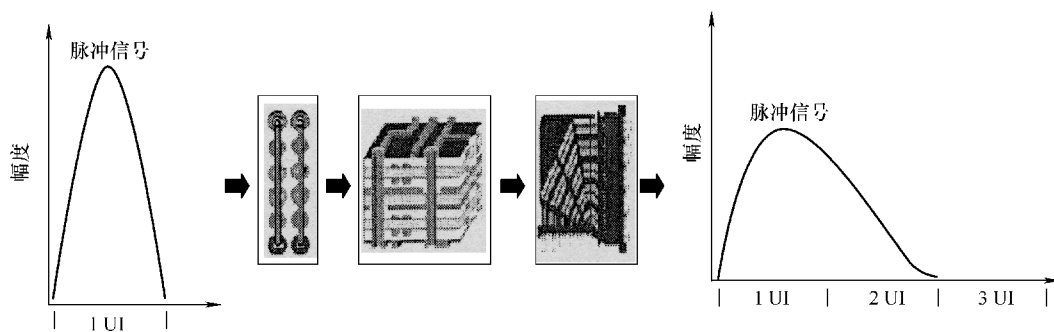


图 7-9 通道的带宽展宽

带宽展宽所导致的码间串扰如图 7-10 所示，由于之间码元不同，A 与 C 点虽然传输的都是“1”，但是其电压值却是不同的。

要减小 PCB 通道对信号的高频损耗，就要了解这些损耗的来源，主要为导体趋肤效应损耗和介质损耗两方面。

当高频信号流过金属导体时，由于电

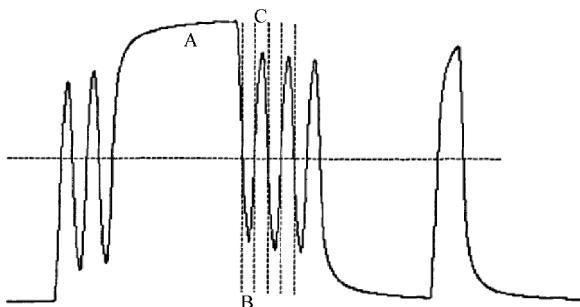


图 7-10 带宽展宽引起的码间串扰

流不能深入导体内部，仅仅只能在靠近导体表面流过，这就是我们常说的趋肤效应。信号频率越高，深入导体内部深度越小，这样就增大了 PCB 通道对高频信号的电阻值，损耗也就增大了。而介质损耗则信号通过 PCB 通道时，由于非理想介质中感应出的电偶极子和磁偶极子在极化方向不断翻转发热所致。频率越高，翻转越剧烈，损耗也就越大。

无论导体损耗、介质损耗还是总损耗，都与频率相关。频率愈高，损耗愈大。所以就出现了如图 7-9 所示的带宽展宽现象。要解决带宽展宽引起的码间串扰就要从源头出发，最简单的方法就是减小 PCB 走线的长度。如果说如今设计 PCB 板卡面积相对比较大而且上高频的信号很多，那么势必会导致某些高频走线的长度不能控制得很短。对于这样的设计，必须要在设计之初就要考虑用介电常数和介质损耗角相对小的材料，以此来减少信号的高频损耗。

引起码间串扰的另一个因素就是不正确端接和 PCB 走线阻抗突变引起的反射。前一个比特位的信号在传输过程中发生反射，然后传回到信号输出端，叠加在后面的比特位上输出，导致了信号出现振铃，振铃出现的时间与阻抗突变点离信号输出端的距离有关，如图 7-11 所示。

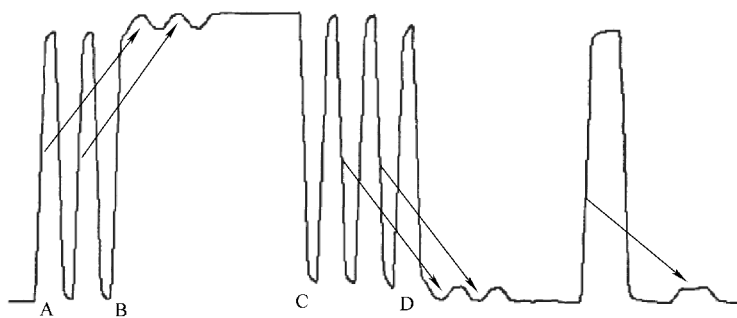


图 7-11 反射引起的码间串扰

由于反射引起的码间串扰的起因是由于阻抗突变和终端不匹配，要减小这一类的码间串扰就要保证 PCB 走线的参考平面完整，如果遇到跨越电源平面的情况就必须要在两个电源平面之间加入串联电容为高频信号提供回路。

7.4 均衡

高频损耗和反射是引起码间串扰的两种不同因素。我们可以对 PCB 走线的阻抗突变进行合理地控制和使用高性能材料来减小码间串扰。但是现实很多情况往往是即使控制了 PCB 走线和材料，我们还是得不到一个睁开的眼睛。于是工程师们将视线转入到芯片端，目的是在芯片上人为增加高频损耗补偿，这个方法就叫做均衡。

如图 7-12 所示均衡可以做成在驱动端芯片均衡，或者在芯片接收端做均衡，也可以在驱动端和接收端都做均衡。

均衡可以分为频域均衡和时域均衡两种。频域均衡是指在频域上做出补偿，即补偿损耗的高频分量。时域均衡指的是在时域上修正其脉冲响应曲线，使其保持在 1UI 以内。时域均衡与频域均衡其实是对信号做了相同的处理，只是分析方法不同而已。为方便理解，我们以频域



图 7-12 均衡原理

均衡来讲解。PCB 通道的频域特性是频率越高，损耗越大。为了补偿由于通道低通特性带来的高频损耗，理想均衡器可以做成与实际通道相位特性相反的高通的滤波器，如图 7-13 和图 7-14所示，通过均衡器的补偿可以将 PCB 通道对信号幅度与相位的影响减小到最小。

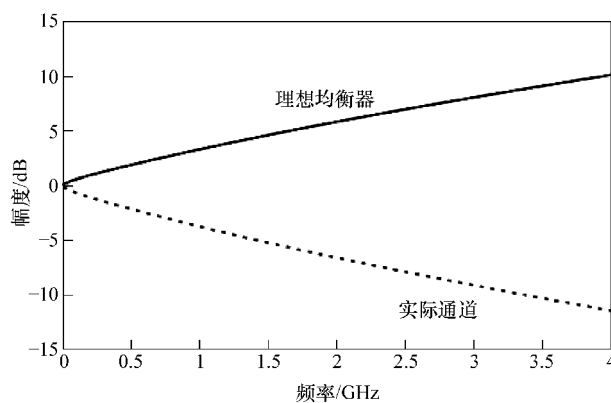


图 7-13 幅度均衡原理

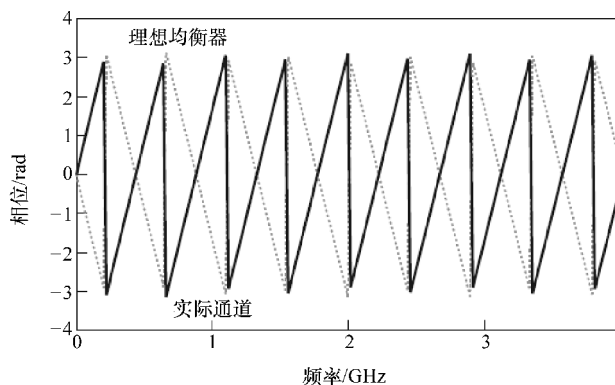


图 7-14 相位均衡原理

高速串行收发器中的均衡器一般采用的方式有：连续时间线性均衡器（Continuous Time Linear Equalizer, CTLE）、前馈均衡器（Feed Forward Equalizer, FFE）和判决反馈均衡器（Decision Feedback Equalizer, DFE）。

每种均衡的原理都是通过额外增加一个均衡器来补偿高频损耗。本章以 CTLE 均衡器为例来介绍。CTLE 利用高通滤波器的组合在频域对互连的高频损耗进行补偿，工作在模拟的连续时间域，属于频域均衡器。它不需要数字时钟控制信号和定时电路，只需要通过简单的 RLC 组合成高通滤波器，适合工作在高速场合且不需要高速数字采样功能，实现简单且成

本低。连续速率的高速串行接收器，如 FPGA 中的串行收发器，一般使用 CTLE。另外在采用 DFE 的场合，有时也会在 DFE 前级加入 CTLE，以改善进入 DFE 的信号质量。其效果如图 7-15 与图 7-16 所示。

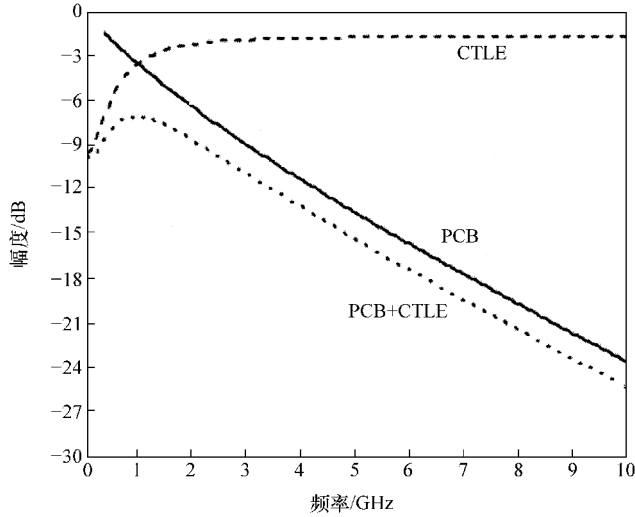


图 7-15 CTLE 幅度原理

从图 7-15 上来看，使用 CTLE 均衡后损耗要大于原通道的损耗，但是原通道在 2G 的时候的损耗就达到了 6dB，而是均衡后虽然整体的损耗增大了，但是 6dB 的带宽增加到了 4.3G 左右。

图 7-17 与图 7-18 是某一 10Gbit/s 信号通过 CTLE 均衡通道和原始通道的波形。我们发现虽然 CTLE 均衡过后 V_{pp} 值变小了，但是最小高电平与最大低电平之间的差值却变大了。

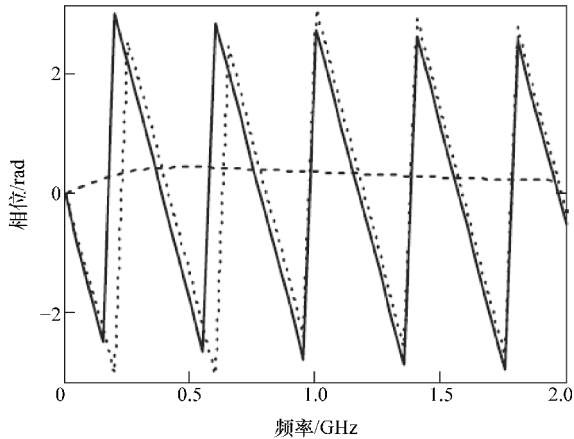


图 7-16 CTLE 相位原理

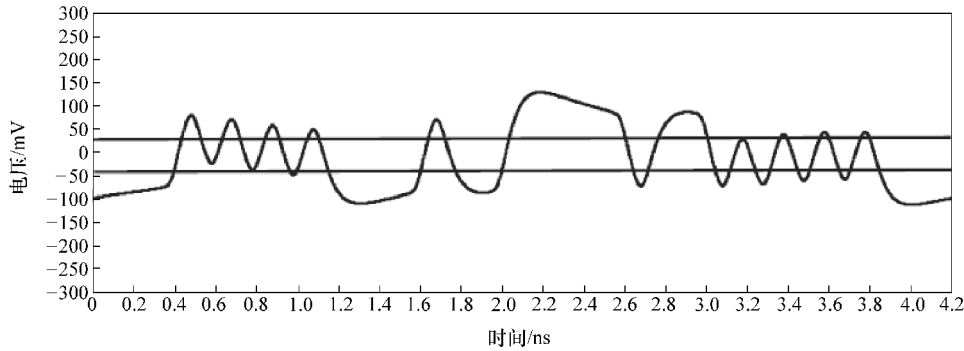


图 7-17 通过 CTLE 均衡通道的波形

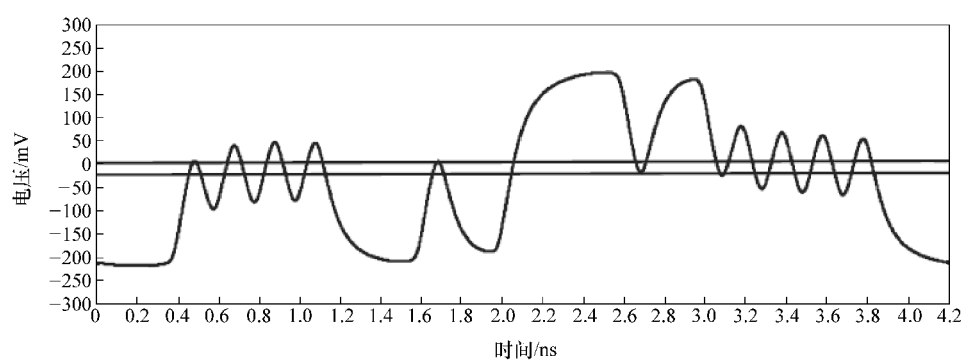


图 7-18 通过原始通道的波形

第8章 通道仿真

历史上，分析数字设计信号完整性的技术要求利用等效电路来描述元器件，例如通孔、连接器、插口，甚至低数据速率的传输线。在低频下，数字系统元器件之间的互连线比信号的波长要短，而电路又可以用集总元件电阻、电容和电感来描述。一般而言，电路理论对于这类问题是成立的，因为电路电压电流的相位变化是可以忽略的。换言之，信号的频率足够低导致电信号的延迟比数字波形的转换速率慢。但是，随着系统数据速率的增加，互连线的延时变得重要起来。事实上，在现代的数字设计中，例如高速计算机，系统互连线的延迟相比单比特数字信息要长得多，这样导致许多比特可以在总线上同时传播。在这种情况下，通过互连线的电压和电流的相位变换就变得非常重要。这样，数字工程变成了一个新技术，用来描述和分析高频下的电路，称为通道分析。

通道分析是一种使用传统的微波和射频工程来描述诸如波导、光缆、耦合器和天线等设备的方法。它们用来描述只用参数评估输入和输出端口的线性时不变系统的特性。网络分析是一种频域方法，可以分析线性网络在每一个频率的离散特性。通常会有这样一个问题：当一个数字系统使用时域脉冲时，为什么数字工程师要采用频率分析方法呢？答案很简单：用频率分析和描述系统比较简单。

通常的网络分析都是基于 S 参数，将通孔、连接器、插口和传输线分别用 S 参数表示出来的，然后分析单个元器件或者多个元器件级联的频域特性。

8.1 浅析通道仿真

这里的通道，顾名思义就是一条路，只不过不是我们可以走的，而是给电或者光信号走的。路有长有短，通道也有简单有复杂、路况好坏之分，通道性能也有优劣之别，但无论是路还是通道，对能量消耗的影响是一致的。我们走路，路面越不平，路越远，走着就越费劲儿，消耗体能就越多，我们要走完这条路可能就需要吃更多东西，喝更多水，或者以其他更见效的方式来补充我们身体所需的能量，以保证我们到达终点时身体没有异常。对信号来说也是一样，通道损耗越大，通道越长，信号能量损耗就越厉害，接收端接收到的信号就越差。要保证信号在终点也无异常，即能满足接收端的要求，同样也需要采取一些方式来给信号补充能量。而减小通道损耗，对信号做预加重和均衡都是为实现这一目的而采取的一些常用措施。

通过前面章节的高速电路仿真实例，大家应该掌握了如何应用 IBIS 模型在 HyperLynx 中进行仿真分析，也了解了 IBIS – AMI 模型在 ADS 中的基本使用和分析方法。而 ADS 作为目前主流的仿真工具之一，本章我们就再给大家演示一下如何在 ADS 中进行通道仿真。

我们走的路，大家都很熟悉，那信号走的路即通道到底看上去会是什么样子呢？图 8-1 给出了一个通道示例图，可以让大家对通道有一个直观的了解。通道仿真通常分为无源通道仿真和有源通道仿真两种情况：无源通道即不包含发送端和接收端的芯片，仅考虑由 PCB

上的过孔、传输线、连接器以及其他纯粹的无源器件组成的通道的影响；而有源通道则是考虑发送端芯片、发送端封装、整个无源通道，再加上接收端芯片及封装这样一个完整的通路。了解了这个概念以后，我们很容易看出图 8-1 给出的就是一个有源通道的例子，它包含了发送端和接收端芯片。此外我们也不难得出如下结论：有源通道的仿真既然包含了有源的芯片，因此就需要有发送端和接收端芯片的模型才能进行相应的仿真。

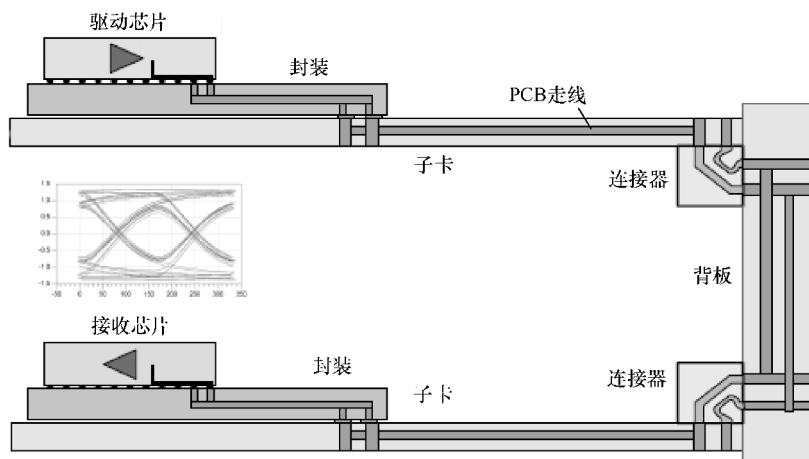


图 8-1 通道示例

对于有源通道的仿真，要得到芯片厂商提供的高速 serdes 芯片的模型有时并非易事，同时由于设计时芯片选择的差异性和芯片模型的保密性，使得无源通道的仿真通常比有源通道的仿真更具有可行性，而且也更加通用。无源通道的仿真对设计评估非常重要，仿真结果直接预示着设计的成功与否，因此目前无源通道的仿真在通信方面的设计是非常普遍的，甚至已经成为必须。下面我们就以一个无源通道为例，来向大家介绍如何在 ADS 中完成无源通道的仿真，并通过仿真结果来分析一下通道对信号传输会产生怎样的影响。

8.2 ADS 中无源通道的搭建

ADS 中无源通道的搭建，自然是根据实际设计中通道的拓扑结构来进行的。一般都是从一个子卡端的 fanout via 开始，经过子卡（DC）、连接器（CN）、背板（BP），再到另一个子卡（DC）端的 fanout via，这样一个通道其更具体的描述自然还包括子卡和背板上的通孔以及传输线，图 8-2 对整个通道中的各个部分都做了明确标识，我们就可以依照此图中的拓扑结构来搭建 ADS 中的无源通道。但在搭建通道之前，我们还需要先对各部分做些必要的说明。

首先是孔的部分，包括 fanout via 以及子卡和背板上的通孔。孔的模型可以在 ADS 中搭建通道时建一个孔的模型来同步进行仿真，也可以提前在 ADS 或其他仿真软件中先行单独提取过孔的 S 参数。我们建议采用后一种方法，这样可以简化通道仿真，而且便于定位仿真中可能出现的各种问题。我们是在 CST Microwave Studio 中建立了过孔的三维模型，通过三维仿真提取出了孔的 S 参数备用。当然建过孔的模型需要考虑 PCB 的叠层、PCB 材质、孔的准确尺寸以及 antipad 的尺寸等，只有建立了更准确的过孔模型，才能提取出更准确的 S 参数。

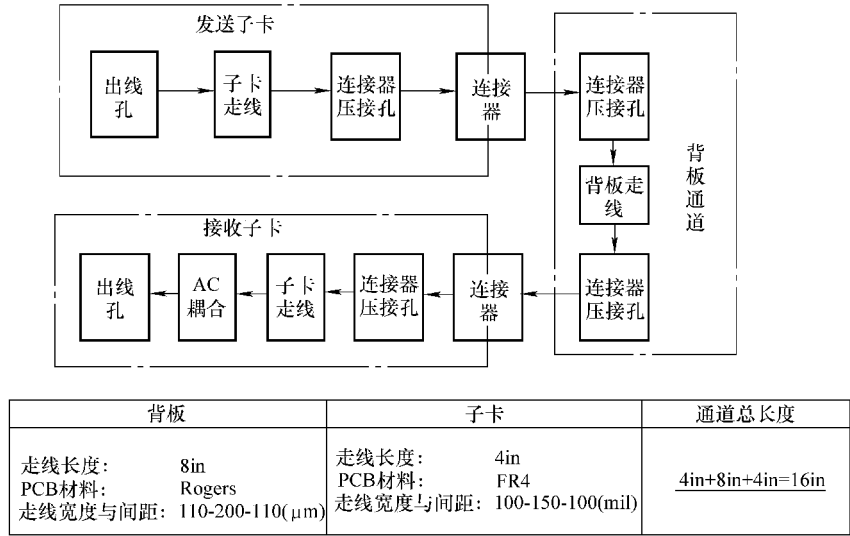


图 8-2 通道拓扑结构

其次是子卡和背板上的传输线。传输线同样可以预先提取出其 S 参数，这里是在 Hspice 中完成了传输线的仿真并得到其 S 参数的。传输线的模型建立也需要考虑 PCB 的叠层结构、材质以及传输线长度等参数的正确设置。

连接器模型通常都是由连接器厂商提供其 S 参数，对于高速连接器，其结构本身比较复杂，自己建模需要有连接器很详细的物理参数，并需要花费一定的时间。当然有兴趣的可以挑战一下，自己在 HFSS 或 CST Microwave Studio 等三维仿真工具中来建立连接器模型并提取 S 参数，我们这里直接使用了厂商提供的 S 参数模型。对于 3.125Gbit/s、6.25Gbit/s 以及更高速率的信号，高速背板连接器之间的串扰是肯定存在的，连接器及整个通道的串扰对信号的影响也是需要评估的，因而在建立过孔和连接器模型时，需要考虑的就不是是一对差分信号那么简单了，有可能需要建立 5 对、7 对甚至是 9 对差分信号以保证充分考虑了受害（Victim）信号周围所有的侵害（Aggressor）信号干扰。具体要建立几对差分对的过孔，取决于连接器的 pin assignment，而且不同的 pin assignment，其近端串扰（NEXT）和远端串扰（FEXT）的大小都会有所不同。本例中的 pin assignment 如图 8-3 所示，如果选定中间标为绿色的差分对为 Victim 来进行评估，可见它周围可能产生干扰的一共有 6 对差分对，分别分布在它的上下和左右两侧。对周围干扰信号本身为 TX 即发送端的，认为会带来近端串扰，若干扰信号为 RX 即接收端，则其影响为远端串扰。

从图 8-3 可知，对本例中绿色的 Victim 差分信号对，共有 4 对近端串扰、两对远端串扰的信号干扰。对于这种情况，要完整地分析信号、过孔及通道间的串扰，就需要建 7 对差分信号对应的过孔。但是我们不难看出，其实这 7 对差分信号的 pin 是以 Victim 为中心上下对称的，也就是说我们只建立 Victim 及它上面的 3 对也是可以的，下面 3 对可以通过上面 3 对进行镜像连接后来仿真，这样过孔模型可以从 7 对减少到 4 对，三维仿真提取 S 参数时仿真时间会缩短很多。而通过镜像翻转重复利用 S 参数进行通道仿真是非常快的，可以节省整个仿真的时间。

了解了各部分模型结构后，我们再返回来看整个通道，现在已经准备好了通道上所有无

A	B	C	D	E	F	G	H	
GND	GND	GND	Q1_CD1	Q1_CD2	GND	GND	GND	1
GND	RX	RX	GND	GND	RX	RX	GND	2
GND	GND	GND	TX	TX	GND	GND	GND	3
GND	RX	RX	GND	GND	TX	TX	GND	4
GND	GND	GND	RX	RX	GND	GND	GND	5
GND	TX	TX	GND	GND	TX	TX	GND	6
GND	GND	GND	RX	RX	GND	GND	GND	7
GND	TX	TX	GND	GND	RX	RX	GND	8
GND	GND	GND	TX	TX	GND	GND	GND	9
GND	GND	GND	GND	GND	GND	8K_A	8K_B	10
MGT_A(0)	MGT_A(1)	GND	GND	MGT_B(0)	MGT_B(1)	GND	GND	11
GND	GND	MGT_A(2)	MGT_A(3)	GND	GND	MGT_B(2)	MGT_B(3)	12

Ground

Victim

Aggressor (Fext)

Aggressor (Next)

绿色

图 8-3 连接器的 pin assignment

源器件的 S 参数，可以开始搭建通道了，下面我们就开始 ADS 中的工作，具体步骤如下：

1) 首先运行 ADS 后，新建一个 Workspace，如图 8-4 所示，在 Workspace name 后的空白区域框内输入 Workspace 的名称，在 Create in 后选择该 Workspace 的路径，同时把该通道仿真要用到的所有模型如 S 参数等复制到该 Workspace 的 data 目录下。

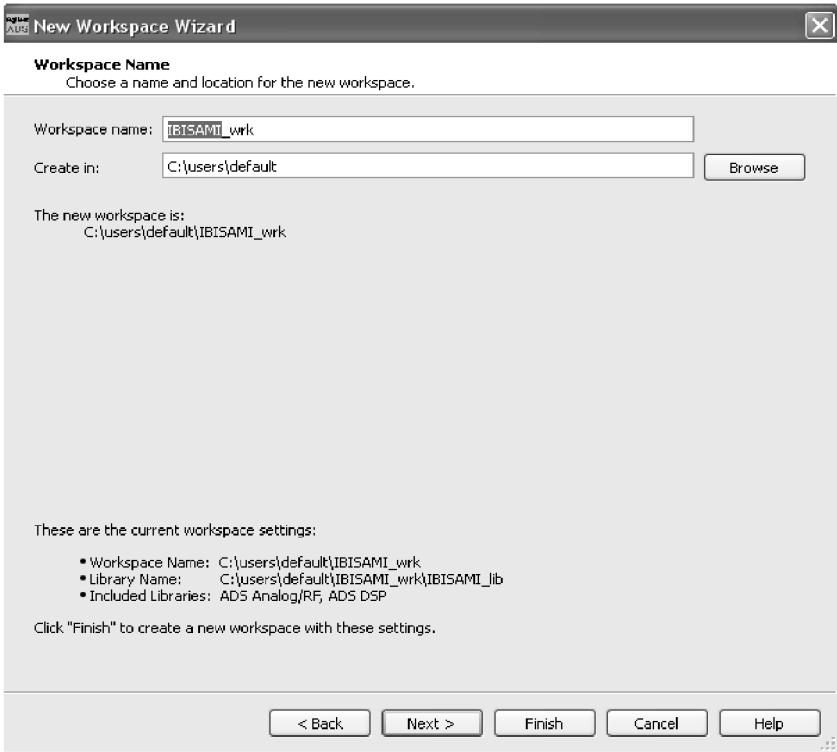


图 8-4 新建 Workspace

2) 单击工具栏上面的 New Schematic Window 图标，出现如图 8-5 所示界面，即新建 Schematic 的窗口，在相应方框内为该仿真的 lib 和该原理图命名，以方便后续仿真工作。新

建好的原理图界面如图 8-6 所示。

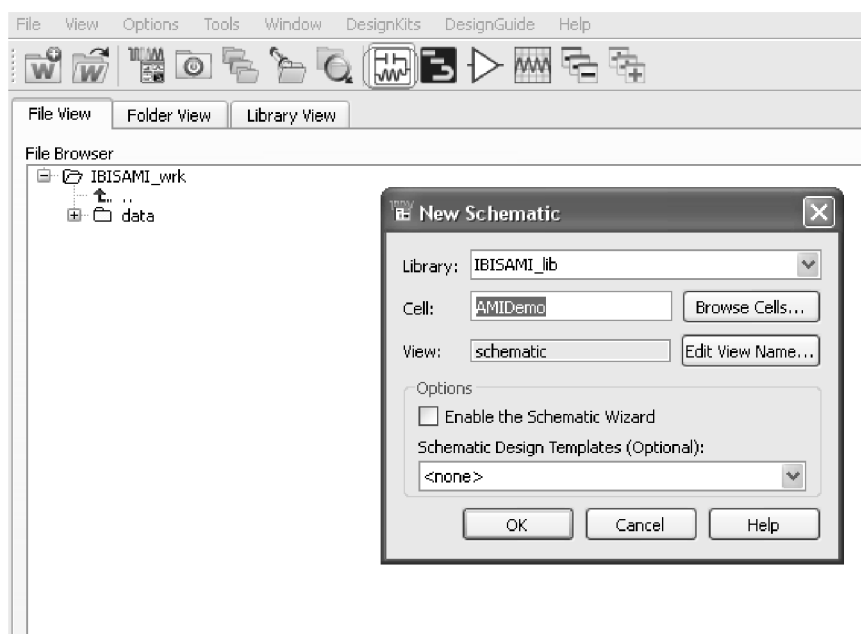


图 8-5 新建 Schematic Cell

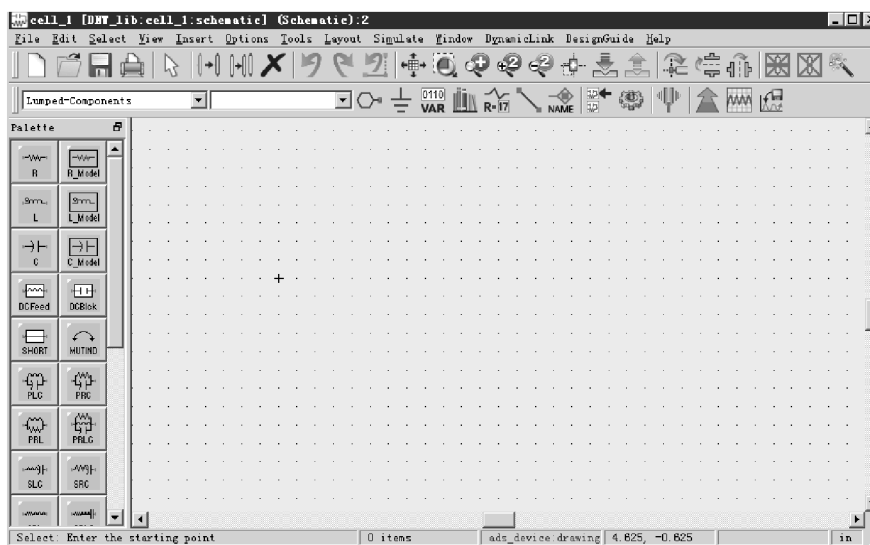


图 8-6 新建好的 Schematic Cell 界面

3) 对新建好的原理图界面进行设置，在第一个下拉框中选择“Simulation – Channel-Sim”，即选择通道仿真，然后根据所要仿真的通道的构成，逐一搭建每个元器件，最终搭好整个通道。对此例，我们先调入子卡 fanout via 的 S 参数，这里为 S4P 文件，在第二个下拉框的空白区域敲入“S4P”后按 enter 键并单击主界面，即调入了 S4P 的符号表示，如图 8-7 所示。

图 8-7 中的数字 1~4 是表示 S 参数的端口 (Port) 号, Ref 为参考 pin, 通常接地。由图 8-7 可知, 此时调入的只是一个符号表示, 并没有跟我们实际通道中 fanout via 的模型关联起来。双击该方框后, 出现图 8-8 所示界面, 单击 File Name 空白框右边的“Browse”, 在相应的 data 路径下找到 fanout via 对应的 S 参数即 .S4P 文件, 打开并应用即可。单击“OK”后, “File =”会显示出对应的 S4P 文件名称, 此处如图 8-9 所示。当然你也可以在图 8-8 中跳出的界面的最后一个选项卡“Display”中更改是否显示 S 参数文件名称, 也可以更改其他的显示设置。

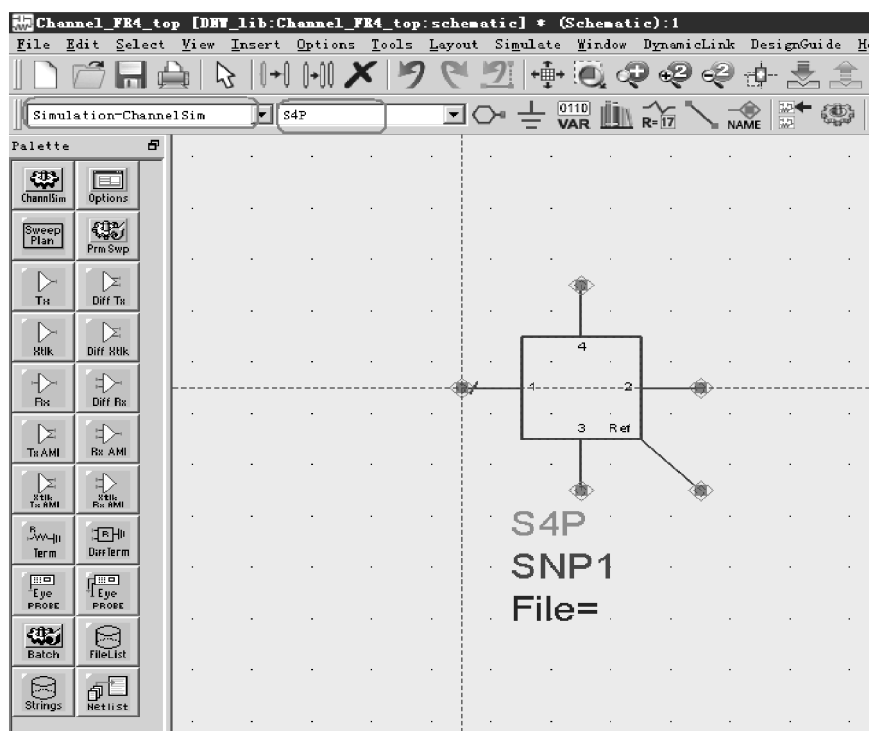


图 8-7 调入 S4P 原理图符号

4) 由于通道 fanout via 后连接的不外乎是子卡上的传输线、通孔、高速连接器, 背板上的通孔、传输线, 另一子卡通孔及传输线等的 S 参数, 而所有这些 S 参数之前都已经准备好并在 data 目录下, 所以现在只需依照步骤 3) 中所述方法, 再依次加入各个无源器件对应的 S 参数符号并赋予模型即可。惟一需要注意的是对 PCB 上的通孔, 已经建立好的是 4 对差分信号的 S 参数, 即 S16P 文件, 自然应调入的 S 参数符号也应为 S16P。对连接器, 厂商提供的是 6 对差分的 S 参数即 S24P, 所以也应先调入 S24P 的符号后再赋好该连接器的模型文件。整个通道的 S 参数符号都调进来后如图 8-10 所示, 连接时应从上至下按“之”字形顺序连接。

5) 连接各个无源器件。连接所有这些无源器件时, 需要注意各个器件之间端口的对应关系, 包括差分传输线与通孔以及连接器 Pin 之间的连接关系一定要正确对应。通常厂商提供的连接器的 S 参数文件即 SnP 用文本文档打开后, 里面会有 Port 的定义说明, 图 8-11 就是本例所用连接器的 Port 定义说明, 文件中标明了哪个 Pin 对应哪个 Port。而自己建的通孔模型也是根据连接器的 Pin assignment 来选择差分对 PTH 孔的, 因此 Port 也有相对应的定义。

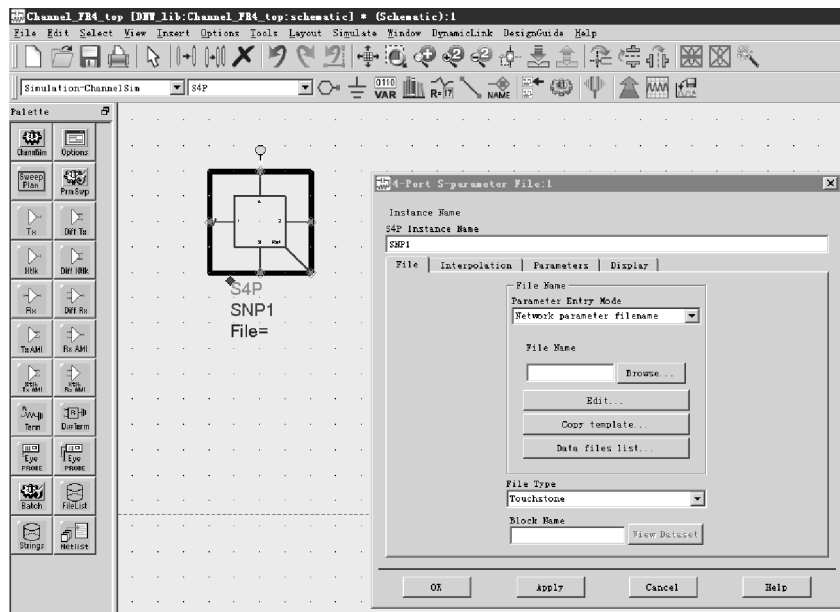


图 8-8 赋 S 参数模型

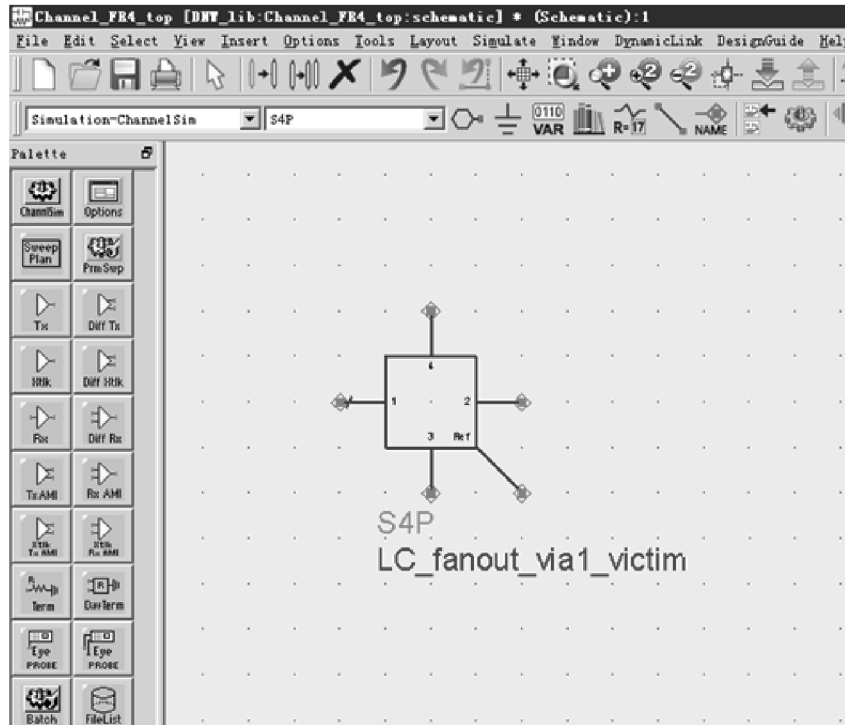


图 8-9 赋好模型后的 S 参数符号显示

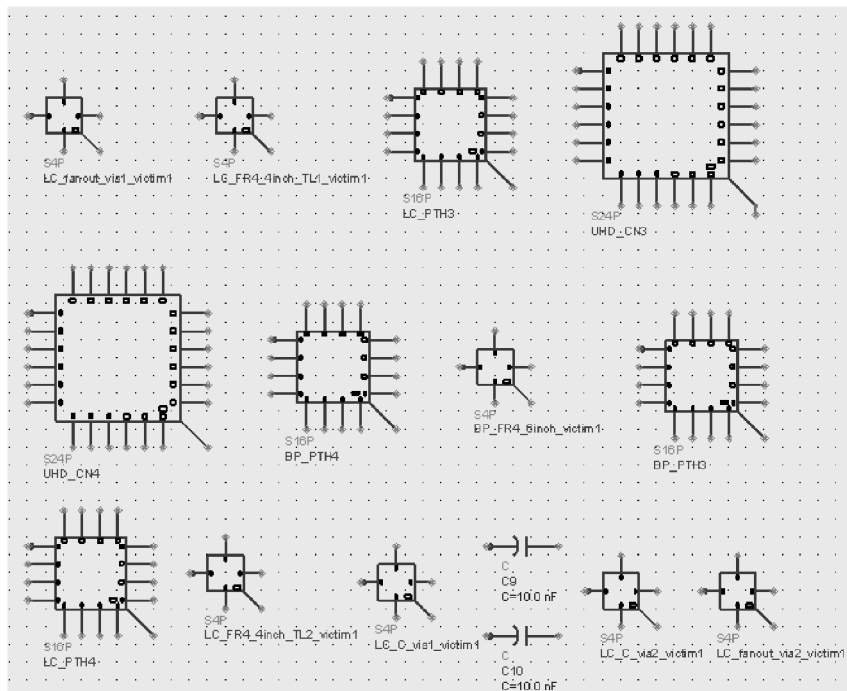


图 8-10 整个通道中器件的 S 参数符号显示

```

!!
!! PORT DEFINITIONS:
!! Port 1  ----> VM   Pin D4  RAF  <---- Port 2
!! Port 3  ----> VM   Pin E4  RAF  <---- Port 4
!! Port 5  ----> VM   Pin B5  RAF  <---- Port 6
!! Port 7  ----> VM   Pin C5  RAF  <---- Port 8
!! Port 9  ----> VM   Pin F5  RAF  <---- Port 10
!! Port 11 ----> VM   Pin G5  RAF  <---- Port 12
!! Port 13 ----> VM   Pin D6  RAF  <---- Port 14
!! Port 15 ----> VM   Pin E6  RAF  <---- Port 16
!! Port 17 ----> VM   Pin B7  RAF  <---- Port 18
!! Port 19 ----> VM   Pin C7  RAF  <---- Port 20
!! Port 21 ----> VM   Pin F7  RAF  <---- Port 22
!! Port 23 ----> VM   Pin G7  RAF  <---- Port 24
!!
!! =====
!! # GHz S MA R SO
!!
!! 0.00000e+000  1.686e-003  1.800e+002  9.988e-001  1.150e-017  5.382e-004 -7
!!               4.348e-004  1.800e+002  1.395e-004  3.086e-015  1.080e-004 -7
!!               7.296e-004  1.800e+002  1.057e-005  3.707e-013  8.717e-004
!!               3.320e-004  1.800e+002  4.996e-004  1.800e+002  3.502e-004 -3

```

图 8-11 连接器 Port 定义说明

确认好各个 Port 或者说 Pin 的连接关系后，只需点击菜单中如图 8-12 所示红色框内“Insert wire”功能键即可开始连线。当然不要忘记每个 S 参数符号中的 Ref Pin 是需要接地的，也要一起接好。连接好一对差分通道的原理如图 8-13 所示。

由于本例中所建的孔的模型是 S16P，即同时考虑了四对差分线的传输和串扰情况，这样我们就需要把 4 对差分通道全部连接好，此时对于通孔的 S16P，其中 8 个 Port 都是有传输线与其相连的，另外 8 个 Port 是传输到该 PTH 孔的另一端与连接器相连的，即所有的 Port 都用到了。然而对于高速连接器，厂商提供的是 S24P，而 PTH 孔只有 16 个 Port，所以

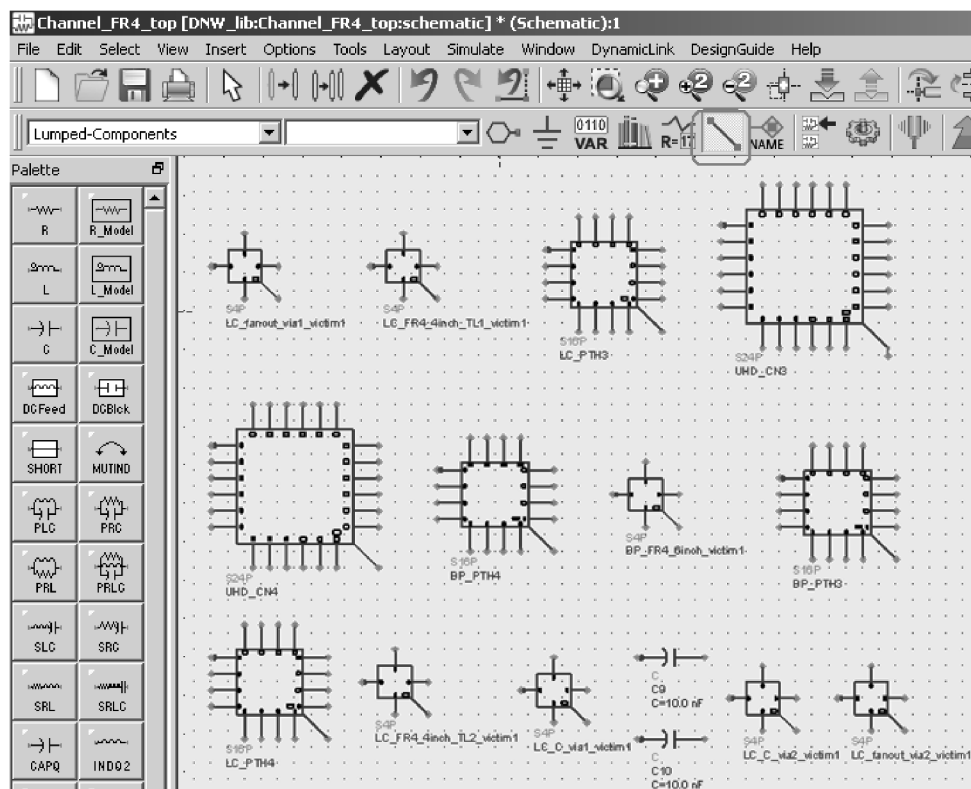


图 8-12 Insert wire 键示意图

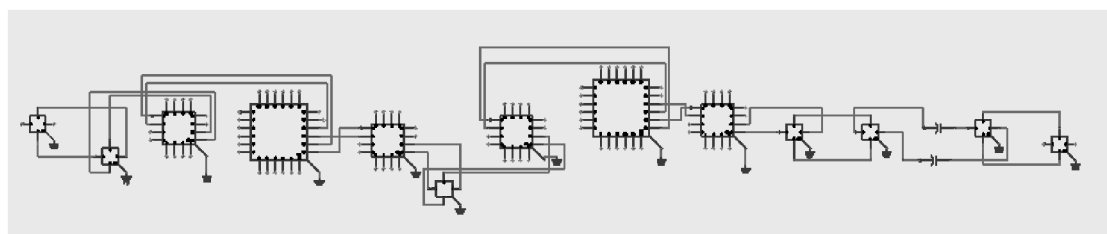


图 8-13 连接好一对差分通道的原理图示意

连接器的 24 个 Port 中有 8 个 Port 是用不到的，对这些多出的 Port 对应的 Pin 需要做端接，匹配相应的阻值后连接到地，本例中是连接一个标准的 50Ω 电阻后再接到地。

除了要弄清楚上面基本的连接关系外，还有一点是需要特别注意的。仿真涉及的 4 对差分信号，其中一对是作为 Victim，其他三对都是 Aggressor，那么每个 Aggressor 是近端串扰源还是远端串扰源呢？这个在连线时也是要考虑清楚的，建议最好能在原理图中做一个明确易识别的标识，这样以后整理仿真数据及复查起来也方便。对于本例，由图 8-3 中的 Pin assignment 可以确定对绿色的 Victim 信号，其上方和右上方的两对信号都是近端串扰源，而左上方的 RX 信号则是一对远端串扰源。我们在原理图中就为三对干扰信号通道上的无源器件加上相应的标识“upper_ NE”、“rightup_ NE”以及“leftup_ FN”，当然统一起见，Victim 信号也做了“victim”的标识，具体如图 8-14 所示。有了明确的标识我们连线和后期整理

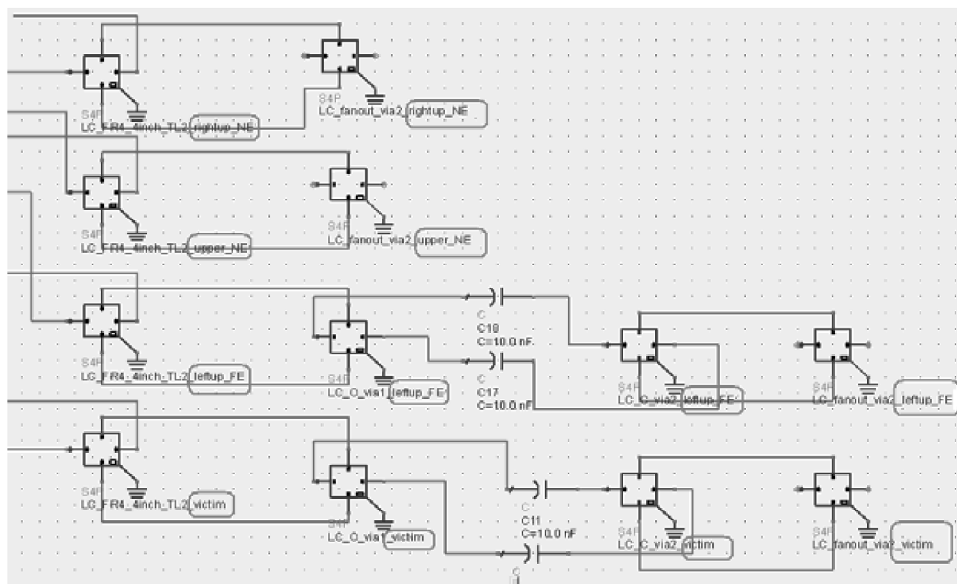


图 8-14 串扰源的标识示例

仿真数据就会更方便。

理清清楚基本连接关系以及所有干扰源关系后，就可以很快连接好包含 4 对差分信号的整个原理图，如图 8-15 所示，因为器件较多，整个通道看上去有点复杂，显示全部器件的图中也无法看清楚各个器件的细节，但只要明确了其连接关系并做了清楚的标识，该原理图每个通路都是很清晰的，整个通道关系也很明白。图 8-16 所示是图 8-15 中框内区域的放大图，方便大家查看细节。

6) 添加 Port 和端接。至此，通道的实际构成部分已经搭建完毕，现在需要给每个信号端加 Port，否则是无法进行仿真的。

添加 Port 时，需要在主菜单中调整一些选项，即在图 8-17 所示界面中，在第一个下拉框处选择“Simulation - S_ Param”，左侧 Palette 会调整至该选项对应的设置，点击红色框处的“Term”后单击原理图主界面，即可成功添加 Port。图 8-17 中可看到 Term5、Num = 5、Z = 50Ω。

本例中，从图 8-18 所示连接器的 S24P 文件中可知连接器厂商提供的 S 参数是 24Port 的单端信号的 S 参数，而非直接提供差分 S 参数，因此为保持仿真中参数的一致性以及最后的精度，提取 PTH 孔和传输线等器件的 S 参数时，我们都统一提取了单端的 S 参数。这样一来添加 Port 时，就需要为差分信号的正负两个信号分别加一个 Port，Port 的正极接信号，负极接地。图 8-19 中为 Victim 正的（Positive）信号所接 Port number 为 Port1，负的（Negtive）信号接到（Port3）。Victim 信号的另一端 Positive 和 Negtive 信号对应的 Port 分别为 Port2 和 Port4，如图 8-20 所示。如果得到的连接器 S 参数是以差分形式提取的，则可以将后续自己所建模型如 PTH 孔和传输线等，也提取其差分的 S 参数，最后加 Port 时，Port 的正极接差分信号的 Positive 信号，Port 的负极接差分信号的 Negtive 信号，而不是连接到地。同时需要将 Port 的阻抗改为差分阻抗，通常为 100Ω，当然也可能是 85Ω 或其他阻值，需要根据自己的设计自行调整。

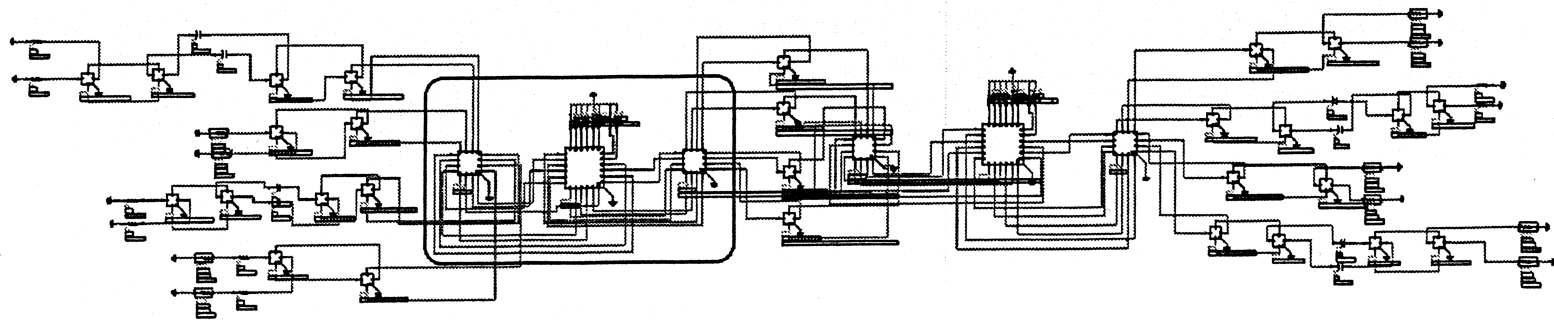


图 8-15 连接好的 4 对差分信号构成的通道

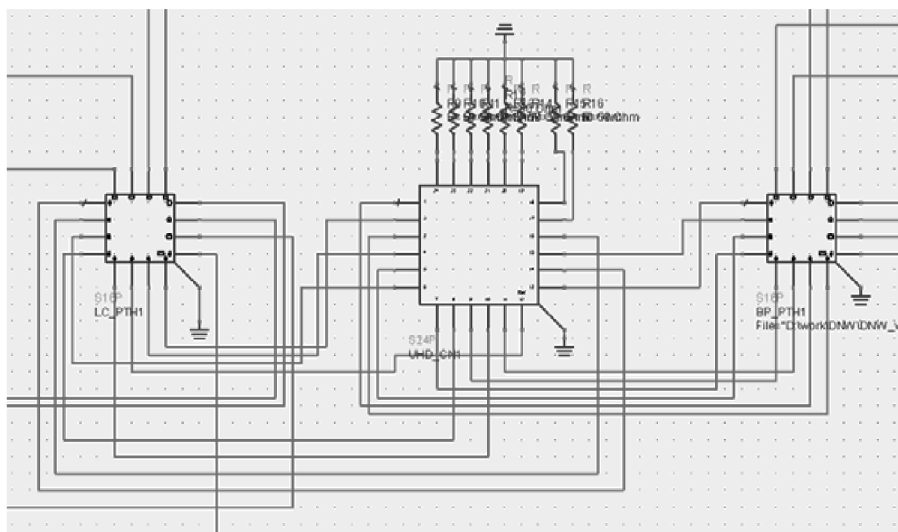


图 8-16 子卡 PTH 孔、连接器及和背板 PTH 孔部分的放大图

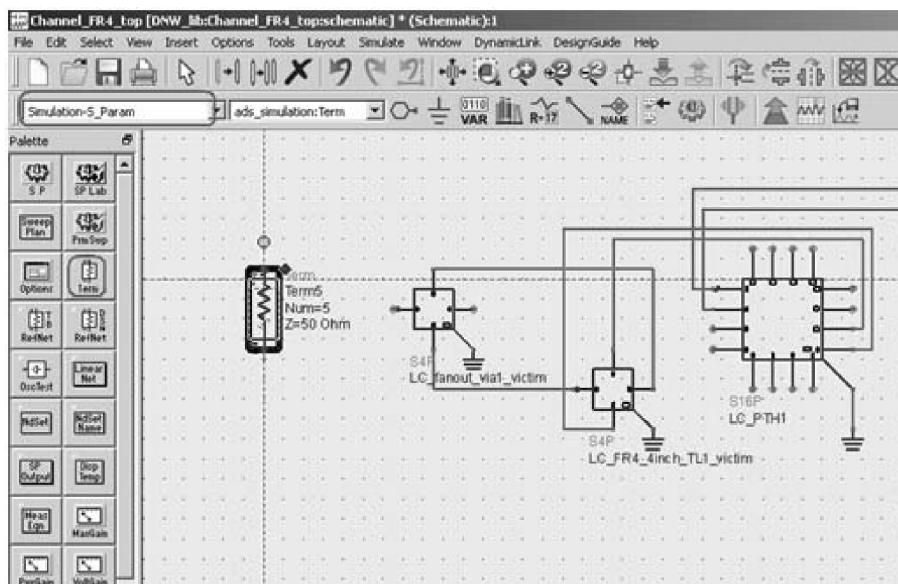


图 8-17 Port 的添加

```

!! MODEL GEOMETRY: 8 ROWS(A-H) x 6 COLUMNS (3-8), Columns 3 and 8 are Ground
!!           1.5 differential pairs per column (S:G = 3:5): Type C configuration
!!           Pins under consideration D4, E4, B5, C5, F5, G5, D6, E6, B7, C7, F7, G7
!!           24 Port Single-ended S-parameters
!! MODEL FREQUENCY RANGE: DC to 30.000 GHz in 30.000 MHz frequency steps
!! MODEL SETUP: Differential and common mode simulated in time-domain solver with an accuracy of -40dB
!!               the single-ended representation is post-processed
!! MODEL EDGE RATE LIMITATION: 16.667 ps (Using conservative 0.5/Fmax rule of thumb)
!!
!! TIME-DOMAIN TRANSFORM CAUTIONS:
!! 1.) Do not simulate transient edge rates faster than the number listed above. Edge rates faster th
!!     contain significant spectral content at frequencies above the model's highest frequency.
!! 2.) Even when simulating edge rates that are slower than the number listed above, be aware that the
!!     resolution possible with a direct iFFT is (1/2Fmax). As a result, time resolution is typically
!!     for most time-domain simulations unless tricks such as windowing are used to minimize leakage a

```

图 8-18 S 参数说明

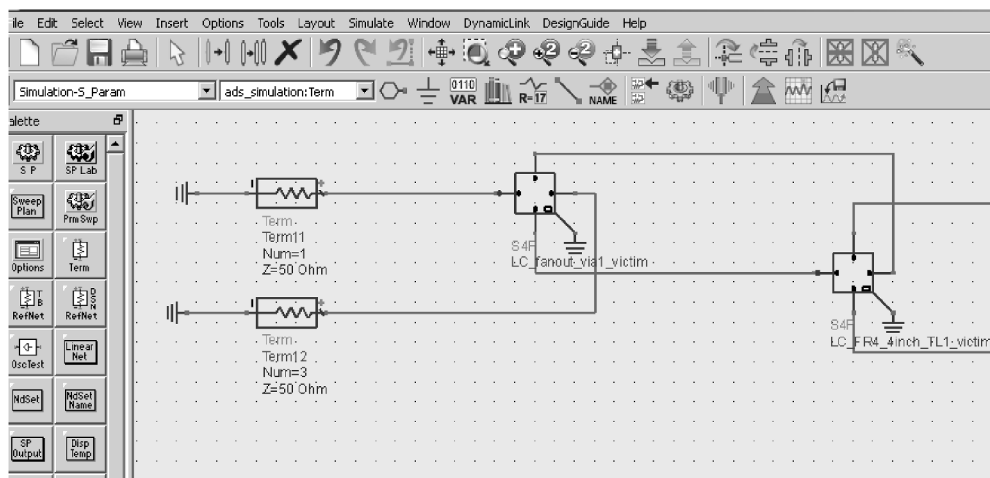


图 8-19 Port1 和 Port3

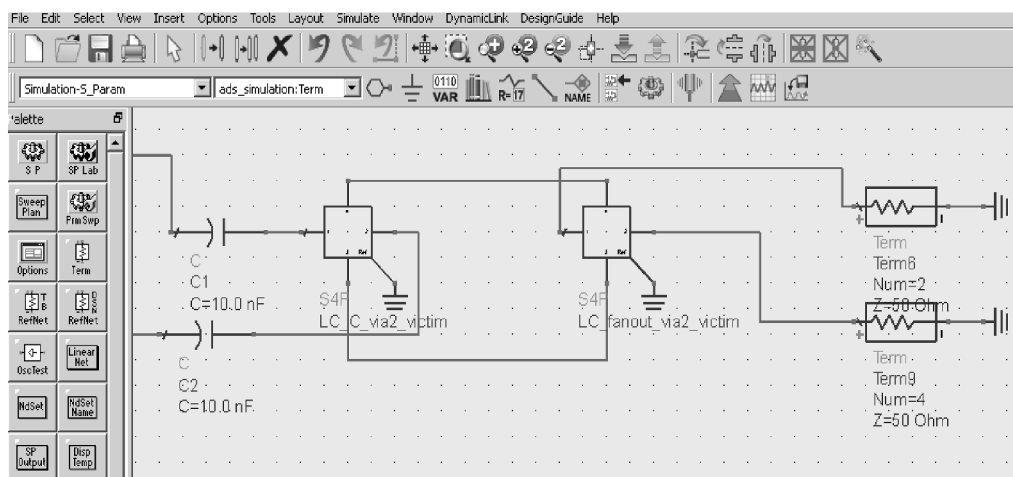


图 8-20 Port2 和 Port4

本例中采用了单端 S 参数来进行通道仿真，得到通道的单端 S 参数。仿真结果的好坏最后自然是需要与其相应的标准来做比较的，而此通道相应的标准中所涉及的 S 参数均为差分 S 参数，所以需要将仿真得到的 S 参数转换为差分的 S 参数后再做处理与比较。S 参数的转换工具我们使用了自己开发的一个小工具，用于将单端的 S4P 转换为差分的 S2P，这就限制了我们的通道仿真只能输出 S4P，也就是说虽然通道有 4 对差分，可以只进行一次仿真并得到一个 S16P 文件，其中包含了插入损耗，回波损耗以及各对差分信号间的串扰，但由于后续数据处理的需要，我们不采取这种方法，而是选择进行多次仿真，每次仿真只有 4 个 Port 是 active 的，其他 Port 是 deactive 的。如果要进行串扰的仿真，其他 3 对于干扰信号在 Victim Pin 周边的 Pin 连接了不同的 Port，而这些 Aggressor 传输到另一端时的信号是不在考虑范围内的，因而只需将另外一端接 50Ω 电阻并连接到地即可。由图 8-3 我们知道，选定的 Victim 信号是 RX Pin，在它周围的干扰信号源中，两对 TX 信号是近端串扰源 rightup_ NE 和 upper_ NE，要考虑的就是这两对 TX Pin 的影响；而远端串扰源 leftup_ FE 则是考虑其另一端 TX 带来的串扰影响。依据此原则，添加好 Port 和端接的 4 个通道的两端分别如图 8-21 和图 8-22 所示。Victim RX 接收端根据信

号正负 Port number 分别为 2 和 4，Victim TX 发送端的 Port number 相应地分别为 1 和 3。两对近端串扰源在 Victim RX 这端连接了 Port（见图 8-21），它们的另一端只接了 50Ω 电阻后再接地（见图 8-22），仅做了匹配而不加 Port。剩余的一对远端串扰源在 Victim RX 端则是接了电阻到地（见图 8-21），在另一端是加了 Port 的（见图 8-22）。

在进行仿真时，由于每次只涉及 4 个端口，因此其他的信号端口都可以通过图 8-23 中框中的图标进行 Deactivate，Deactive 后的端口会显示为原理图界面中的 6 个端口那样，表示已经处于非激活状态。

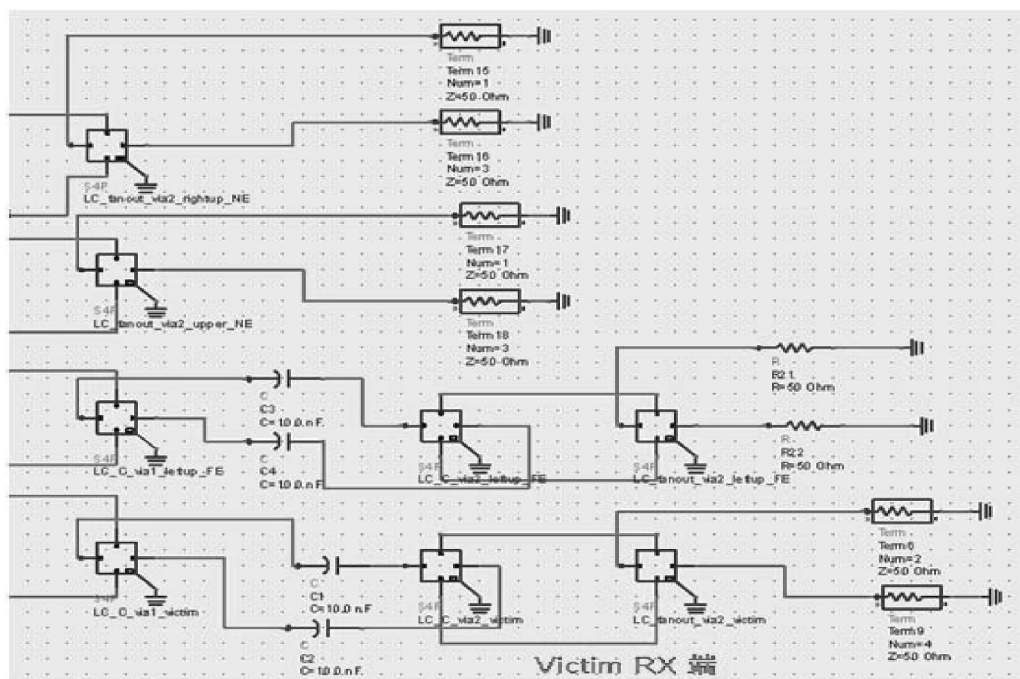


图 8-21 Victim RX 端的 Port 和端接设置

7) 添加仿真引擎。添加好 Port 后，还需要加入仿真引擎。既然是要仿真通道的插损、回损等参数，那需要选择的引擎就是 S 参数。同样在“Simulation - S_Param”项目下，左边 Palette 中第一个选项就是 S 参数仿真引擎，单击后调入原理图界面中即可。

双击该图标后可以设置仿真的起始频率，终止频率及步长等，还可以通过后面的几个选项卡如 Parameters、Noise、Output 及 Display 等进行其他相关的一些设置。对于频率范围的设置，双击后在“Frequency”处更改是一种方法，而从图 8-24 中可见，S-PARAMETER S 引擎处显示出了“Start”，“Stop”和“Step”，所以另外一种方法就是直接在原理图界面中更改相应的各项频率设置。此处设置为 10MHz ~ 10GHz 的频率范围，频率间隔为每 10MHz 取一个点，如图 8-25 所示。

8) 开始仿真。至此我们就完成了一个通道的 S 参数仿真的必要设置，如图 8-26 所示，单击菜单中框内齿轮样的按钮后即可开始运行仿真。如前所述，需要分别运行 4 次仿真以得到 Victim 通道的插损和回损的 S 参数、近端串扰和远端串扰的 S 参数，每次仿真中要注意正确地选择应 Active 的端口，并将其他无关的端口 Deactivate。

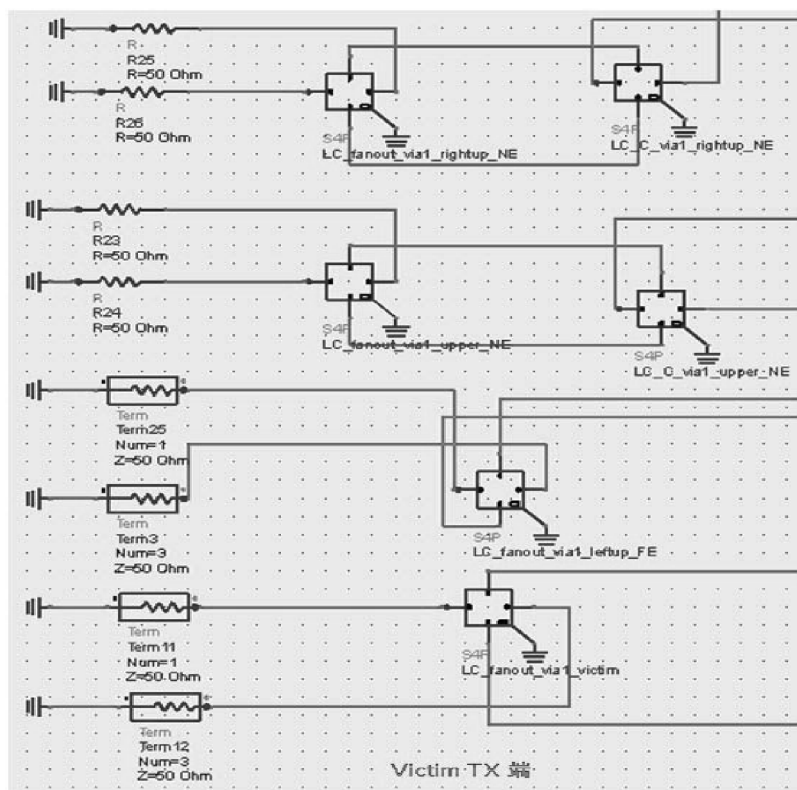


图 8-22 Victim TX 端的 Port 和端接设置

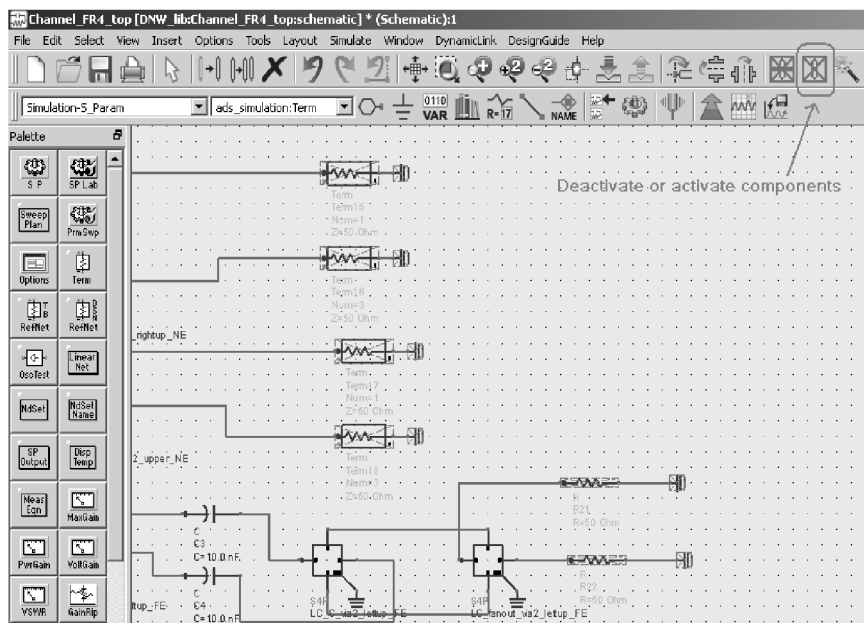
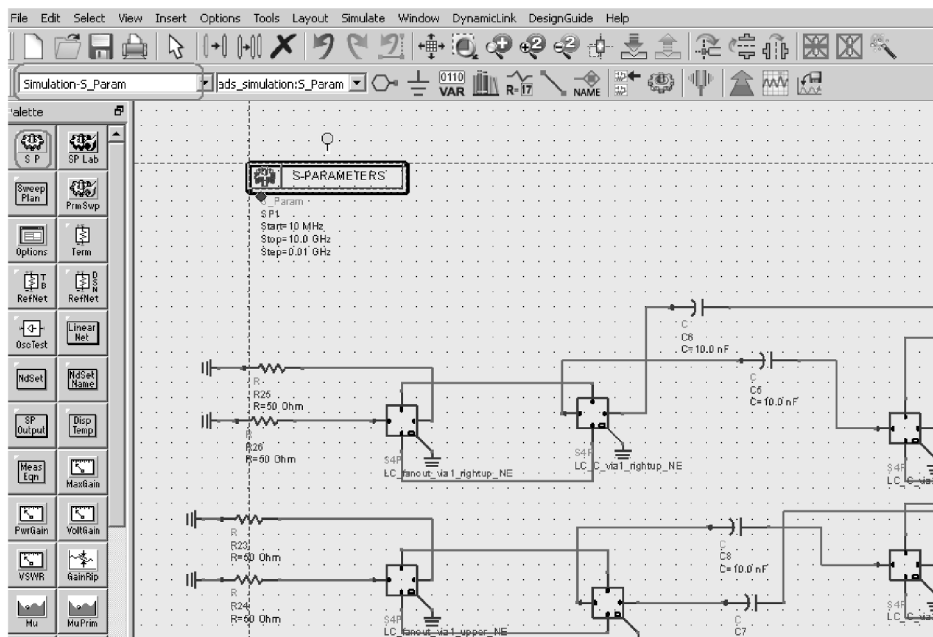


图 8-23 “Deactivate or activate component”



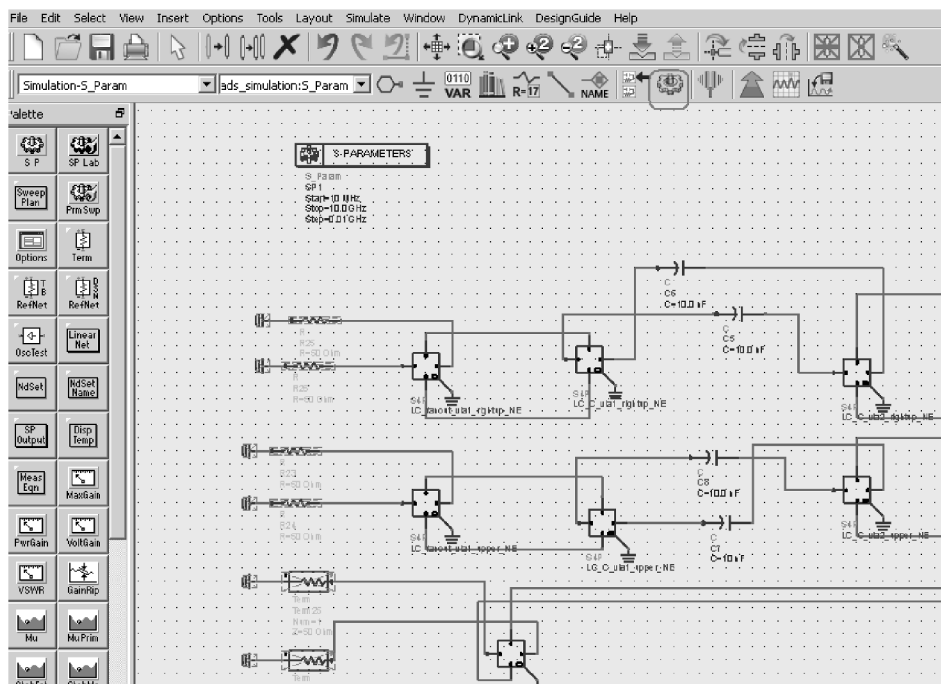


图 8-26 开始仿真

8.3 ADS 中无源通道的仿真结果与分析

运行完仿真后，接下来最重要的就是仿真结果的分析了，本节我们就来讨论一下仿真数据的整理和结果分析。

无论是无源通道还是有源通道的仿真，都是为了预言或者验证最终接收端的信号质量是否达标，能否满足设计要求。自然不同的信号类型会有不同的标准，比如有源通道通常接收端芯片会有对接收信号在电平幅度、时序或者眼图等方面的要求；无源通道同样也有很多的标准，标准中会规定需要评估的参数，以及各个参数需要符合什么样的要求。例如以太网背板就遵循 IEEE 802.3ap 的相关标准。对 1Gbit/s 的信号传输速率，1000Base-X 就规定了通道的各种性能指标，而对 10Gbit/s 更高速率的串行信号，则可参照 10Gbase-KR。本例是以 6.25Gbit/s 的 serdes 信号为例，其依照的标准同样是 10Gbase-KR。根据该标准，我们需要评估通道的以下 6 个参数：

- 1) 拟合的衰减值 (Fitted Attenuation) $A(f)$ ；
- 2) 插入损耗 (Insertion Loss) $IL(f)$ ；
- 3) 插入损耗偏离度 (Insertion Loss Deviation) $ILD(f)$ ；
- 4) 回波损耗 (Return Loss) $RL(f)$ ；
- 5) 串扰 (Crosstalk)，串扰又可分为近端串扰 (NEXT) 和远端串扰 (FEXT)；
- 6) 插损串扰比 (Insertion Loss to Crosstalk Ratio) ICR。

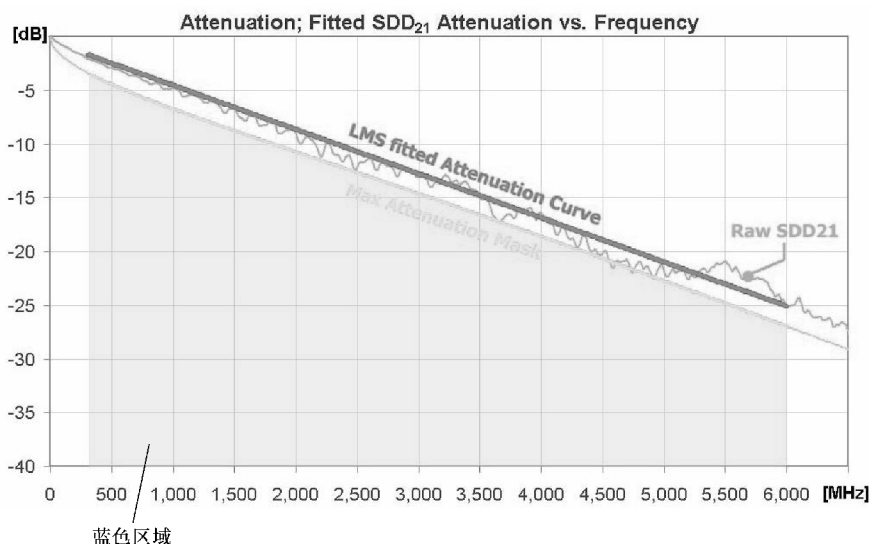
标准中提供了以上每个参数详细的计算公式，大家可以找到该标准来仔细查看每个参数

的计算方法。这里我们采用当时设计中 serdes 芯片厂商提供的通道要满足的 spec，其实该 spec 和 10Gbase-KR 要求是一致的，只是表达方式上稍有不同。spec 中规定的 $A(f)$ 的算法如图 8-27 中的公式所示，其中 N 是仿真中选取频率间隔后从起始频率到终止频率分割出的所有频点数目。为方便比较，可以把这些公式在 Matlab 等软件中实现自动运算，或者在 Excel 中通过公式编辑将 $A(f)$ 曲线划出来。而 $A(f)$ 的评估标准就是拟合出的 $A(f)$ 要落在 $A_{\max}$ 这条固定曲线的上方，即 $A(f)$ 要在图 8-28 中蓝色区域的上方，越靠上越好。

$$f_{\text{avg}} = \frac{\sum_{n=1}^N F_n}{N} \quad SDD21_{\text{avg}} = \frac{\sum_{n=1}^N SDD21_n}{N} \quad m = \frac{\sum_{n=1}^N (F_n - F_{\text{avg}}) (SDD21_n - SDD21_{\text{avg}})}{\sum_{n=1}^N (F_n - F_{\text{avg}})^2} \quad \text{Frequency range: 300-6000MHz}$$

The LMS fitted attenuation A_f is: $A_f = m \cdot (F_n - F_{\text{avg}}) + SDD21_{\text{avg}} \quad [A_f \text{ needs to be above } A_{\max}]$

The mask for A_f is defined as $A_{\max}$: $A_{\max} = -8.69 \cdot (2 \times 10^{-5} \sqrt{f}) + 1.1 \times 10^{-10} \cdot f + 3.2 \times 10^{-20} \cdot f^2 - 1.2 \times 10^{-30} \cdot f^3$

图 8-27 $A(f)$ 的计算图 8-28 $A(f)$ 曲线评估标准

对第二个参数插入损耗，计算公式及所得标准曲线示意如图 8-29 所示，插入损耗同样也应落在蓝色区域上方的位置，越靠上表示通道性能越好。

第三个参数插入损耗偏离度 $ILD(f)$ 的标准与上面两个稍有不同，既然是评估偏离度，就肯定会有两个方向的偏离，因此就有了以均值为中心的上下两个方向的标准 mask 曲线，如图 8-30 所示，计算出的 $ILD(f)$ 曲线应落在上下两条标准曲线界内，而不能跨入蓝色区域内。

第四个回波损耗我们通常是希望它越小越好的，因而计算出的 $RL(f)$ 应该小于等于某一个值，也即应该在某条曲线的下方，这种预期正如图 8-31 所示，回波损耗的曲线应该落在 $RL_{\max}$ 的下方，即蓝色区域的下方。

串扰的评估计算与前面的参数稍有不同，其纵轴是正的 dB 值，而不是通常查看 S 参数时所采用的负纵坐标 dB 值，计算出的 ICR_{FTT} 应该在图 8-32 所示的蓝色区域的上方。

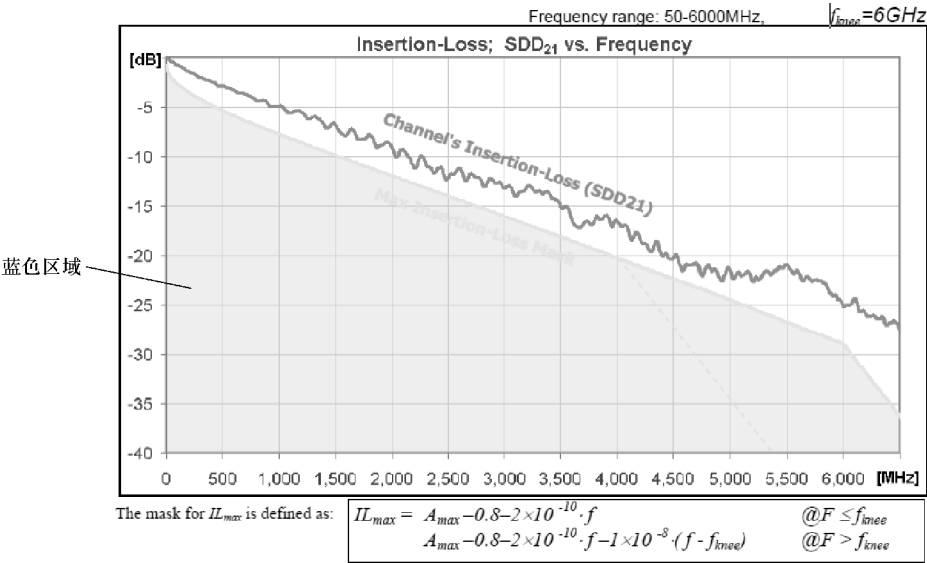


图 8-29 $IL(f)$ 的曲线评估标准

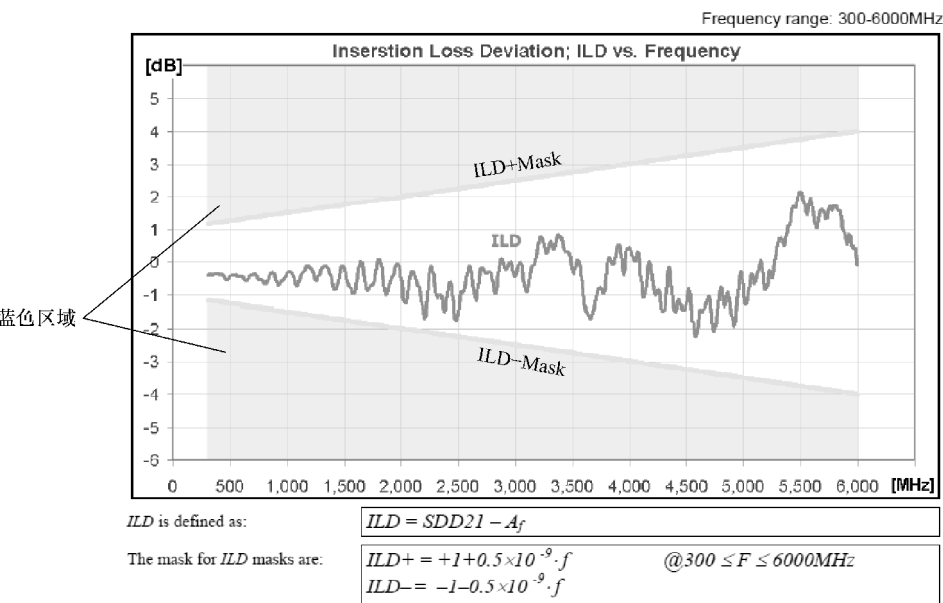


图 8-30 $ILD(f)$ 的曲线评估标准

鉴于 ICR_{FIT} 是一种平均值，那如果数据流在某一频点或频段不够平坦或者有尖峰，有可能就不能反映出来，因此还有另外一个参数即 SNR，该 mask 要求在 100MHz ~ 3.2GHz 的范围内保证 $ICR \geq 15\text{dB}$ ，如图 8-33 所示，要求 ICR 曲线不能落在蓝色区域内。

本例中，我们根据标准规定的各个 mask 曲线的算法，在 Excel 中编辑完成并生成相应的 mask 曲线。有了 mask 曲线，再把仿真得到的数据也整理到 Excel 中，就可以进行仿真结果与 mask 的比较了。

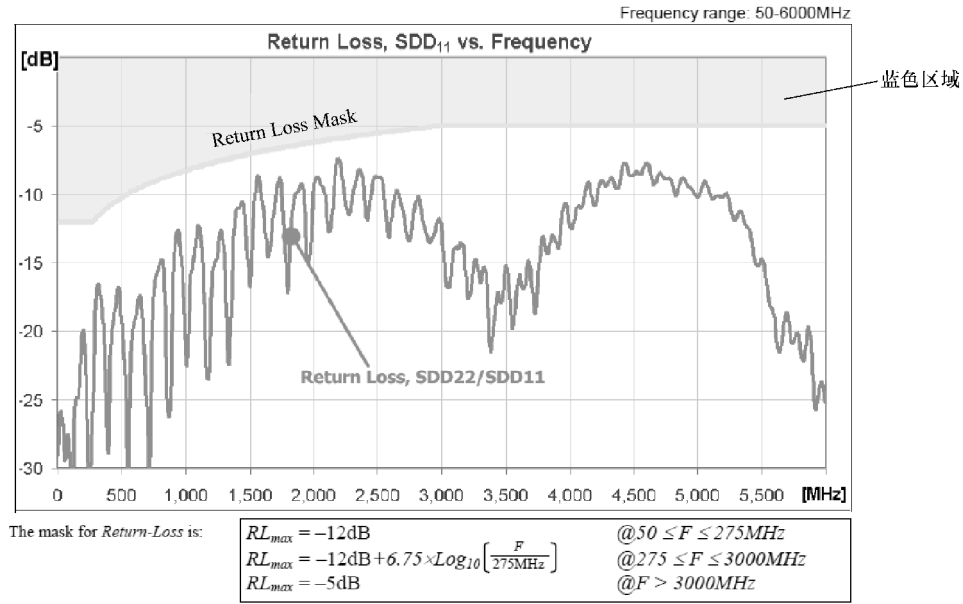
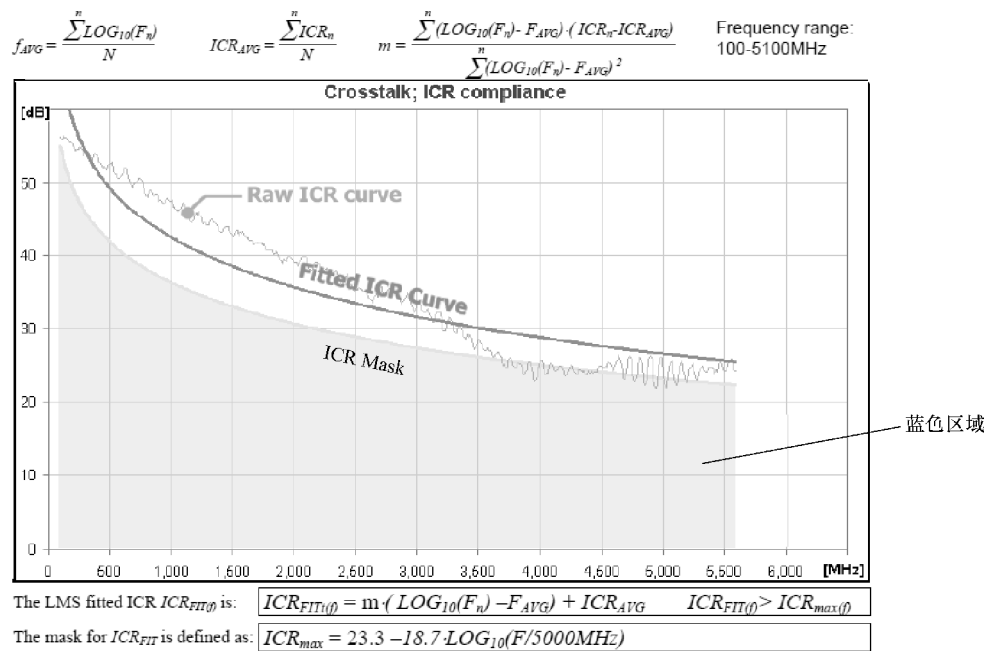
图 8-31 $RL(f)$ 的曲线评估标准图 8-32 ICR_{FIT} 的曲线评估标准

图 8-34 所示的通道为背板上 6in 长的传输线，PCB 材料为 Rogers，两端子卡均为 FR4 材料的 PCB，传输线长度为 4in，这样通路的总传输线长度为 14in。

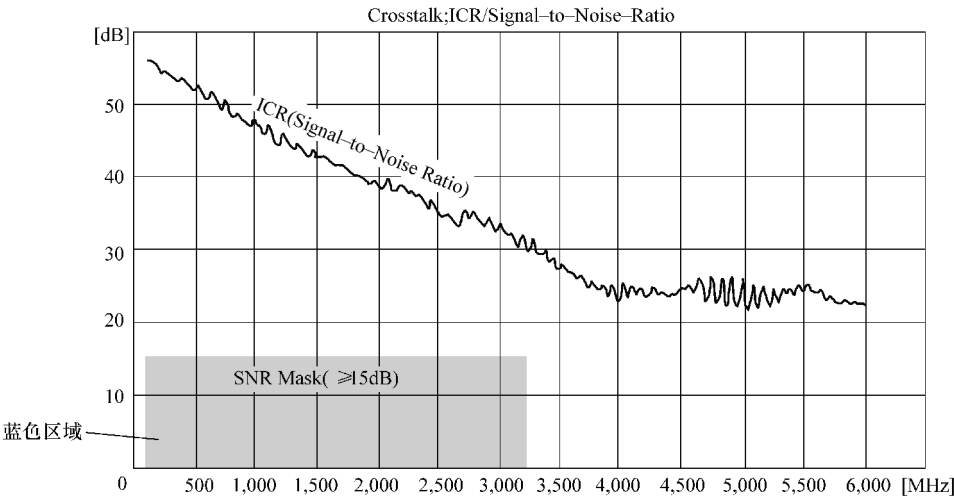


图 8-33 Raw ICR 的曲线评估标准

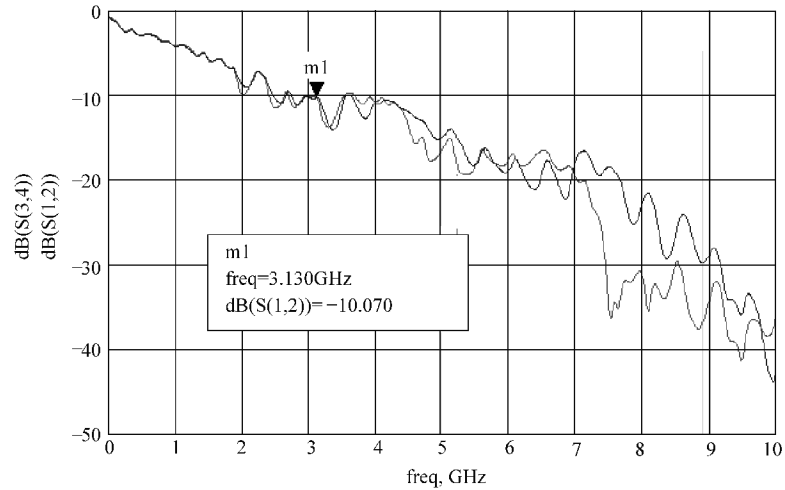


图 8-34 Victim 通道的插入损耗

按照图 8-3 的 pin assignment 仿真得到的 Victim 信号即图中标为绿色的 Rx pin 整个通道的插入损耗如图 8-34 所示，在 6.25Gbit/s 即 3.125GHz 时，插入损耗为 -10dB 左右。图 8-35所示是该通道上各个端口的回波损耗曲线。

上一节我们已经说过，此仿真结果是基于单端 50Ω 阻抗匹配进行的，将此 S4P 转换为差分的 S2P 后，就可以得到差分对的 S 参数，结果如图 8-36 所示，将此文件用 Excel 打开，可以看到每个频点对应的插损和回损值，如图 8-37 所示。结合仿真所得到的这些值，根据 spec 中提供的算法就可以计算出通道的拟合衰减值 $A(f)$ 、插入损耗 $IL(f)$ 、插入损耗偏离度 $ILD(f)$ 以及回波损耗 $RL(f)$ 了。将计算结果在 Excel 中绘成曲线，即可和标准中规定的 mask 进行比较。

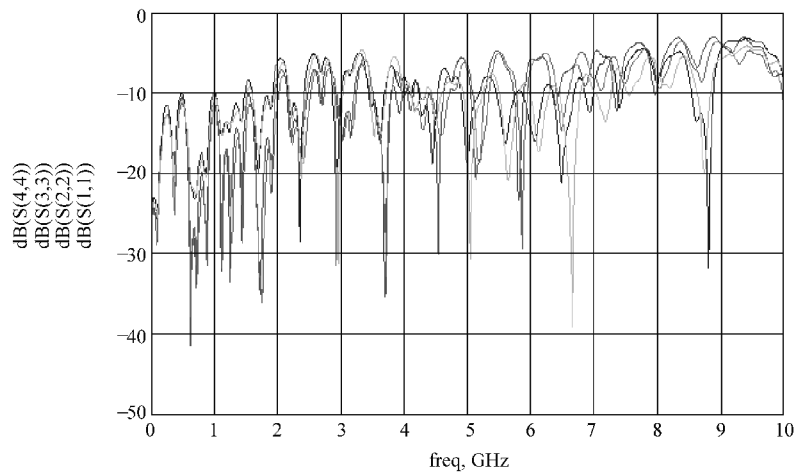


图 8-35 Victim 通道的回波损耗

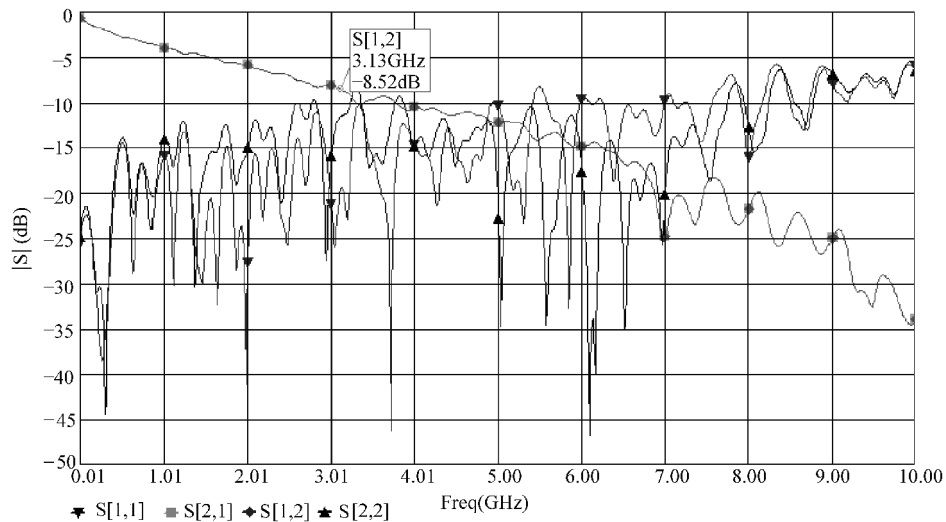


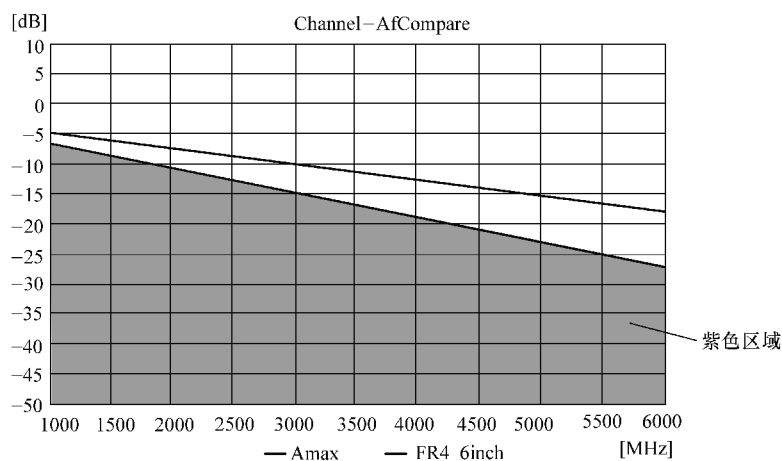
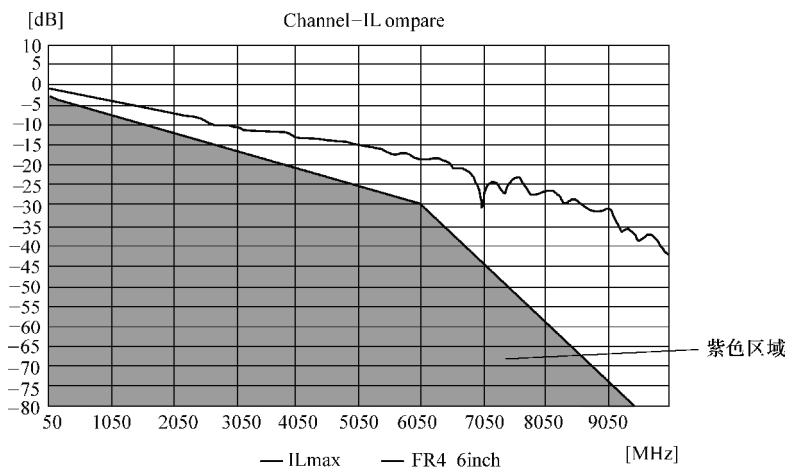
图 8-36 Victim 通道的 S2P 曲线

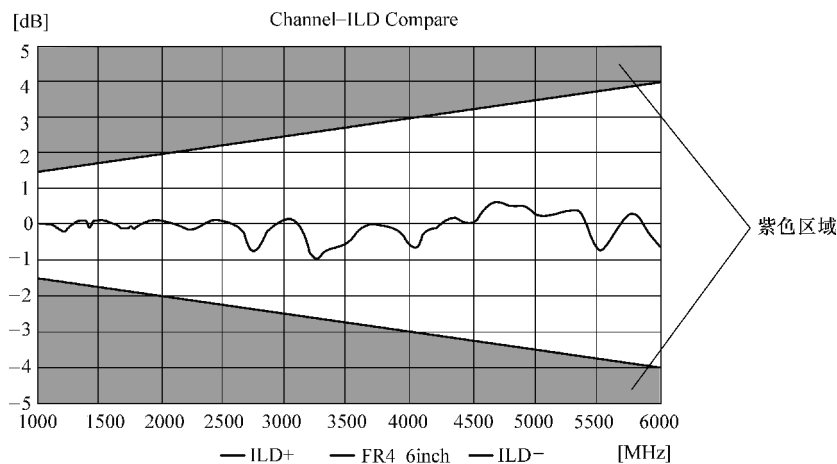
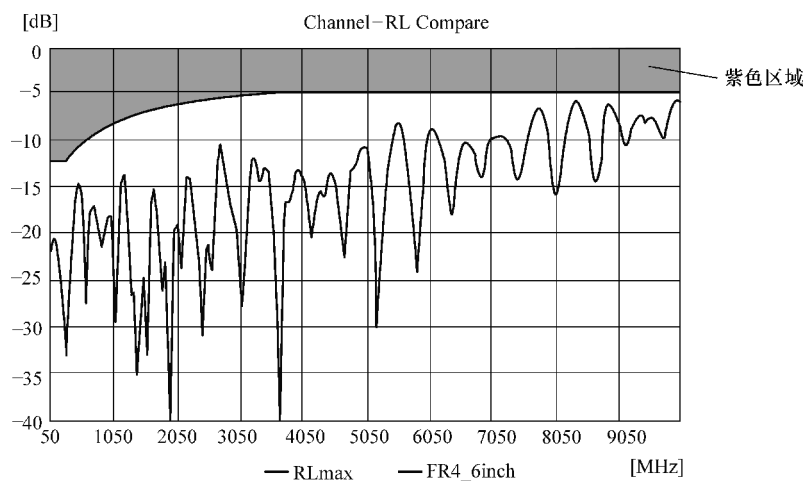
图 8-38 ~ 图 8-41 分别是通道的 $A(f)$ 、 $IL(f)$ 、 $ILD(f)$ 以及 $RL(f)$ 曲线与标准 mask 的比较结果，显然 4 条曲线都是符合要求的，没有进入 mask 的禁止区域（紫色区域）内。

处理完上述 4 个评估参数后，接下来要考虑的就是串扰的影响了，即 ICR 和 SNR 两个参数。串扰的评估相对来说要复杂一些，前面我们所搭建的图 8-15 所示的通道是 4 对差分构成的，即 Victim 差分对、左上方的 RX 差分对、正上方以及右上方的 TX 差分对，选择不同的 active 端口可以计算出不同通道之间的串扰。

	A	B	C	D	E	F	G	H	I
1	Freq (GHz)	S[1,1](dB)	S[1,1](Ang)	S[2,1](dB)	S[2,1](Ang)	S[1,2](dB)	S[1,2](Ang)	S[2,2](dB)	S[2,2](Ang)
2	0.01	-25.52034515	-20.60763517	-0.625257352	-11.14587392	-0.625234903	-11.14584243	-24.67752112	-20.59869353
3	0.02	-24.46154678	-31.58237922	-0.716159281	-22.7989249	-0.716140204	-22.79885299	-23.6554829	-32.18650253
4	0.03	-23.76202671	-49.37690043	-0.790526851	-34.03400928	-0.790506733	-34.03390969	-22.93158498	-49.74704063
5	0.04	-23.25302436	-66.35993234	-0.859250276	-45.11076686	-0.85922898	-45.11064076	-22.37662132	-66.34989047
6	0.05	-22.88290143	-83.34138663	-0.925076735	-56.094944	-0.925055157	-56.09479562	-21.9605902	-82.73292925
7	0.06	-22.60718922	-100.2043534	-0.989421638	-67.01203255	-0.989399674	-67.01186266	-21.6561444	-98.81174524
8	0.07	-22.42818333	-116.274863	-1.052003179	-77.87513037	-1.051981763	-77.87493651	-21.4696733	-114.0602254
9	0.08	-22.34992176	-131.9874448	-1.112907544	-88.68525785	-1.112887375	-88.68503424	-21.41460414	-128.9371639
10	0.09	-22.36637303	-147.4001321	-1.171791329	-99.44959419	-1.171771966	-99.44933283	-21.48643317	-143.5557241
11	0.1	-22.51661126	-162.2667897	-1.227818956	-110.1756816	-1.227800164	-110.1753737	-21.7225997	-157.7764778
12	0.11	-22.77327154	-176.868206	-1.280487215	-120.867563	-1.280467391	-120.8671988	-22.10522999	-171.9559368
13	0.12	-23.13339774	-168.7627488	-1.329587957	-131.5332963	-1.329564777	-131.5328718	-22.63430442	-173.7449984
14	0.13	-23.63789625	-154.7337521	-1.374989948	-142.1817008	-1.374960359	-142.1812156	-23.35123907	-159.2967406
15	0.14	-24.25375233	-140.9160091	-1.416869526	-152.8180401	-1.416829375	-152.8175054	-24.22844709	-144.3257314
16	0.15	-24.9749491	-127.3052933	-1.455628951	-163.4472613	-1.455573346	-163.4467133	-25.25659554	-128.5008503
17	0.16	-25.84338793	-113.9762223	-1.49198022	-174.0747028	-1.491920009	-174.0742388	-26.45799015	-111.4936719
18	0.17	-26.8203154	-100.9482986	-1.526357623	-175.2971215	-1.526299059	-175.2975975	-27.74071586	-92.7436984
19	0.18	-27.89702321	-88.25728485	-1.559135596	-164.6676422	-1.559074241	-164.6681287	-28.98129611	-71.76930803
20	0.19	-29.11987955	-76.08328139	-1.591600432	-154.0344614	-1.591534996	-154.0349526	-30.04530453	-48.55721594
21	0.2	-30.43297496	-64.60982453	-1.623573096	-143.4006682	-1.623503971	-143.4011603	-30.68045441	-24.1517197
22	0.21	-31.81734532	-54.10937696	-1.655280538	-132.7665339	-1.655208348	-132.767024	-30.83083294	-0.473593965
23	0.22	-33.30124402	-44.99459681	-1.687607682	-122.1311855	-1.687531773	-122.1316825	-30.68712634	-21.0491377
24	0.23	-34.7875171	-37.74619673	-1.719840318	-111.4985084	-1.719759785	-111.4990125	-30.44398332	-39.66971575
25	0.24	-36.17941388	-32.90856325	-1.751990021	-100.8688959	-1.751904171	-100.8694089	-30.29357483	-55.60017814
26	0.25	-37.40601061	-30.91050058	-1.784737228	-90.2490278	-1.78464176	-90.2495642	-30.37322726	-69.47425788
27	0.26	-38.22451656	-31.46005525	-1.817368804	-79.63174533	-1.817254087	-79.63232283	-30.74900416	-81.48666703
28	0.27	-38.53335512	-33.40679088	-1.850160077	-69.01838069	-1.849988536	-69.01890695	-31.49991119	-91.83399986

图 8-37 Victim 差分对各个频点的插损和回损值

图 8-38 $A(f)$ 与标准 mask 的比较图 8-39 $IL(f)$ 与标准 mask 的比较

图 8-40 $ILD(f)$ 与标准 mask 的比较图 8-41 $RL(f)$ 与标准 mask 的比较

下面我们举例来说如何得到串扰的 S 参数。如果要得到正上方 TX 信号对 Victim RX 信号的串扰影响，需要在原理图中仅仅保留 Victim 的 RX 和正上方干扰源 TX 的端口为 active，其他端口均做端接后 deactivate，如图 8-42 和图 8-43 所示。其中图 8-42 显示的是包含了 Victim 信号 RX 一端的端口设置，图 8-43 是 Victim 信号 TX 一端的端口设置。设置好 Port 后运行仿真，结果如图 8-44 所示。同样此仿真结果是基于单端信号的，需要将此 S4P 转为 S2P 后再用 S2P 的数据来计算 ICR_{FIT} 曲线。转换后的 S2P 如图 8-45 所示，图中的 $S(2, 1)$ 就是标准中计算 ICR_{FIT} 时要用到的 crosstalk 的值。图 8-45 中显示在 3.125GHz 以下，串扰基本在 $-70 \sim -50\text{dB}$ 范围内，这样就完成了一对差分信号对 Victim 信号的串扰评估。以同样的方法继续进行左上方和右上方干扰源的串扰仿真，最后得到三组干扰源的串扰值数据。

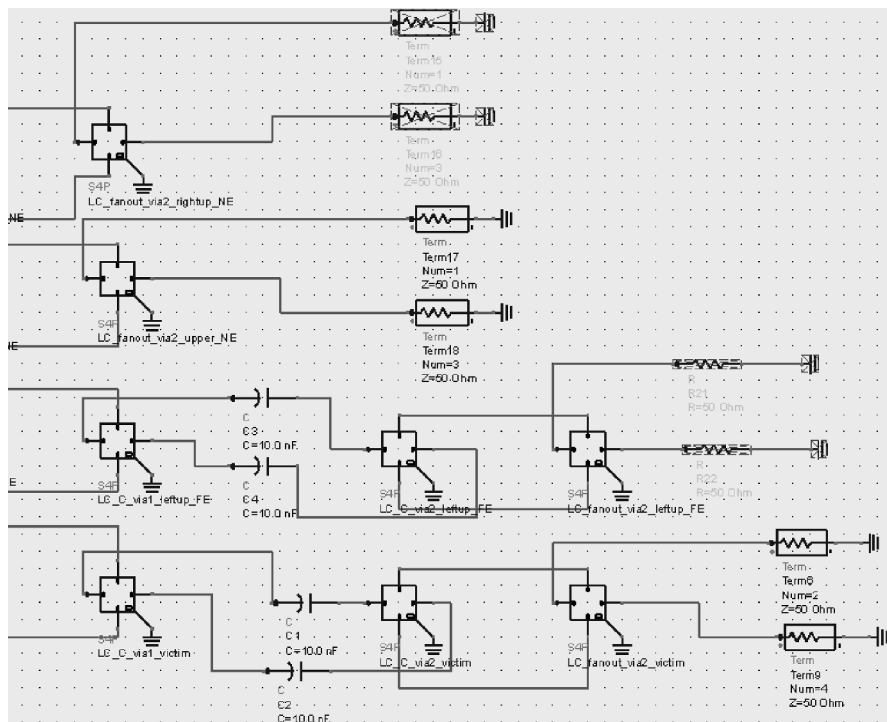


图 8-42 仿真正上方 TX 信号近端串扰时 Victim RX 端 Port 设置

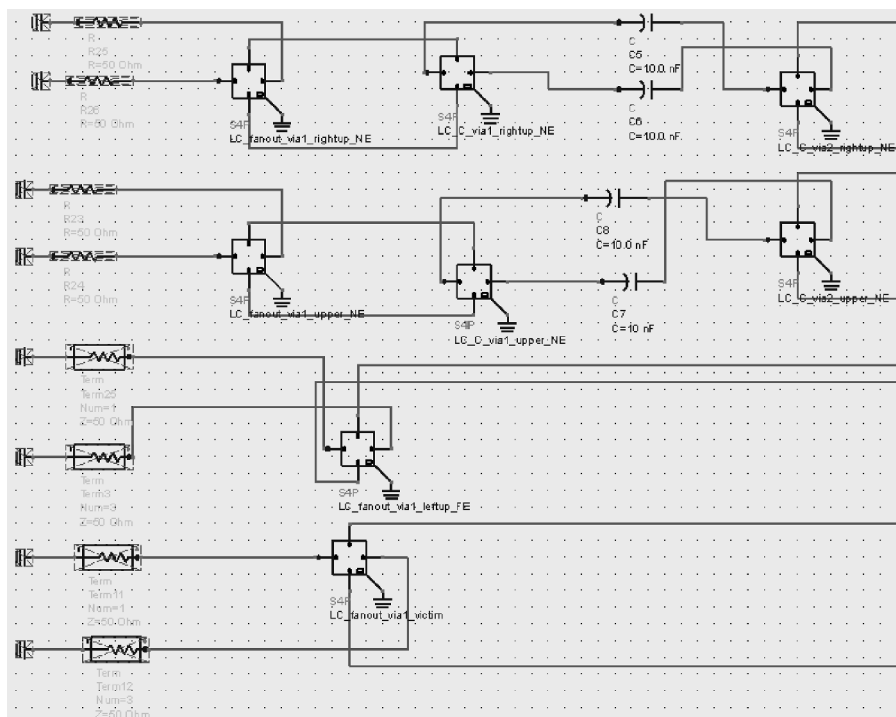


图 8-43 仿真正上方 TX 信号近端串扰时 Victim TX 端 Port 设置

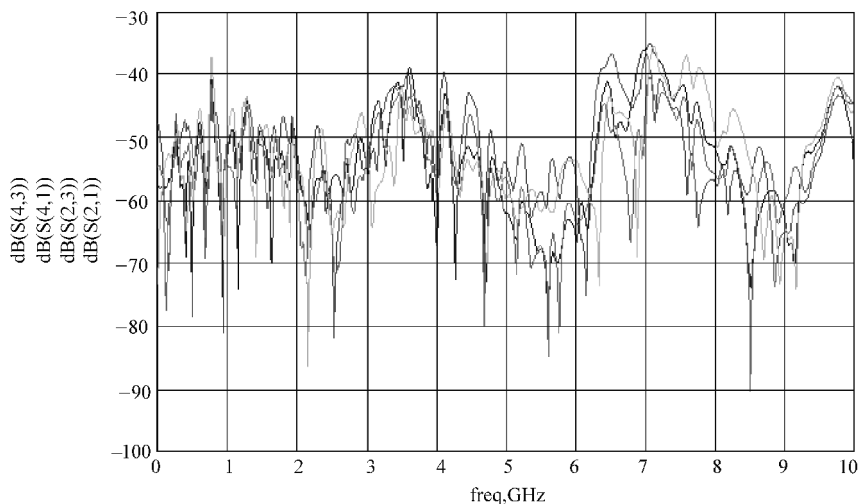


图 8-44 正上方 TX 信号的近端串扰曲线

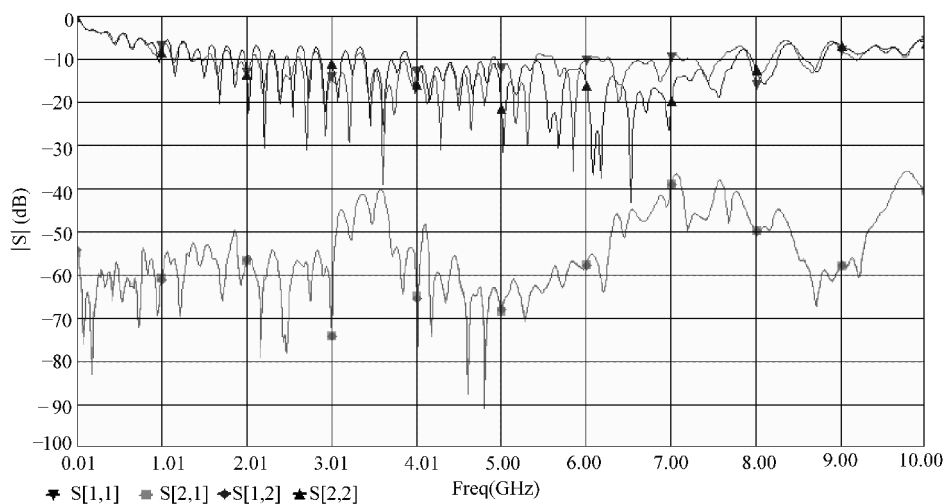


图 8-45 正上方 TX 信号近端串扰差分形式的曲线

对 ICR_{FIT} 的计算需要注意的是, Victim RX 差分信号在图 8-3 的 pin assignment 中, 可以看到它周围总共是有 6 对干扰源, 即还有左下方和右下方各一对 TX 近端串扰源以及一对正下方的 RX 远端串扰源。对此 3 对串扰源, 我们要得到它们的串扰仿真结果就需要另外搭建一个通道, 该通道包含了 Victim 下方的这 3 对差分对干扰源以及 Victim 差分信号。需要注意的同样是通道中 Connector Pin 与其他器件的 Pin 之间的对应关系, 务必保证连接关系正确。下半部分 Pin 建好的通道与图 8-15 中所示的上半部分的通道类似, 只是 Pin 的连接关系稍有不同, 鉴于整个通道的图比较大, 从图中很难十分清楚地看到连接关系是怎样的, 这里就不再给出下半部分 4 个差分对的通道全貌图。选取左下方 TX 信号的串扰作为下半部分串扰仿真的示例, 其端口设置如图 8-46 和图 8-47 所示, 前者是 Victim RX 端的端口设置, 后

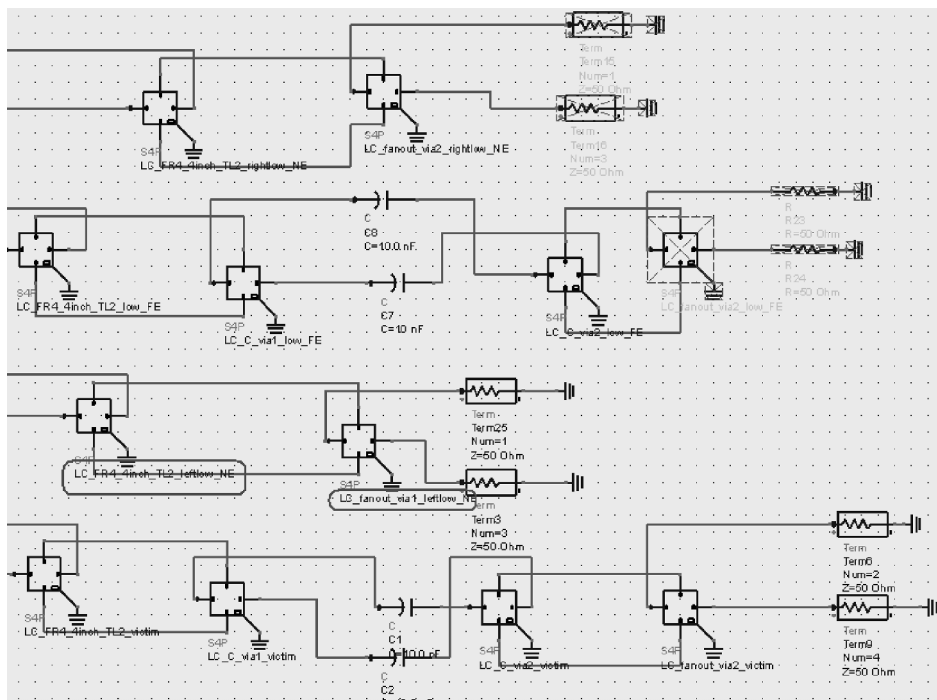


图 8-46 仿真左下方 TX 信号近端串扰时 Victim RX 端 Port 设置

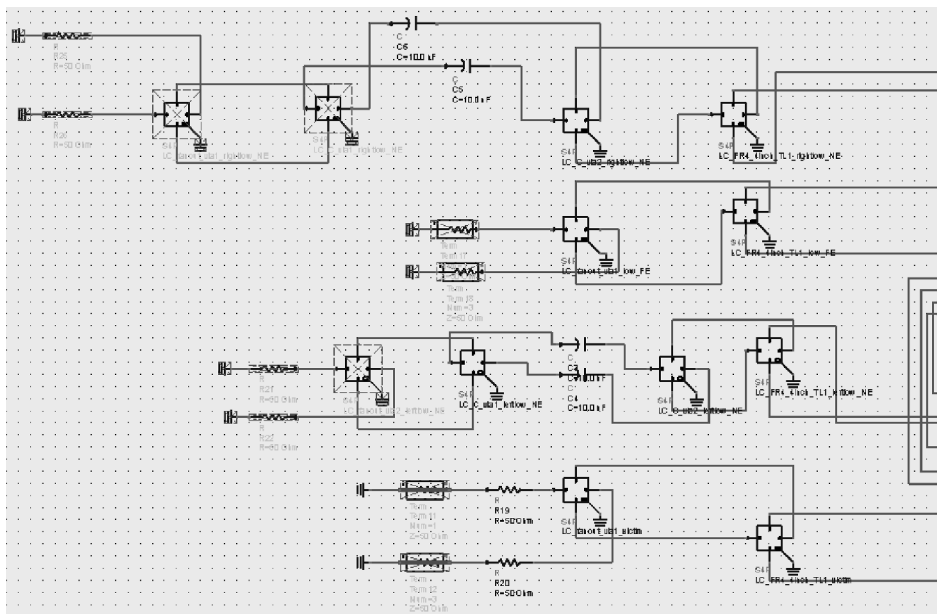


图 8-47 仿真左下方 TX 信号近端串扰时 Victim TX 端 Port 设置

者是 Victim TX 端的端口设置。仿真的运行以及仿真结果的后续处理同上半部分通道是一模一样的，这样由下半部分的通道仿真就得到了正下方及斜下方共 3 对差分干扰源的串扰数据，加上上半部分的 3 组，总共有 6 组串扰源数据，其中两对为远端串扰，4 对为近端串扰，将此 6 组数据全部存入标准 mask 的 Excel 中，如图 8-48 所示，第一列为频率点，后面几列依次为两个远端串扰源的串扰值和 4 个近端串扰源的串扰值，利用这些仿真得到的原始

数据，再根据图 8-32 中所给出的 ICR_{FIT} 的算法就可计算出 ICR_{FIT} 曲线以及 ICR_{max} 的模板，图 8-49 给出了两者的比较结果，不幸的是在 2.1GHz 以下的频率范围内， ICR 曲线落在了紫色区域内，即串扰不符合 10Gbase - KR 的要求。这就意味着如果依照仿真中所示的通道来进行实际的设计，串扰对信号的影响有可能导致在某些 Pin 的接收端信号质量没有保证，导致后续的通信数据不能正常传输或出现误码等。

	A	B	C	L	M	N	O
1	Fn (MHz)	FEXT1	FEXT2	NEXT1	NEXT2	NEXT3	NEXT4
2	100	-5.91E+01	-7.89E+01	-6.42E+01	-5.71E+01	-5.85E+01	-5.71E+01
3	110	-5.88E+01	-7.90E+01	-6.48E+01	-5.73E+01	-5.83E+01	-5.73E+01
4	120	-5.86E+01	-7.86E+01	-6.55E+01	-5.77E+01	-5.81E+01	-5.77E+01
5	130	-5.86E+01	-7.86E+01	-6.60E+01	-5.85E+01	-5.81E+01	-5.85E+01
6	140	-5.87E+01	-7.63E+01	-6.72E+01	-5.96E+01	-5.83E+01	-5.96E+01
7	150	-5.89E+01	-7.53E+01	-6.89E+01	-6.14E+01	-5.87E+01	-6.14E+01
8	160	-5.96E+01	-7.51E+01	-7.02E+01	-6.42E+01	-5.94E+01	-6.42E+01
9	170	-6.06E+01	-7.42E+01	-7.23E+01	-6.88E+01	-6.04E+01	-6.88E+01
10	180	-6.19E+01	-7.34E+01	-7.41E+01	-7.51E+01	-6.18E+01	-7.51E+01
11	190	-6.40E+01	-7.25E+01	-7.44E+01	-7.00E+01	-6.41E+01	-7.00E+01
12	200	-6.64E+01	-7.15E+01	-7.33E+01	-6.37E+01	-6.71E+01	-6.37E+01
13	210	-6.73E+01	-7.05E+01	-7.17E+01	-5.98E+01	-6.96E+01	-5.98E+01
14	220	-6.49E+01	-6.95E+01	-6.99E+01	-5.69E+01	-6.68E+01	-5.69E+01
15	230	-6.17E+01	-6.86E+01	-6.85E+01	-5.47E+01	-6.26E+01	-5.47E+01
16	240	-5.90E+01	-6.76E+01	-6.74E+01	-5.29E+01	-5.92E+01	-5.29E+01
17	250	-5.68E+01	-6.66E+01	-6.65E+01	-5.14E+01	-5.65E+01	-5.14E+01
18	260	-5.51E+01	-6.56E+01	-6.57E+01	-5.01E+01	-5.44E+01	-5.01E+01
19	270	-5.37E+01	-6.46E+01	-6.47E+01	-4.90E+01	-5.27E+01	-4.90E+01
20	280	-5.26E+01	-6.46E+01	-6.32E+01	-4.80E+01	-5.12E+01	-4.80E+01
21	290	-5.15E+01	-6.61E+01	-6.42E+01	-4.71E+01	-4.99E+01	-4.71E+01
22	300	-5.05E+01	-6.51E+01	-6.51E+01	-4.64E+01	-4.87E+01	-4.64E+01
23	310	-4.97E+01	-6.38E+01	-6.47E+01	-4.57E+01	-4.78E+01	-4.57E+01

图 8-48 Victim 周围 6 对串扰源的串扰值列表

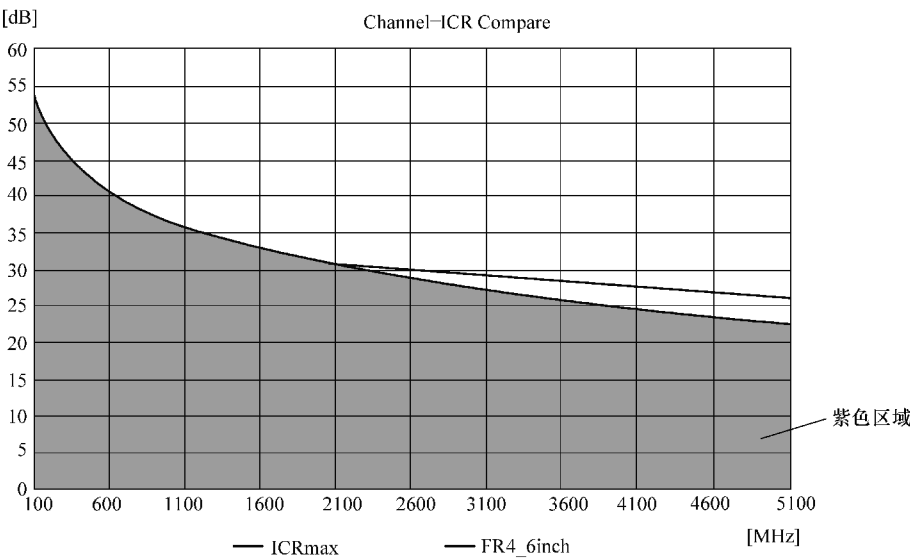


图 8-49 ICR_{FIT} 与标准 mask 的比较

如果是设计前的方案预演仿真，就需要根据仿真结果的好坏来进行参数的调整，并最终选取合理的方案及参数来进行产品设计，以保证设计的可行性并避免成本浪费。针对这里 ICR 不符合标准的情况，我们不妨来个简单的调整，试着改变一下 pin assignment，将原本的 6 对差分串扰源改为只有 3 对串扰源，其中 1 对为远端串扰，其余 2 对为近端串扰。调整后的串扰源数据如图 8-50 所示，图中只剩下 FEXT2、NEXT1 和 NEXT2，其他 3 对值均为 -8000dB ，即相当于不会对 Victim 有任何串扰的影响。改为 3 组串扰源后，相应的 ICR_{FIT} 曲线与 mask 比较如图 8-51 所示，相比于 6 对干扰源时的情况， ICR 有非常显著的好转， 2.1GHz 频率以下的低频范围内串扰也已经基本符合要求，达到了预期的改善目标。

A	B	C	L	M	N	O
F _n (MHz)	FEXT1	FEXT2	NEXT1	NEXT2	NEXT3	NEXT4
100	-8.00E+03	-7.89E+01	-6.42E+01	-5.71E+01	-8.00E+03	-8.00E+03
110	-8.00E+03	-7.90E+01	-6.48E+01	-5.73E+01	-8.00E+03	-8.00E+03
120	-8.00E+03	-7.86E+01	-6.55E+01	-5.77E+01	-8.00E+03	-8.00E+03
130	-8.00E+03	-7.86E+01	-6.60E+01	-5.85E+01	-8.00E+03	-8.00E+03
140	-8.00E+03	-7.63E+01	-6.72E+01	-5.96E+01	-8.00E+03	-8.00E+03
150	-8.00E+03	-7.53E+01	-6.89E+01	-6.14E+01	-8.00E+03	-8.00E+03
160	-8.00E+03	-7.51E+01	-7.02E+01	-6.42E+01	-8.00E+03	-8.00E+03
170	-8.00E+03	-7.42E+01	-7.23E+01	-6.88E+01	-8.00E+03	-8.00E+03
180	-8.00E+03	-7.34E+01	-7.41E+01	-7.51E+01	-8.00E+03	-8.00E+03
190	-8.00E+03	-7.25E+01	-7.44E+01	-7.00E+01	-8.00E+03	-8.00E+03
200	-8.00E+03	-7.15E+01	-7.33E+01	-6.37E+01	-8.00E+03	-8.00E+03
210	-8.00E+03	-7.05E+01	-7.17E+01	-5.98E+01	-8.00E+03	-8.00E+03
220	-8.00E+03	-6.95E+01	-6.99E+01	-5.63E+01	-8.00E+03	-8.00E+03
230	-8.00E+03	-6.86E+01	-6.85E+01	-5.47E+01	-8.00E+03	-8.00E+03
240	-8.00E+03	-6.76E+01	-6.74E+01	-5.29E+01	-8.00E+03	-8.00E+03
250	-8.00E+03	-6.66E+01	-6.65E+01	-5.14E+01	-8.00E+03	-8.00E+03
260	-8.00E+03	-6.56E+01	-6.57E+01	-5.01E+01	-8.00E+03	-8.00E+03
270	-8.00E+03	-6.46E+01	-6.47E+01	-4.90E+01	-8.00E+03	-8.00E+03
280	-8.00E+03	-6.46E+01	-6.32E+01	-4.80E+01	-8.00E+03	-8.00E+03
290	-8.00E+03	-6.61E+01	-6.42E+01	-4.71E+01	-8.00E+03	-8.00E+03
300	-8.00E+03	-6.51E+01	-6.51E+01	-4.64E+01	-8.00E+03	-8.00E+03
310	-8.00E+03	-6.38E+01	-6.47E+01	-4.57E+01	-8.00E+03	-8.00E+03

图 8-50 将 6 对串扰源减少为 3 对

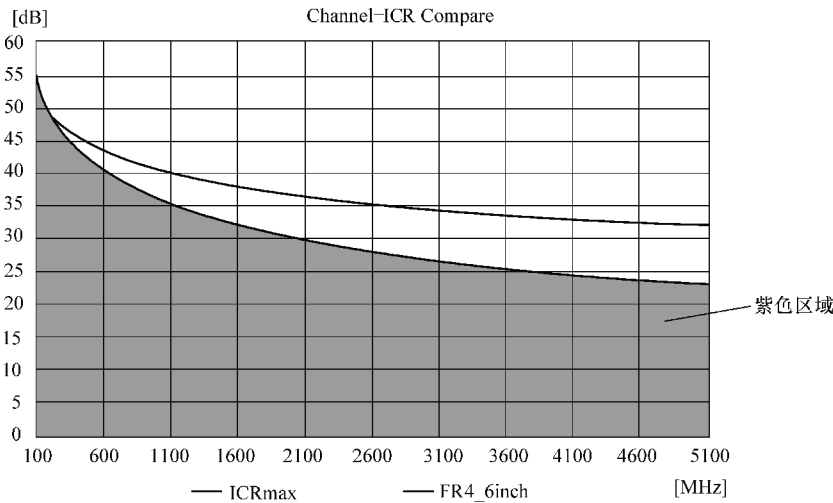


图 8-51 Victim 仅有 3 对串扰源的 ICR_{FIT} 与标准 mask 的比较

当然上面的调整方案仅仅是作为一个示例，直接将6对串扰源简单地减少为3对，这样可以非常明显地看到调整前后曲线的变化。然而这样的调整就意味着减少掉的3对串扰源改为Gnd信号，连接器上Gnd信号的增加就必然导致差分信号可用的Pin减少，即连接器及通道信号密度的减少，最终导致成本的增加，所以实际设计中直接减少串扰源的方法并不是很可行。

直接减少信号的Pin而改为Ground pin的做法虽然不太可行，然而调整pin assignment的确是一种可行而常用的方法。近端串扰和远端串扰对Victim信号的影响不尽相同，因而通过合理安排TX与RX的分布，将影响大的信号尽可能分布在有Gnd屏蔽的位置，这样能最大程度减小总的串扰影响。pin assignment的分布评估也是背板设计前仿真工作需要考虑的一个重要内容。同时调整pin assignment的方案，虽然会对传输线长度有一些影响，但改变很小，而且在不改变PCB材料的情况下，传输线长度的微小变化对通道的插入损耗和回波损耗的影响非常有限，因而对 $A(f)$ 、 $IL(f)$ 以及 $RL(f)$ 等参数影响很小，这样在整个设计只有ICR不符合要求时，调整pin assignment是一种行之有效的选择。除此之外，更换连接器也是常用方法之一，选用crosstalk更小的、屏蔽效果更好的连接器也能明显改善整个通道的串扰，而减小传输线之间的串扰无疑对整个通道串扰的减小也会有所贡献。

当然，通道的仿真结果也有可能是串扰达标但插入损耗过大，此时从传输线角度考虑，首先想到的可能就是减少传输线长度或增加传输线宽度，两种方法都可以减小通道损耗；然而有些情况下，受设计所遵循的标准限制，通道长度是无法改变的，或者也可能调整传输线参数后达不到预期的效果，那么采用损耗因子更小的PCB材料就成为一个不二选择，材料损耗因子 D_f 的大小对通道损耗的影响较为明显，且通道长度越长，影响越明显。下面通过仿真来演示一下不同PCB材料对通道损耗的影响，通道同样采用上面示例的通道并保持结构不变，只将背板上的传输线长度从前面的6in改为13in（背板上的最大线长），目的只是为了选用更长的通道以便大家能看到更明显的区别。改变背板传输线长度后整个通道的长度大约为 $4\text{in} + 13\text{in} + 4\text{in} = 21\text{in}$ 。所用PCB材料分别为常用的FR4，其介电常数为3.8，介质损耗因子 $D_f = 0.02$ ；Megtron4介电常数 $D_k = 3.8$ ，介质损耗因子 $D_f = 0.005@1\text{GHz}$ ；另一种Rogers 4350B介电常数 $D_k = 3.5$ ，介质损耗因子 $D_f = 0.003@1\text{GHz}$ 。图8-52 ~ 图8-55是通

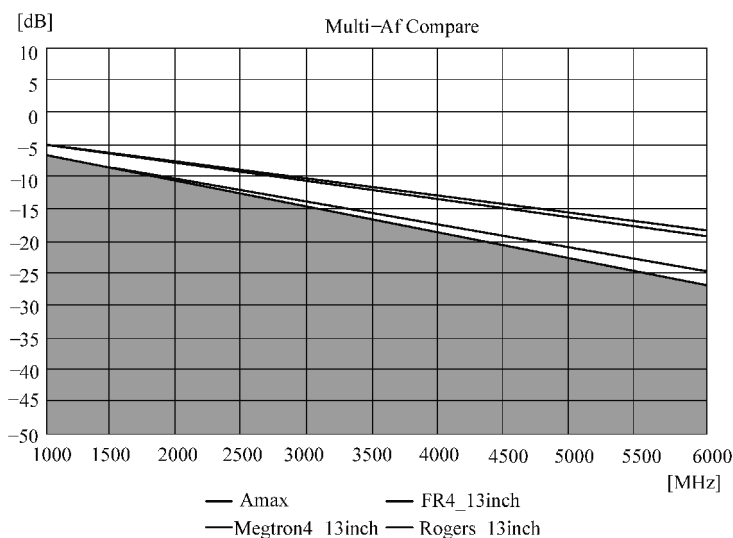


图8-52 不同PCB材料的通道 $A(f)$ 与标准mask的比较

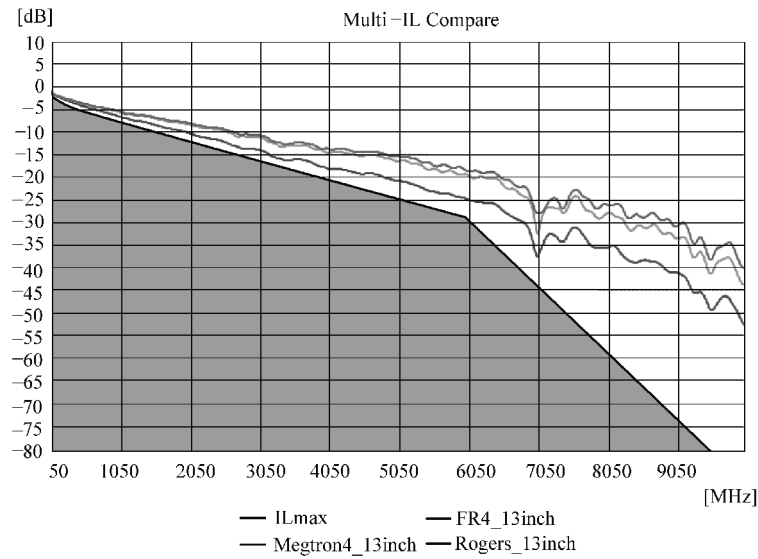


图 8-53 不同 PCB 材料的通道 $IL(f)$ 与标准 mask 的比较

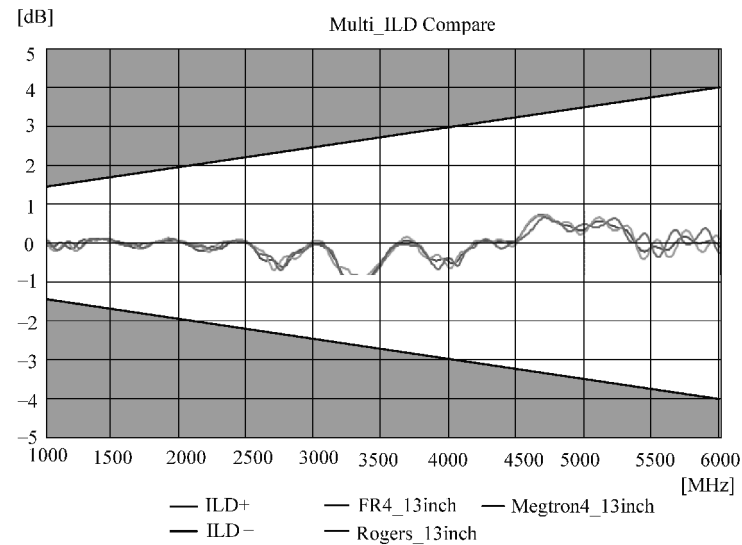
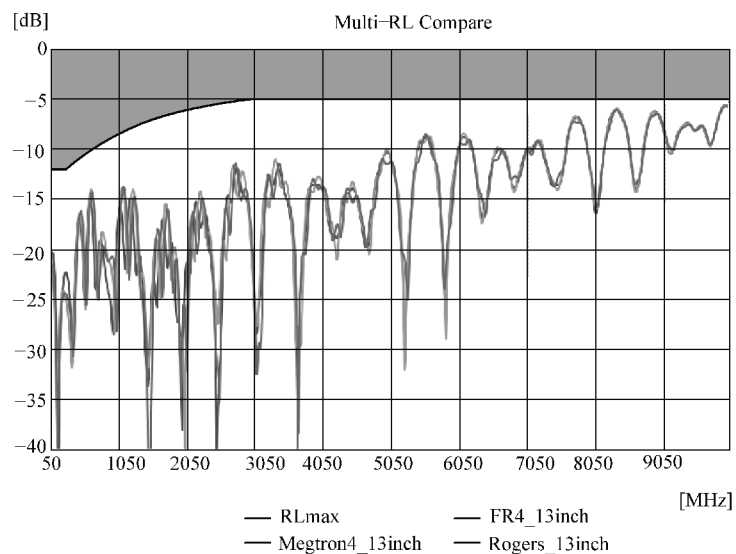


图 8-54 不同 PCB 材料的通道 $ILD(f)$ 与标准 mask 的比较

道的 $A(f)$ 、 $IL(f)$ 、 $ILD(f)$ 以及 $RL(f)$ 的仿真结果，从中可以看出，介质损耗因子最小的 Rogers 材料插入损耗最小，Metron4 比 Rogers 稍大一些，但两者都明显好于 FR4，FR4 材质的通道虽然也满足了 mask 的要求，但可以看到其拟合曲线紧贴着 mask 曲线，预留的设计 margin 非常小，改用其他两种材料显然可以留出更大的 margin，让整个设计的性能更有保证。

总之，通道仿真的目的就是根据仿真结果，了解通道的传输性能哪些方面不满足要求或者虽然满足了设计要求，但与标准 mask 曲线间的裕量非常小，存在潜在的设计风险，然后

图 8-55 不同 PCB 材料的通道 $RL(f)$ 与标准 mask 的比较

选择各种不同的方法来提升这些性能，以保证最后通道的各项指标都符合标准且有一定的设计误差裕量，从而为设计的成功实施提供一个有力的保证。

第9章 PCB 材料的研究

前面几章，我们主要着重于仿真模型和仿真实例的介绍，本章我们会对 PCB 材料做一些介绍。可能大家会觉得奇怪，PCB 材料和高速电路仿真有什么关系呢？以前也许关系是不大，在电路设计时选用行业内普遍通用的 PCB 材料就可以了，不会出什么大问题。但是随着电子信息技术的飞速发展，信号传输速率越来越高，高速 PCB 设计已经成为电子产品开发过程中的一个重要环节。在高速系统设计中，PCB 的好坏直接关系到系统性能的好坏乃至系统功能的实现。在设计 PCB 时，除了要有好的叠层结构、合理的元器件布局、完美的接地、正确的 PCB 布线，选用什么样的 PCB 材料也越来越讲究。就像一辆法拉利跑车，跑在高速公路上还是跑在一般的小马路上，效果是完全不一样的。

PCB 材料多种多样，不同的电子产品所适用的 PCB 材料也会有所不同。本章着重介绍应用于通信行业的高频 PCB 材料。

9.1 PCB 概述

PCB 是英文 Printed Circuit Board 的缩写，中文名称是印制电路板（俗称印刷线路板或印刷电路板）。图 9-1 所示是 PCB 的构造雏形，它是用金属箔切割成电路导体，然后将它黏在石蜡纸上，最后在上面再黏一层石蜡纸制造而成的。1903 年 Mr. Albert Hanson（阿尔伯特·汉森）第一个想到将这个概念应用于电话交换机系统上。

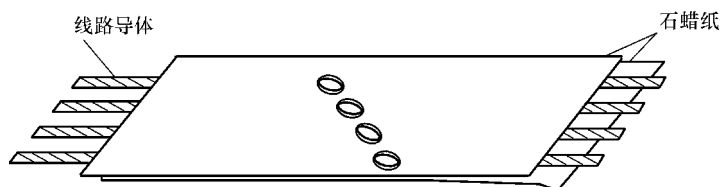


图 9-1 PCB 的构造雏形

到 1936 年，Dr Paul Eisner（保罗·艾斯纳）真正发明了 PCB 的制作技术，同时他也获得了多项专利。现在广泛应用的 print - etch “图形转移技术（photoimage transfer）”，就是沿袭其发明而来的。

PCB 在整个电子产品中扮演了非常重要的角色，电子元器件（电阻、电容、电感、连接器、各种芯片等）被安装在 PCB 上面，然后又通过它实现各元器件之间的电气互连。所以当电子产品的功能出现故障时，最先被怀疑的往往就是 PCB。

不同的电子产品或者不同的场合，对 PCB 的要求也各不相同。为了满足这些不同，PCB 在材料、层数、制程上呈现出了多样化。这就导致 PCB 的种类划分很多，以下是一些比较通用的区分方法。

1. 按材料分类

- 1) 有机材料：酚醛树脂、玻璃纤维/环氧树脂、聚酰亚胺、BT 等。
- 2) 无机材料：铝基板、铜基板、陶瓷基板等，这些材料散热能力比较好。

2. 按成品软硬分类

刚性板（Rigid）PCB、挠性板（Flexible，见图 9-2）PCB、刚挠结合板（Rigid - Flex，见图 9-3）PCB。

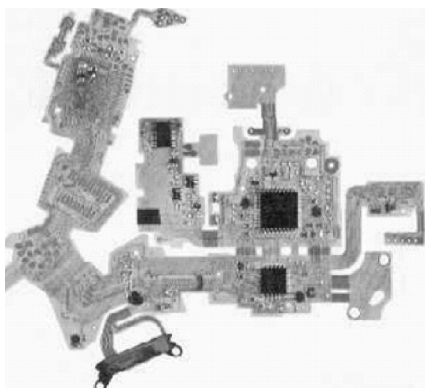


图 9-2 挠性板

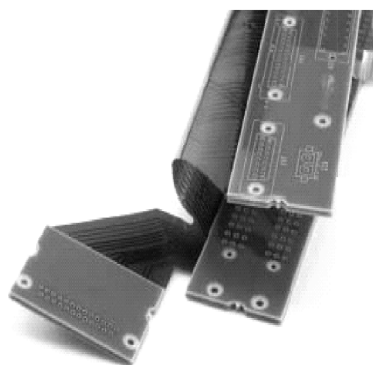


图 9-3 刚挠结合板

3. 按层次分类

单面板、双面板、多层板。

通信行业一般都用刚性多层板，根据板子的功能和复杂程度，可以从几层到几十层不等。

9.2 PCB 材料基础知识

看到这里，大家会不会很好奇 PCB 到底是用哪些材料制作而成？下面就来给大家揭开庐山真面目。

9.2.1 PCB 原材料介绍

图 9-4 所示是一个四层 PCB 的基材组成，除了铜箔、半固化片、覆铜板以外，PCB 的主要原材料还有干膜、阻焊、字符等。这里重点介绍一下覆铜板、半固化片、铜箔。



图 9-4 四层 PCB 的基材组成

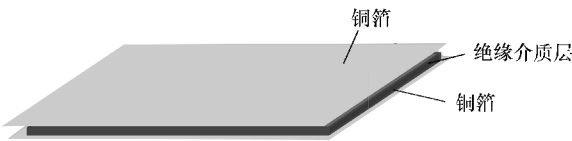


图 9-5 覆铜板

1. 覆铜板（见图 9-5）

覆铜板（Copper Clad Laminate, CCL），它是由木浆纸或玻璃纤维布等作增强材料，浸以树脂，一面或两面覆以铜箔经热压而成的一种板状材料，也称为覆铜箔层压板。它是组成 PCB 的基本材料，当它用于多层板生产时，也叫芯板（Core）。

下面是一些常用的覆铜板：

- 1) FR-1——酚醛棉纸，通称电木板（比 FR-2 较高经济性）；
- 2) FR-2——酚醛棉纸；
- 3) FR-3——棉纸（Cotton paper）、环氧树脂；
- 4) FR-4——玻璃布（Woven glass）、环氧树脂；
- 5) FR-5——玻璃布、环氧树脂；
- 6) FR-6——毛面玻璃、聚酯；
- 7) G-10——玻璃布、环氧树脂；
- 8) CEM-1——棉纸、环氧树脂（阻燃）；
- 9) CEM-2——棉纸、环氧树脂（非阻燃）；
- 10) CEM-3——玻璃布、环氧树脂；
- 11) CEM-4——玻璃布、环氧树脂；
- 12) CEM-5——玻璃布、多元酯；
- 13) AlN——氮化铝；
- 14) SiC——碳化硅。

PCB 基材分类见表 9-1。

表 9-1 PCB 基材分类

基板种类	等级代号	材料组成	特点	用途
纸基板	XPC	酚醛树脂/浸渍纤维纸	经济型、不阻燃	主要适用于消费品电子产品市场，比如电子玩具、电视机、收音机、计算器等常温、常湿条件下工作的产品
	XXPC	改性酚醛树脂/浸渍纤维纸	高电性能、不阻燃	
	FR-1	阻燃酚醛树脂/浸渍纤维纸	经济型、阻燃性稍高	
	FR-2	阻燃改性酚醛树脂/浸渍纤维纸	高电性能、阻燃	
	FR-3	环氧树脂/浸渍纤维纸	性能优于 FR-2	

(续)

基板种类	等级代号	材料组成	特点	用途
玻璃布基板	FR-4	环氧树脂/玻璃布	抗挠强度与抗撞强度好	应用范围广泛，基本涉及所有领域
			耐电性能极佳	
			非常适合 PTH 制作	
	FR-5	改良型环氧树脂/玻璃布	高温抗挠强度优于 FR-4	
			耐电性能极佳	
复合基板	CEM-1	环氧树脂+纸芯	可在室温中冲切	适用于游戏机、民用测量仪器、电源板等产品
			抗挠、抗撞性能强	
			耐电性能好	
	CEM-3	环氧树脂+玻纤纸	可在室温中冲切但比 CEM-1 硬	适用于电脑周边产品、洗衣机、空调、汽车电子产品等
			抗挠、抗撞性能强	
			耐电性能好	
HDI 板	RCC	电解铜箔（厚度 $\leq 18\mu\text{m}$ ）粗化面上涂覆一层或两层高性能树脂	高精度、高密度化	广泛应用于手机、数码产品、笔记本电脑、汽车电子等
特殊基材	Al 基、Fe 基陶瓷基等	绝缘层主要为环氧树脂，增强材料为金属基板、陶瓷基板等	散热性能高	主要应用于工业电源设备、音频放大器、交换器开关、功率电源模块、摩托车点火器等装置中
			力学性能好	
			电磁屏蔽性能好	
			热膨胀性能好	
			成本昂贵	
			加工困难	

结合表 9-1，解释一下 PCB 材料的分类：

1) 按增强材料不同可以分为纸基板（FR-1、FR-2、FR-3、XPC、XXPC）、环氧玻纤布基板（FR-4、FR-5、G-10、G-11）、复合基板（CEM-1、CEM-3）、HDI 板材（RCC）、特殊基材（金属类基材、陶瓷类基材、热塑性基材等）。

2) 按树脂不同可以分为酚醛树脂板、环氧树脂板、聚酯树脂板（PET）、双马来酰亚胺三嗪树脂板（BT）、PI 树脂板（聚酰亚胺）。

3) 按阻燃性能来分可以分为阻燃型（UL94-V0 级 > UL94-V1 级 > UL94-V2 级）与非阻燃型（UL94-HB 级）。

2. 半固化片（见图 9-6）

半固化片也叫“PP 片”，在多层 PCB 的生产过程中，它也扮演了重要的角色，是不可或缺的主要材料之一。半固化片主要由树脂和增强材料组成，前面已经介绍过增强材料又分为玻纤布、纸基、复合材料等类型，而制作多层 PCB 所使用的半固化片大多是采用玻纤布作增强材料的。经过处理的玻璃纤维布浸以树脂，再经过热处理（预烘）使树脂进入 B 阶段（“B”阶是指高分子物已经相当部分关联，但此时物料仍然处于可溶、可熔状态），这个时候制成的薄片材料就是半固化片。它在加热加压下会软化，冷却后会反应固化。



图 9-6 半固化片

3. 铜箔

按照铜箔的不同制造方法可分为压延铜箔（Rolled Copper Foil）和电解铜箔（Electrodeposited Copper Foil）两大类。

压延铜箔是将纯铜经过压延，制成厚度大概是 2mm 的薄板，然后再经过酸洗、去油、表面处理压延等工序，制作成厚度小于 0.1mm 的铜箔。铜箔两面都是光滑的，对基材的附着力比较差。另外，由于压延加工工艺的限制，它的宽度很难满足刚性覆铜板的要求，所以压延铜箔基本都用于挠性覆铜板。

电解铜箔（见图 9-7）是将铜先配成电解液，再在专用的电解设备中将硫酸铜电解液在直流电的作用下进行电化学反应，铜离子析出，形成铜箔。电解铜箔的两个表面，一面光滑，称为光面（Drum Side），另一面是粗糙的结晶面，称为毛面（Matte Side），双面粗糙度不同，较粗糙的一面处理后可以和树脂产生较强的接合力。

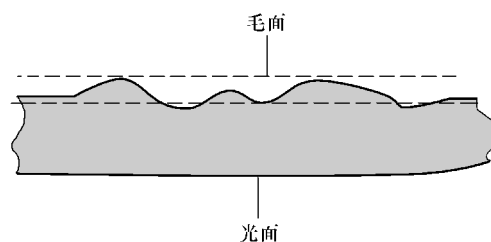


图 9-7 电解铜箔

随着电子产品的传输频率越来越高，传输速率越来越快，趋肤效应越来越明显。铜箔毛面和光面的粗糙度也成为了影响信号完整性的一个关键因素。

9.2.2 PCB 材料主要参数介绍

通过上一节的学习，我们已经了解 PCB 的原材料有哪些、它们是怎么分类的、不同材料的特点以及应用场合，而本节会对 PCB 材料的一些主要参数做一些介绍。在这些参数中，和仿真有直接关系的是 D_k 和 D_f 。

1. 介电常数 D_k

介电常数 D_k ，有些地方也用 ε_r 表示。在两极间充以某种物质时电容器的电容与同样构造的两极间是真空时电容器的电容之比，就是介电常数 D_k ：

$$D_k = \frac{C}{C_0} = \frac{Q}{Q_0} \quad (9-1)$$

式中， D_k 是介电常数； C_0 是两块电容极板之间为真空时测的电容； C 是两块电容极板之间加入电介质后测的电容； Q_0 是两块电容极板之间为真空时的电荷值； Q 是两块电容极板之间加入电介质后的电荷值。

平行板电容器上的电荷如图 9-8 所示。

从介电常数的定义可知，电介质的极化程度越高，则其电荷 Q 值越高，即 D_k 越高，说明 D_k 是衡量电介质极化程度的宏观物理量，表征电介质存储电荷能力的大小。为什么当 D_k 值大时，电路中电信号传输速度就会变低？PCB 上电信号的电流方向通常是正负交替变化的，相当于对基板进行不断充电、放电的过程。 D_k 值越大，表示电荷 Q 值越高，电介质储存电能能力越大，充、放电过程就会变慢，从而使电信号的传输速度变低，而这种影响在高速电路中显得更为重要。所以，在高频传输中，要求介电常数低。 D_k 低表示存储能力小，充、放电过程就快，从而使传输速度加快。

下列公式说明了介电常数、传播速度和传播延迟之间的关系：

$$v = \frac{c}{\sqrt{D_k}} \quad (9-2)$$

$$P_D = 1/v = \frac{\sqrt{D_k}}{c} \quad (9-3)$$

$$T_D = \frac{x \sqrt{D_k}}{c} \quad (9-4)$$

式中， v 是传播速度，单位是 m/s； c 是真空中光速，即 3×10^8 m/s； D_k 是介电常数； P_D 是传播延迟，单位是 s/m； T_D 是信号通过长度为 x 的传输线所产生的时延； x 是传输线长度，单位是 m。

需要注意的一点是，上面公式成立的一个条件是 $\mu_r = 1$ ，这意味着公式中不考虑磁性物质的影响。

从式 (9-2) 中我们可以看出，信号的传播速度与介电常数的二次方根成反比，介电常数越大，信号传播得越慢。

2. 介质损耗因数（或者叫损耗因子，介质损耗角正切） D_f

介质损耗因数 D_f ，有些地方也用 $\tan\delta$ 表示。 D_f 通常被定义为绝缘材料或电介质在交变电场作用下由于介质电导和介质极化的滞后效应，使电介质内流过的电流相量和电压相量之间产生一定的相位差，即形成一定的相角，此相角的正切值即损耗因数 D_f ，由介质电导和介质极化的滞后效应引起的能量损耗叫做介质损耗。也就是说， D_f 越高，介质电导和介质

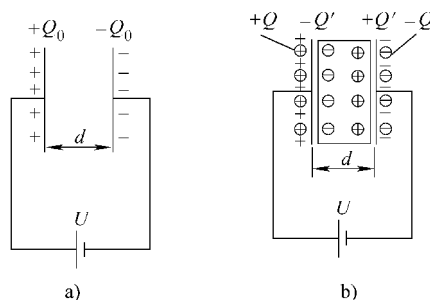


图 9-8 平行板电容器上的电荷
a) 板间真空 b) 板间有电介质

极化滞后效应越明显, 电能损耗或信号损失越多, 是电介质损耗电能能力的表征物理量, 也是绝缘材料损失信号能力的表征物理量。

其物理意义如下:

$$\tan\delta = \frac{\text{每个周期内介质损耗的能量}}{\text{每个周期内介质存储的能量}} \quad (9-5)$$

以前信号频率都不高, 一般性的 FR-4 材料就能满足需求。但是随着电子技术的迅速发展、信息处理和信息传播速度的提高、应用频率越来越高, PCB 基板材料的性能越来越不能被忽视, 尤其是 D_k 和 D_f 。为了提升产品的性能, 要求基板材料具有较低的介电常数 D_k 和低介电损耗因数 D_f 。因为只有降低 D_k 才能获得高的信号传播速度, 也只有降低 D_f , 才能减少信号传播损失。

3. 玻璃态转化温度 T_g

T_g 是玻璃态转化温度, 玻璃态物质在玻璃态和高弹态之间相互转化的温度。也就是说当温度升高到一定值时, PCB 板材就会由“玻璃态”转变为“橡胶态”, 此时的温度就称为该板的玻璃态转化温度 (T_g)。一般 T_g 的板材为 130°C 以上, 中等 T_g 约大于 150°C , 高 T_g 一般大于 170°C 。基板的 T_g 越高, 印制电路板的耐热性、耐潮湿性、耐化学性、耐稳定性等性能就越好。在无铅制程中, 高 T_g 应用比较多。

图 9-9 所示是某 PCB 材料的 T_g 测试结果, 从测试曲线可以看出, $T_g = 194.06^\circ\text{C}$, 满足标准 (使用的标准是 IPC-TM-650: 2.4.25, $T_g > 190^\circ\text{C}$)。

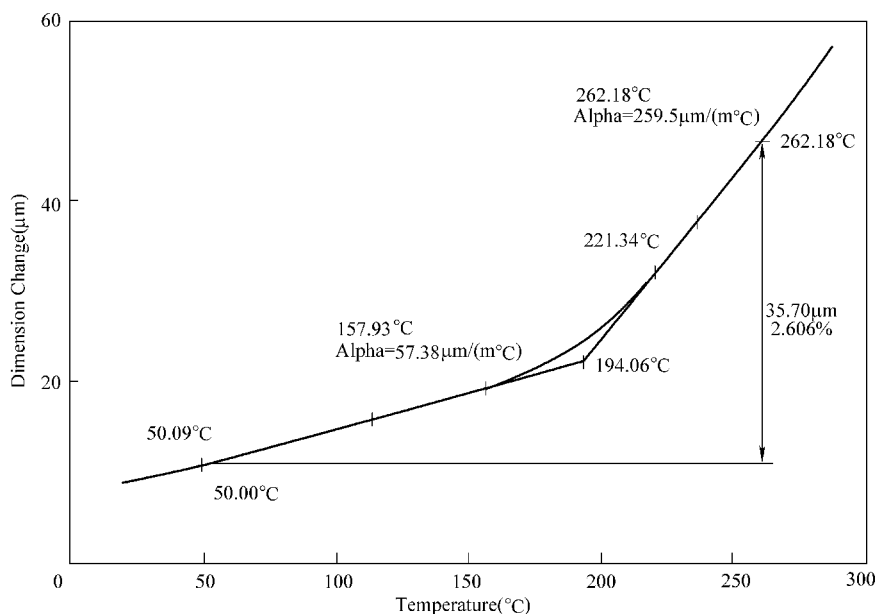


图 9-9 T_g 测试结果

4. 热膨胀系数 (CTE)

随着印制电路板精密化、多层化以及 BGA、CSP 等技术的发展, 对覆铜板尺寸的稳定性提出了更高的要求。覆铜板的尺寸稳定性虽然和生产工艺有关, 但主要还是取决于构成覆铜板的 3 种原材料: 树脂、增强材料、铜箔。通常采取的方法如下: ①对树脂进行改性, 如改性环氧树脂; ②降低树脂的含量比例, 但这样会降低基板的电绝缘性能和化学性能。

图 9-10 和图 9-11 所示是某 PCB 材料的 CTE 测试结果。

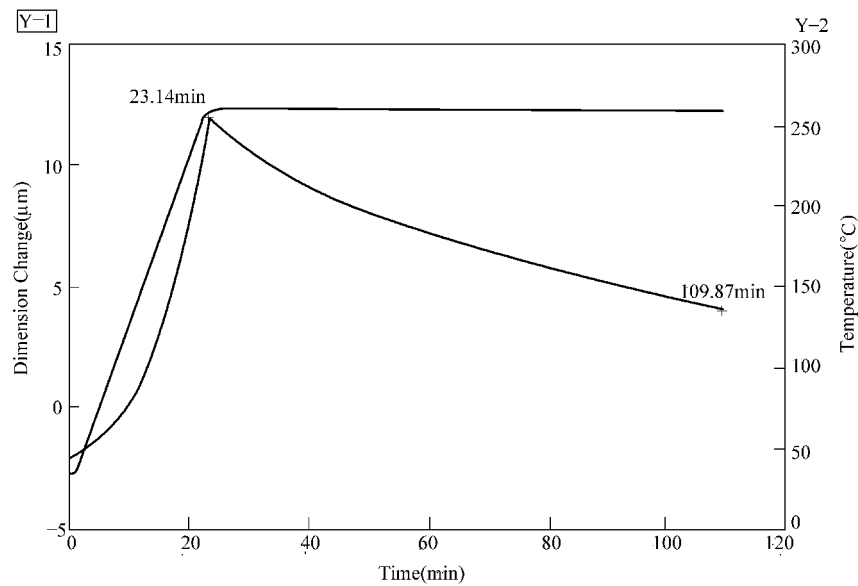


图 9-10 T260 测试

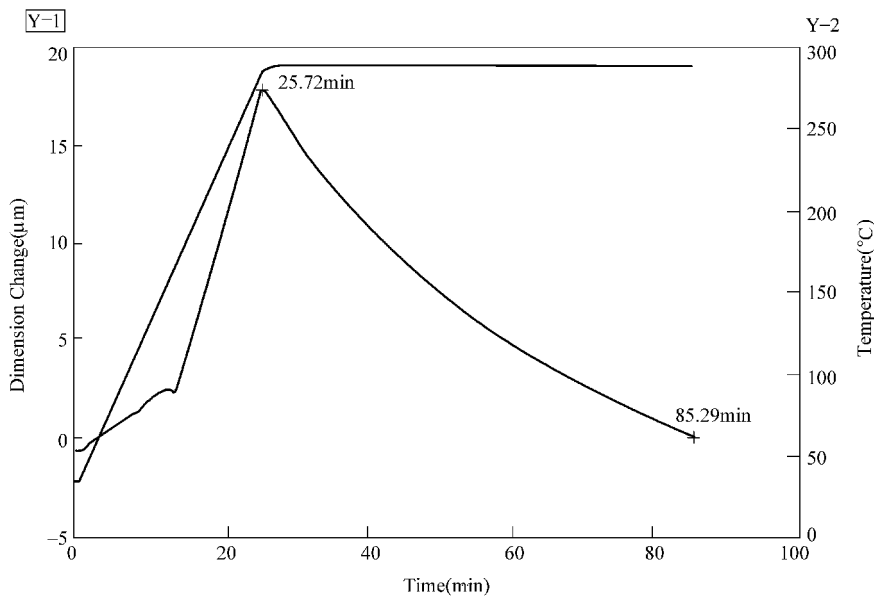


图 9-11 T288 测试

对于 PCB 材料来说，在高速电路仿真中，与之相关的也主要是 D_k 和 D_f 这两个参数，我们要根据产品的需求来选择 PCB 材料。图 9-12 所示是某 PCB 厂根据 D_f 值做的材料分类，表 9-2 是一些高频 PCB 材料的参数集合，仅供参考。

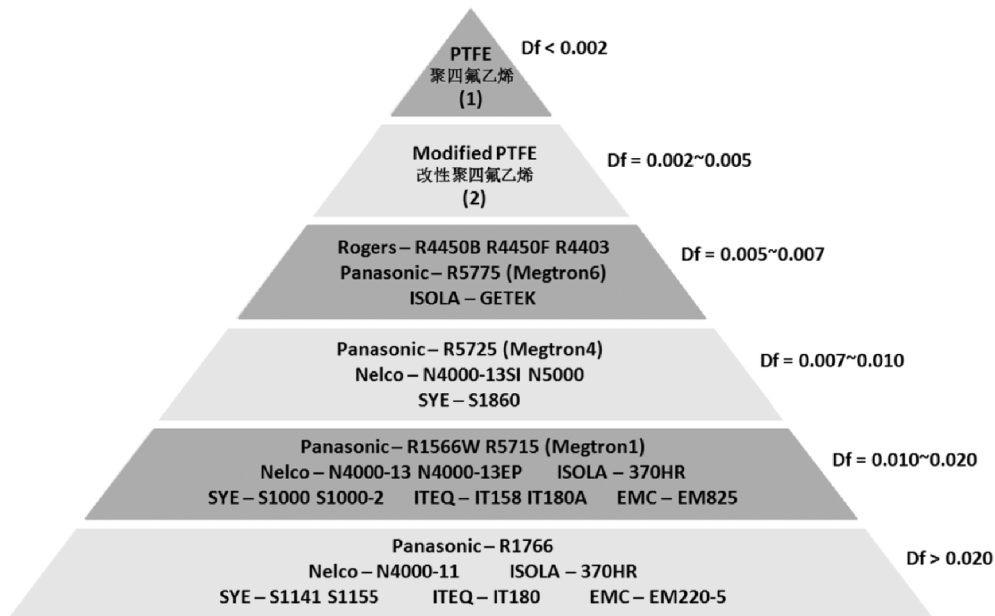


图 9-12 PCB 材料分类

注：1. Rogers – R5880 R3003 R6002 R6010
Arlon – Dielad880 Dielad527 CLTE AD255
Nelco – NX9320 NY9217 NX9255 NX9260
TACONIC – TLY – 5 TLY – 5A RF35 RF35A
2. Rogers – R4350B R4003 R3001
TACONIC – HT1. 5 TLX – 7 TLX – 8 TLX – 9 RF60A TLC – 32
Arlon – Cuclad6700 AD600 AD410L AD350 AD350A 49N 25FR 25N
Nelco – NH9300 NX9300 NX9300 – 13RF NX9320 – 13RF

表 9-2 高频 PCB 材料的参数集合

供应商	型号	介质层材料	D_k @ 1GHz	D_f @ 1GHz	Z-CTE (< T_g) /($\times 10^{-6}$ /°C)	Z-CTE (> T_g) /($\times 10^{-6}$ /°C)	吸湿性 (%)	T_g (DSC) /°C	T-260 /min	T-288 /min
Nelco	N4000-13	改性 FR-4	3. 8	0. 009	50 ~ 70	300 ~ 350	0. 2 ~ 0. 3	210	30	0
Nelco	N4000-13EP	改性 FR-4	3. 8	0. 009	50 ~ 60	270 ~ 300	0. 15 ~ 0. 25	210	30	0
Nelco	N4000-13SI	改性 FR-4	3. 3	0. 008	50 ~ 70	300 ~ 350	0. 2 ~ 0. 3	210	30	0
Nelco	N4000-13EPSI	改性 FR-4	3. 3	0. 008	50 ~ 70	300 ~ 350	0. 2 ~ 0. 3	210	30	0
松下	Megtron4 (R5725)	PPO	3. 8	0. 005	30 ~ 40	200 ~ 250	0. 05 ~ 0. 1	175	60	30
松下	Megtron6 (R5775)	PPO	3. 7	0. 002	30 ~ 40	200 ~ 250	0. 05 ~ 0. 1	185	120	60
联茂	IT150D	改性 FR-4	3. 6	0. 008	40 ~ 50	240 ~ 270	0. 1 ~ 0. 15	150	60	30
联茂	IT200LK	改性 FR-4	4	0. 009	40 ~ 50	240 ~ 270	0. 1 ~ 0. 15	200	60	30

(续)

供应商	型号	介质层材料	D_k @ 1GHz	D_f @ 1GHz	Z-CTE ($< T_g$) /($\times 10^{-6}$ /°C)	Z-CTE ($> T_g$) /($\times 10^{-6}$ /°C)	吸湿性 (%)	T_g (DSC) /°C	T-260 /min	T-288 /min
生益	S1860	改性 FR-4	3.6	0.008	40 ~ 60	270 ~ 300	0.2 ~ 0.3	210	60	10
ISOLA	IS680	改性 FR-4	3.45	0.0025	40 ~ 50	220 ~ 250	0.05 ~ 0.1	200	60	60
ISOLA	FR408HR	改性 FR-4	3.7	0.009	40 ~ 50	230 ~ 270	0.05 ~ 0.1	200	60	30
EMC	EM828	改性 FR-4	4	0.008	40 ~ 50	230 ~ 270	0.06 ~ 0.1	170	60	30
台耀	TU872	改性 FR-4	4	0.008	40 ~ 50	230 ~ 270	0.06 ~ 0.1	170	60	30
Rogers	Theta	改性 FR-4	3.9	0.008	40 ~ 50	230 ~ 270	0.06 ~ 0.1	170	60	30
ISOLA	FR408	改性 FR-4	3.8	0.011	50 ~ 70	300 ~ 350	0.1 ~ 0.15	180	30	10
Arlon	25FR	陶瓷碳氢化合物	3.58 (10G)	0.0035 (10G)	40 ~ 50	220 ~ 250	0.05 ~ 0.1	170	30	10
Rogers	Rogers4003C	玻璃纤维强化碳 氢化合物/陶瓷基	3.4	0.0027	30 ~ 50	150 ~ 200	0.06%	>280	60	10
Rogers	Rogers4350B	玻璃纤维强化碳 氢化合物/陶瓷基	3.5	0.0037	30 ~ 50	150 ~ 200	0.06%	>280	60	10
Rogers	Rogers4403	玻璃纤维强化碳 氢化合物/陶瓷基	3.2	0.005	30 ~ 50	150 ~ 200	0.05%	>280	60	10
Rogers	Rogers4450B (4mil)	玻璃纤维强化碳 氢化合物/陶瓷基	3.5	0.004	30 ~ 50	150 ~ 200	0.05%	>280	60	10
Rogers	Rogers4450B (3.6mil)	玻璃纤维强化碳 氢化合物/陶瓷基	3.3	0.004	30 ~ 50	150 ~ 200	0.10%	>280	60	10
Rogers	Rogers4450F	玻璃纤维强化碳 氢化合物/陶瓷基	3.5	0.004	30 ~ 50	150 ~ 200	0.09%	>280	60	10
Arlon	33N	聚酰亚胺树脂	3.8	0.01	30 ~ 50	150 ~ 200	0.21%	>250	60	20
Nelco	N7000-2V0	聚酰亚胺树脂	3.8	0.01	30 ~ 50	150 ~ 200	0.32%	>250	60	20

9.3 PCB 纤维织纹效应

如今在高速数字电路设计中，人们越来越多地使用差分信号进行布线。这是因为并行总线结构在高速信号上的局限性，所以在高速电路中，人们已经放弃了并行总线的总线结构，转而选择差分信号传输串行总线结构，比如高速串行接口 PCI-E、XAUI、CEI 等都利用差分信号来传输数据。

什么是差分信号？我们来打个比方。差分信号就好像是跷跷板上的两个人，假设这两个人体重一样，当他们还没开始跷的时候，位置保持水平，相当于零；当其中一个人被跷上去的时候，另外一个人就被跷下来，跷上去的那个就相当于正值，跷下去的那个就是负值，但是他们之间的平均位置是不变的。也就是说，差分信号就是在两根线上传输的幅度相等、相位相反的信号。

差分信号和普通的单端信号走线相比有以下优点：因为两根差分走线之间的耦合很好，当外界存在噪声干扰时，几乎是同时被耦合到两条线上，而接收端我们需要的只是两个信号的差值，在将两个信号做减法运算以后外界的共模噪声可以被完全抵消，抗噪声性能好；两根信号的极性相反，处于两根线之外的电磁场可以相互抵消，线距越近，泄放到外界的电磁能量越少，抑制 EMI 效果越好。

图 9-13 所示是一个典型的用差分对连接驱动端和接收端的点对点拓扑结构。

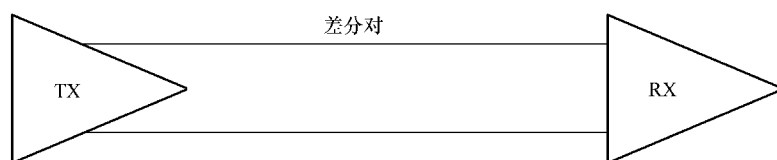


图 9-13 点对点拓扑结构

图 9-14 所示是一对差分线的示意图，绿色部分是参考平面，红色部分是差分走线。 V_1 和 V_2 是走线 1 和走线 2 的单端电压， V_{diff} 就是两个信号线之间的差分电压。

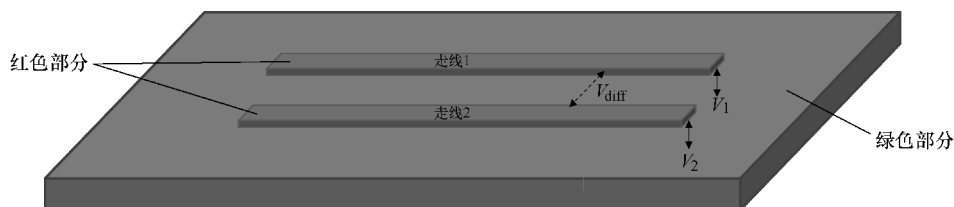


图 9-14 差分线示意图

其中

$$V_{\text{diff}} = V_1 - V_2$$

$$V_{\text{common}} = (V_1 + V_2) / 2 \quad (\text{共模电压})$$

$$V_1 = V_{\text{common}} + 1/2 V_{\text{diff}}$$

$$V_2 = V_{\text{common}} - 1/2 V_{\text{diff}}$$

图 9-15 所示是一对差分信号的波形示例。

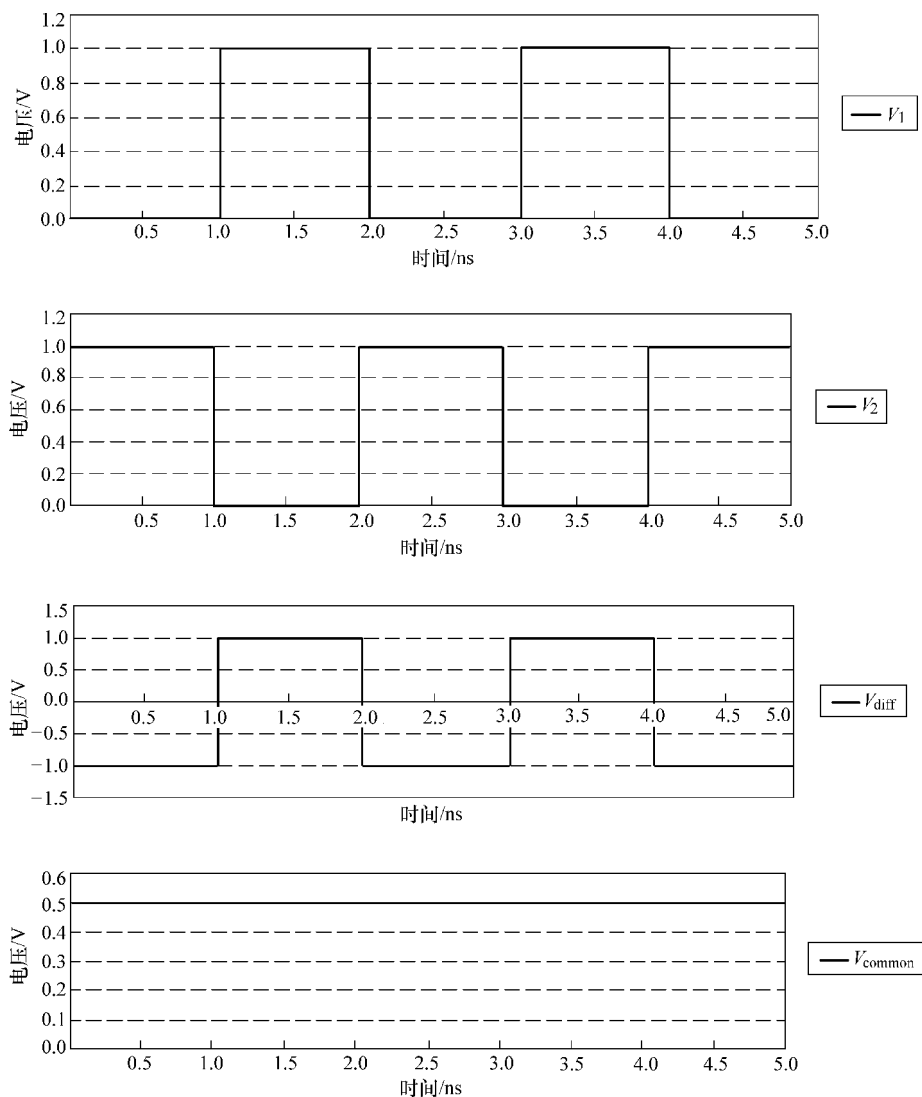


图 9-15 对差分信号的波形示例

看到这里可能有人会觉得疑惑：这节的主题是纤维织纹效应（FiberWeaveEffect），但是为什么前面一直在介绍差分信号呢？差分信号和纤维织纹效应究竟有什么关系？在回答这个问题之前，我们先来看看什么是玻璃纤维布（简称玻纤布）。

玻纤布的种类有很多，但是本质上，玻纤布织造技术是一样的。经纱决定布匹的长度，纬纱决定布匹的宽度。图 9-16 展示了 6 种比较典型的玻纤布。

玻纤布的类型主要取决于玻璃纤维的厚度、间距、经纱、纬纱和玻璃纤维束的数量等。表 9-3 列出了 7 种典型玻纤布的一些特性参数。

图 9-17 所示是一块 12 层 PCB 的层叠结构（Stack-up），从图中我们可以看到，PCB 是由铜箔、半固化片和芯板压制而成的。

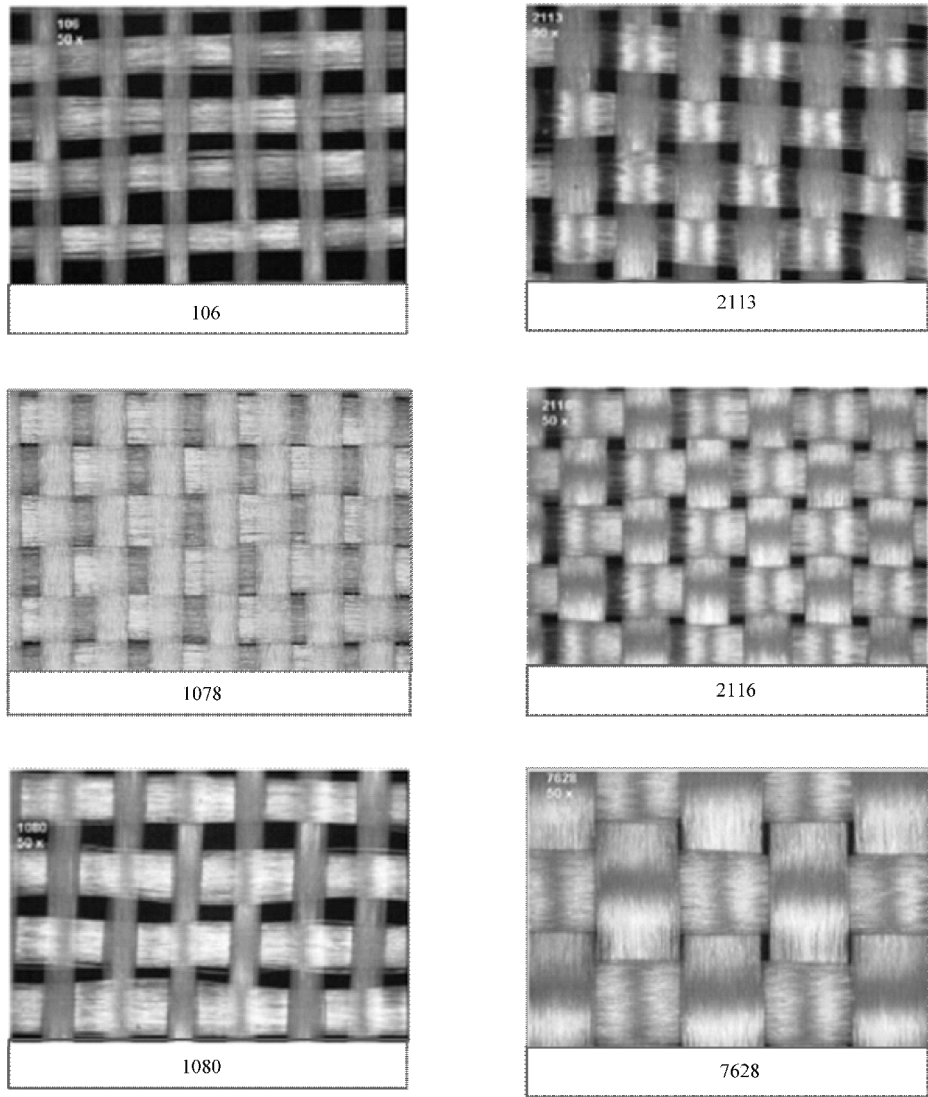


图 9-16 6 种典型的玻纤布

表 9-3 典型玻纤布特性参数

玻纤布类型	织物经纬密度		树脂含量 (%)	厚度/mm
	经纱	纬纱		
106	56	56	69 ~ 80	0.033
1067	70	70	64 ~ 75	0.035
1078	54	54	60 ~ 70	0.043
1080	60	47	60 ~ 70	0.053
2113	60	56	50 ~ 63	0.079
2116	60	58	47 ~ 60	0.094
7628	44	31	43 ~ 53	0.173

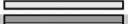
板卡厚度: 2.000+/- .200mm			
层叠图示	层标识	介质厚度 (mil/mm)	铜厚度 (oz)
	L1		1 oz
	L2	4.70 (0.119mm)	
	L3	7.87 (0.200mm)	0.5 oz
	L4	7.38 (0.187mm)	0.5 oz
	L5	7.09 (0.180mm)	0.5 oz
	L6	6.28 (0.160mm)	0.5 oz
	L7	3.94 (0.100mm)	0.5 oz
	L8	6.60 (0.168mm)	0.5 oz
	L9	7.09 (0.180mm)	0.5 oz
	L10	7.37 (0.187mm)	0.5 oz
	L11	7.87 (0.200mm)	0.5 oz
	L12	4.70 (0.119mm)	1 oz

图 9-17 12 层 PCB 的层叠结构

一般在计算层叠结构之前,首先要确定选用哪种 PCB 基材(也就是确定了 D_k 值),如 FR-4、FR-408、Nelco4000-13SI、Megtron4 等,还要知道 PCB 裸板的厚度,另外还要知道阻抗控制要求。在制造 PCB 前,PCB 板厂会根据 PCB 材料的情况以及客户的需求对层叠做一些微调。由表 9-3 可知,每种玻纤布的厚度都不一样,所以板厂在制板时,为了叠出最终的 PCB 厚度,会选不同种类的玻纤布组成的半固化片 (prepreg),如图 9-18 所示。

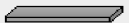
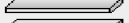
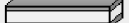
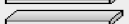
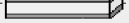
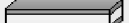
	0.5oz	0.00	FOIL 0.5oz 27.5" [TB-H27.5(RTF)]
		3.55	松下 R5725 1067 49" [105101145]
	3.91339	3.55	松下 R5725 1067 49" [105101145]
	0.5oz	3.55	松下 R5725 0.215mm (SH/SH) 40.5"
	0.5oz 7.08661	3.62	松下 R5725 1078 49" [105101141]
		3.62	松下 R5725 1078 49" [105101141]
	8.3622	3.62	松下 R5725 1078 49" [105101141]
	0.5oz	3.55	松下 R5725 0.215mm (SH/SH) 40.5"
	0.5oz 7.08661	3.62	松下 R5725 1078 49" [105101141]
		3.62	松下 R5725 1078 49" [105101141]
	7.07087	3.55	松下 R5725 1067 49" [105101145]
	0.5oz	3.55	松下 R5725 0.135mm (SH/SH) 40.5"
	0.5oz 3.93701	3.55	松下 R5725 1067 49" [105101145]
		3.62	松下 R5725 1078 49" [105101141]
	7.38386	3.62	松下 R5725 1078 49" [105101141]
	0.5oz	3.55	松下 R5725 0.215mm (SH/SH) 40.5"
	0.5oz 7.08661	3.62	松下 R5725 1078 49" [105101141]
		3.62	松下 R5725 1078 49" [105101141]
	8.35039	3.62	松下 R5725 1078 49" [105101141]
	0.5oz	3.55	松下 R5725 0.215mm (SH/SH) 40.5"
	0.5oz 7.08661	3.55	松下 R5725 1067 49" [105101145]
		3.55	松下 R5725 1067 49" [105101145]
	3.91339	0.00	FOIL 0.5oz 27.5" [TB-H27.5(RTF)]
	0.5oz		

图 9-18 层叠结构详解

从 9.2 节可知,图 9-17 中的芯板也是由不同种类的玻纤布 (106、1078、1080、2113、2116、7628 等) 浸以树脂压制而成的。玻璃纤维和树脂这两种绝缘材料的 D_k (ε_r) 值是不一样的,所以在制成覆铜板以后,板材会显示出非均匀性这样的特性。这样的非均匀性对信号

的传输有什么影响？

图 9-19 中的 1080 板材，极端情况下一对差分对（红色部分）的一条线全部走在玻璃纤维上，而另外一条线大部分走在树脂上。玻璃纤维和树脂的介电常数差很多，很多地方形象地把这种情况比喻成一个人走路时深一脚浅一脚。我们从前面的介绍中已经知道信号的传播速度与介电常数（ D_k ）平方根成反比，介电常数越大，信号传播得越慢。玻璃纤维的介电常数比较高，一般为 6~7，而树脂只有 3~3.5，所以走在玻璃纤维上的信号传输得会比另外一个信号慢。对差分信号来说，这就会引起时钟偏移（Timing Skew），这就是我们所说的纤维织纹效应。信号速率越高，尤其是当信号速率超过 5GB/s 时，纤维织纹效应更是一个不容忽视的问题。

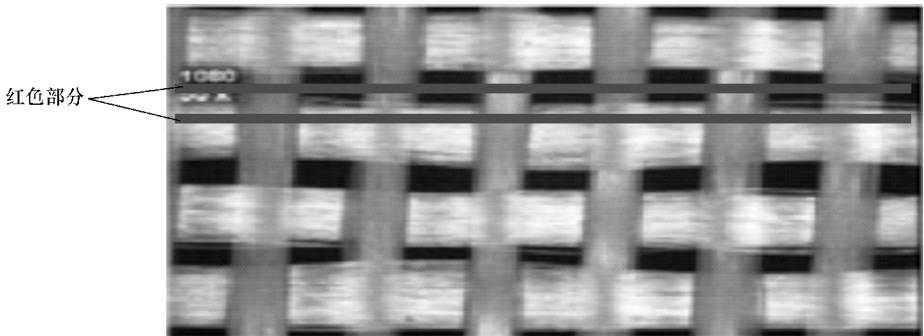


图 9-19 纤维织纹效应示例

差分信号在布线时要求做到等长，所以当两条线间产生了偏移（skew），这个偏移会使得两条线不对称，引起模式转换，部分差模信号转换到共模，最终可能会导致接收端眼图的闭合。图 9-20 所示是产生偏移后差分信号的波形，为了便于说明问题，我们假设差分线两端的信号都是理想波形。通过和图 9-15 比较，发现差分对之间有偏移之后，差模电压和共模电压发生了变化，在某些时候，共模电压比原来大了一倍。

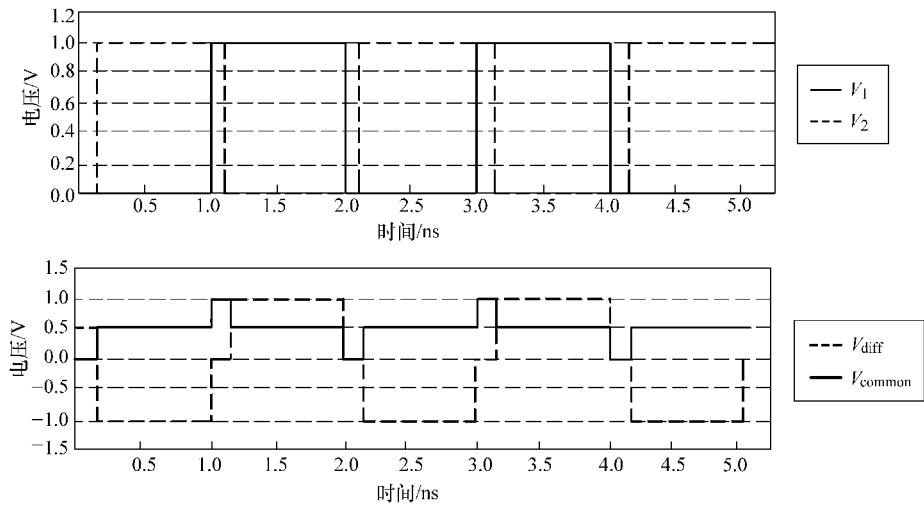


图 9-20 产生偏移后的差分信号波形

如何去减少由纤维织纹引起的偏移呢？首先，我们可以考虑在布线时不要平行于玻璃纤维的纵横方向走线，偏转一个角度，这样 PCB 材质对差分线影响会比较均衡；其次，如果不在布线时做偏转，可以要求 PCB 板厂在制板时偏转基板，但是这样会造成板材的浪费；最后，我们可以选择玻璃纱之间间隙小的材料，比如扁平玻璃布 1067、1078 等。

9.4 实例讲解

当今社会，手机已经随处可见。但是在若干年以前，手机也可以算是奢侈品了。手机的不断更新换代，见证了时代的变迁，更见证了电子信息技术的蓬勃发展。现在我们要开发一个新产品的的话，要考虑的东西实在太多了。为什么？因为速度实在太快了啊，只要有一个地方考虑得不周到，做出来的产品要么直接报废，要么就得不停地修改，所以在项目正式进行之前，我们会提前做很多预研的工作，如选什么样的高速连接器、用什么样的拓扑结构、用一些什么样的新技术使信号质量保持在最佳状态、选择什么样的 PCB 材料等。这里我们着重介绍高速电路设计中 PCB 材料的选择。

这次直接通过做测试板的形式对几种高频 PCB 材料做了研究比较。由于经费等各方面的原因，不允许我们选很多材料去进行评估。从项目实际需求出发，选择了以下 3 种高频 PCB 材料做评估，分别是：材料 A、材料 B 和材料 C。同时为了测试玻纤布对信号质量的影响，在制作测试板时，我们分别选择了普通玻纤布和扁平玻纤布。

9.4.1 PCB 材料信息

1. 材料 A

材料 A 是改进的环氧树脂材料，但基本架构是常规 E - Class 玻纤布纤维编织而成，有较低介电常数和较低介质损耗因数，适用于高频多层电路板，见表 9-4。

表 9-4 材料 A 层压材料特性介绍

特性	IPC - 4101 规范	规格	典型值
热特性			
焊接温度 - T_g (DMA)	E - 2/105 + des	N/A	220℃
焊接温度 - T_g (DSC)			220℃
焊接温度 - T_g (TMA)			190℃
焊接温度 - T_g (TGA)			340℃
X 方向热系数	环境温度 T_g	—	$12 \sim 15 \times 10^{-6}/^{\circ}\text{C}$
Y 方向热系数	环境温度 T_g	—	$12 \sim 15 \times 10^{-6}/^{\circ}\text{C}$
Z 方向热系数	25 ~ 260℃	—	2.3%
热应力			
漂锡, 288℃	A	> 10	> 60s
T - 260	E - 2/105 + des	N/A	60min
T - 288			20min
可燃性	E - 24/125 + des	94V - 0	94V - 0

(续)			
特性	IPC - 4101 规范	规格	典型值
电气特性			
介电常数 D_k (RC50%)			4.0
1GHz	C - 24/23/50	<5.4	3.9
5GHz			3.8
10GHz			
介质损耗因数 D_f (RC50%)			
1GHz	C - 24/23/50	<0.035	0.008
5GHz			0.008
10GHz			0.009
体积电阻率		$>10^6$	$>10^{10} \text{ M}\Omega \cdot \text{cm}$
表面电阻率	C - 96/35/90	$>10^4$	$>10^8 \text{ M}\Omega$
介质强度	C - 96/35/90	$>30 \text{ kV/mm}$	$>40 \text{ kV/mm}$
介质击穿电压		$>40 \text{ KV/mm}$	$>50 \text{ kV}$
物理特性			
弯曲强度	A	>60000	$>60000 \text{ psi}$
纵向			
横向	A	>50000	$>50000 \text{ psi}$
剥离强度	A	>6	$5 \sim 7 \text{ lb/in}$
1.0 oz Cu foil			
吸湿性	E - 1/105 + des + D - 24/23	<0.8	0.13%

注：本表只能作为个人了解和参考，具体设计请向厂家索取最新资料。

2. 材料 B

材料 B 是一种新的低介电常数并适合无铅焊接（高 T_g ）的 PCB 材料。材料 B 可以用来设计网络设备、路由器、测试仪表。

材料 B 基本参数：低介电常数和介质损耗因数（ $D_k = 3.8$ 和 $D_f = 0.005$ ）；较高耐热性电阻（ $T_d = 362^\circ\text{C}$ ），见表 9-5。

表 9-5 材料 B 层压材料介绍

材料 B 层压材料介绍					
	属性	单位	测试方法	条件	值
热特性	玻璃化温度	$^\circ\text{C}$	DMA DSC	按来样计算	215 176
	Z 方向热系数	$\times 10^{-6}/^\circ\text{C}$	IPC - TM - 650 2.4.41 (TMA)	按来样计算	35
	分解温度	$^\circ\text{C}$	TGA	按来样计算	360
	分解最小时间	min	IPC - TM - 650 2.4.24.1	按来样计算	30
电气特性	电气强度	V/mil	IPC - TM - 650 2.5.6.2	D - 48/50 + D - 0.5/23	TBA
	体积电阻率	$\text{M}\Omega \cdot \text{cm}$	IPC - TM - 650 2.5.17.1	C - 96/35/90E - 24/125	1×10^9
	表面电阻率	$\text{M}\Omega$	IPC - TM - 650 2.5.17.1	C - 95/35/90E - 24/125	1×10^8
	介电常数 (D_k)	@ 1GHz	IPC - TM - 650 2.5.5.5	按来样计算	3.8
	介质损耗因数 (D_f)	@ 1GHz	IPC - TM - 650 2.5.5.5	按来样计算	0.005

(续)

材料 B 层压材料介绍					
	属性	单位	测试方法	条件	值
物理特性	吸湿性	%	IPC - TM - 650 2. 6. 2. 1	D - 24/23	0. 14
	弯曲强度	M/Pa	—	按来样计算	TBA
	剥离强度 (35 μ m)	kgN/ m/1bs/in	IPC - TM - 650 2. 4. 8	按来样计算	1. 2/6. 8
	可燃性		IPC - TM - 650 2. 4. 39UL94	按来样计算 E - 168/70	94V - 0

3. 材料 C

材料 C 是一种高性能环氧树脂材料, 可以制成层压板、半固化片, 见表 9-6。它具有较低的介电常数和较低的介质损耗因数, 是专门为高性能电路设计的。作为理想的宽频设计的候选材料, 它在高速信号和信号完整性方面有不错的表现。并且对无铅焊需要的高温 (高 T_g) 也表现出了很高的可靠性。

另外, 材料 C 可以很好地兼容性现有的 FR - 4 流程, 使用的时候并不需要增加额外的工艺和生产流程。

表 9-6 材料 C 层压材料介绍

材料 C				
特性		典型值	单位	测试方法
			Metric (公制)	IPC - TM - 650 (IPC 规范)
玻璃化温度 (T_g)		180	$^{\circ}\text{C}$	2. 4. 25
分解温度 (T_d) @ 5% 重量损失		360	$^{\circ}\text{C}$	ASTM D3850
CTE, Z 方向热系数	A. Pre - T_g PCB (.059 层压件)	65 (< 55)	$\times 10^{-6}/^{\circ}\text{C}$	2. 4. 24
	B. Post - T_g	220		
CTE, X、Y 方向热系数	A. Pre - T_g	13	$\times 10^{-6}/^{\circ}\text{C}$	2. 4. 24
	B. Post - T_g	14		
导热系数		0. 4	W/mK	ASTMD5930
热应力 10s @ 288 $^{\circ}\text{C}$ (550. 4 $^{\circ}\text{F}$)	A. 未蚀刻 B. 已蚀刻	—	级别	2. 4. 13. 1
介电常数 D_k (层压件, 半固化片)	A. @ 100MHz HP4285A	3. 81	—	2. 5. 5. 3
	B. @ 1GHz HP4291A	3. 78		2. 5. 5. 9
	C. @ 2GHz 微带线	3. 77		2. 5. 5. 5
	D. @ 5GHz 微带线	3. 75		2. 2. 5. 5
	E. @ 10GHz 微带线	3. 75		2. 2. 5. 5
介质损耗因数 D_f (层压件, 半固化片)	A. @ 100MHz HP4285A	0. 0092	—	2. 5. 5. 3
	B. @ 1GHz HP4291A	0. 0112		2. 5. 5. 9
	C. @ 2GHz 微带线	0. 0116		2. 5. 5. 5
	D. @ 5GHz 微带线	0. 0122		2. 2. 5. 5
	E. @ 10GHz 微带线	0. 0120		2. 2. 5. 5

(续)

材料 C				
特性		典型值	单位	测试方法
			Metric (公制)	IPC – TM – 650 (IPC 规范)
体积电阻率	A. 96/35/90		MΩ · cm	2.5.17.1
	B. 做过防潮处理	3.81×10^8		
	C. 提高温度	3.9×10^8		
表面电阻率	A. 96/35/90		MΩ	2.5.17.1
	B. 做过防潮处理	2.81×10^6		
	C. 提高温度	2.64×10^8		
介质击穿		>50	kV	2.5.6
弧阻		120	s	2.5.1
介质强度 (层压件、半固化片)		55	kV/mm	2.5.6.2
		1400	(V/mil)	
相对漏电起痕指数 (CTI)		3 (175 ~ 249)	Class (V)	UL – 746AASTMD3638
剥离强度	A. 薄铜箔 – 铜箔厚度 > 17μm	6.5 (1.14)	1b/in (N/mm)	2.4.8
	B. 标准铜箔 1. 热应力作用后 2. 在 125℃ (257 °F) 时 3. 处理以后	7 (1.225)	1b/in (N/mm)	2.4.8.2
		6.5 (1.14)		2.4.8.3
		5.1 (0.9)		
弯曲强度	A. 纵向	79000	1b/in ²	
	B. 横向	58000		
吸湿性		0.15	%	2.6.2.1
可燃性 (层压件、半固化片)		V0	级别	UL – 94
最大工作温度		130 (150)	DegC	
抗张力强度	A. 纵向	50000	1b/in ²	
	B. 横向	37000		

4. 玻纤布

为了评估不同类型的玻纤布对信号质量的影响，我们分别选了普通和扁平两种玻纤布进行测试板的设计，如图 9-21 所示。

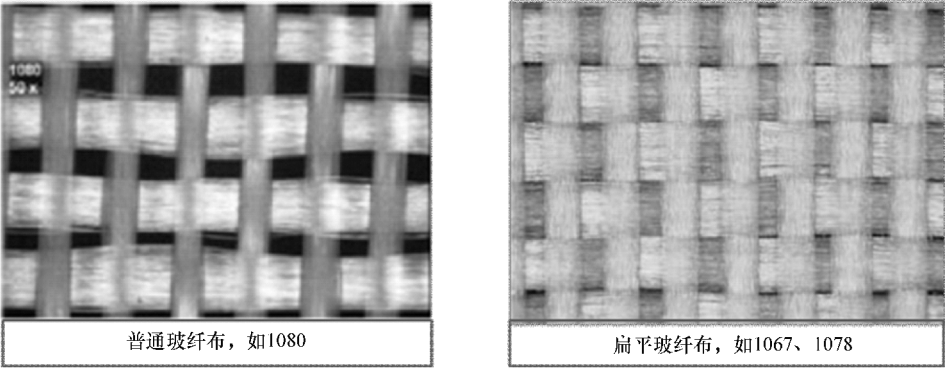


图 9-21 玻纤布介绍

为了更好地比对不同材料的性能，我们在子卡和母卡上设计了相同长度的差分线，但是由于母卡和子卡除了都用了材料 B，其他两种材料是不一样的，所以案例 3 里面，线长是一样的，但是走线层母卡和子卡是不同的，线宽线距也有所不同，见表 9-8。

表 9-8 测试案例

	板卡类型	PCB 材料	走线长度/in	走线层	线宽/线距/mil
案例 1	母卡	材料 B	15	L3	7/9
				L5	6/6
				L8	6/9
				L10	7/9
	母卡	材料 A	15	L3	7/9
				L5	6/6
				L8	6/9
				L10	7/9
案例 2	子卡	材料 B	5	L2	5.5/8
				L4	5.5/8
				L7	5.5/8
				L9	5.5/8
	子卡	材料 C	5	L2	5.75/7.75
				L4	5.75/7.75
				L7	5.75/7.75
				L9	5.75/7.75
案例 3	母卡	材料 B	5	L10	7/9
	母卡	材料 A	5	L10	7/9
	子卡	材料 C	5	L7	5.75/7.75

根据测试需要，我们在 PCB 上分别设计了几组 5in、15in 长的差分线，图 9-23 所示是其中一组差分线的 Layout 图形，从图中可以看到在差分线的两头接上了 SMA 连接器，这也是为了测试方便。

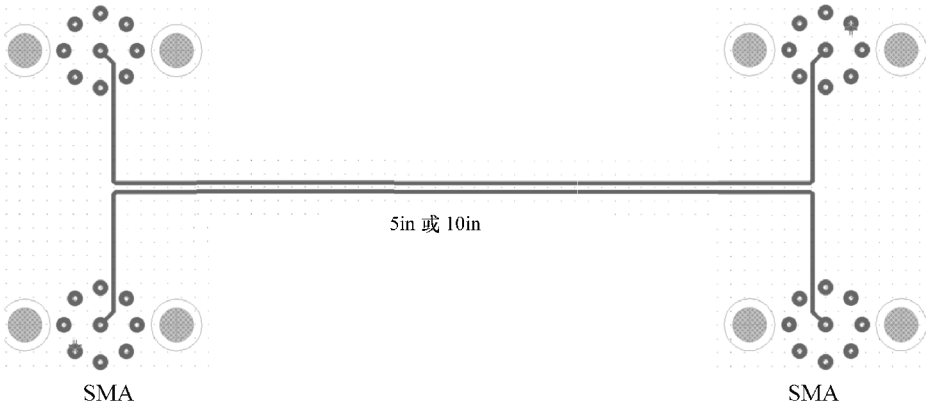


图 9-23 Layout 图形

通过网络分析仪来测试每组差分线的插损（S21）和回损（S11），关于 S 参数前面几章已经做了详细介绍，这里就不再赘述。图 9-24 是测试时的环境配置图。

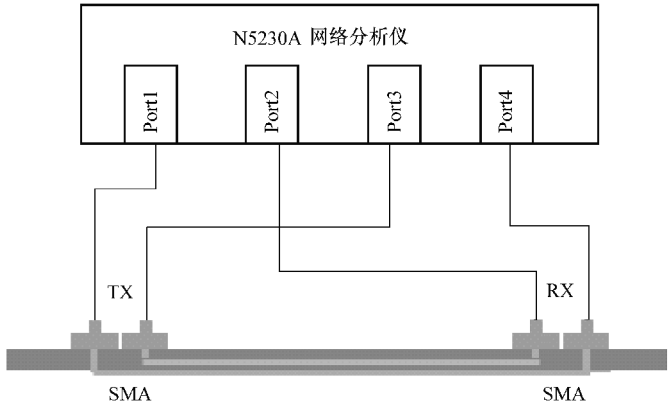


图 9-24 24 测试配置

9.4.3 结果分析

1. PCB 材料比较#1——材料 A 和材料 B 比较

从图 9-25 可以看出，在 0 ~ 5GHz 这个区间，材料 A 和材料 B 性能几乎差不多，在 5 ~ 10GHz 这个区间，材料 A 比材料 B 稍微好一点，但是我们还是可以认为，材料 A 和材料 B 在电气性能上是可以互相替代的材料。

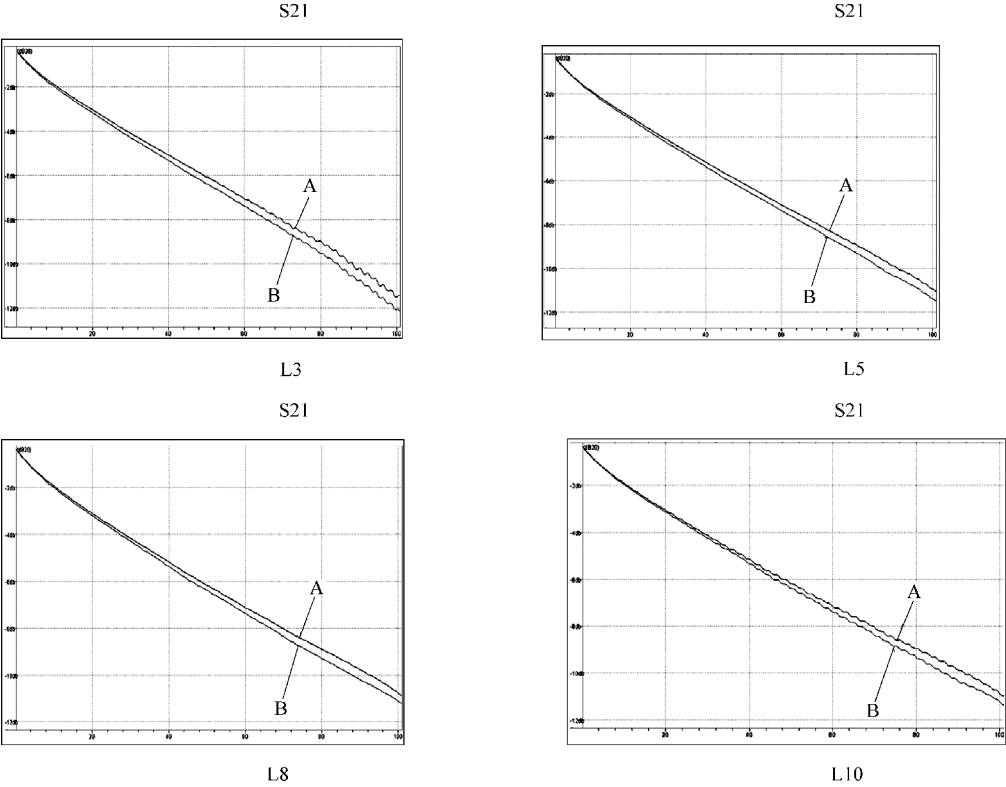


图 9-25 材料 A 和材料 B 的比较结果

A—TU872SLK B—Megtron4

2. PCB 材料比较#2——材料 B 和材料 C 比较

从图 9-26 可以看出，材料 B 电气性能优于材料 C，如果系统的传输速率很高，比如到了 10Gbit/s 或者更高，PCB 的走线又比较长，那么这种情况下，就这两种材料而言，肯定推荐用材料 B。

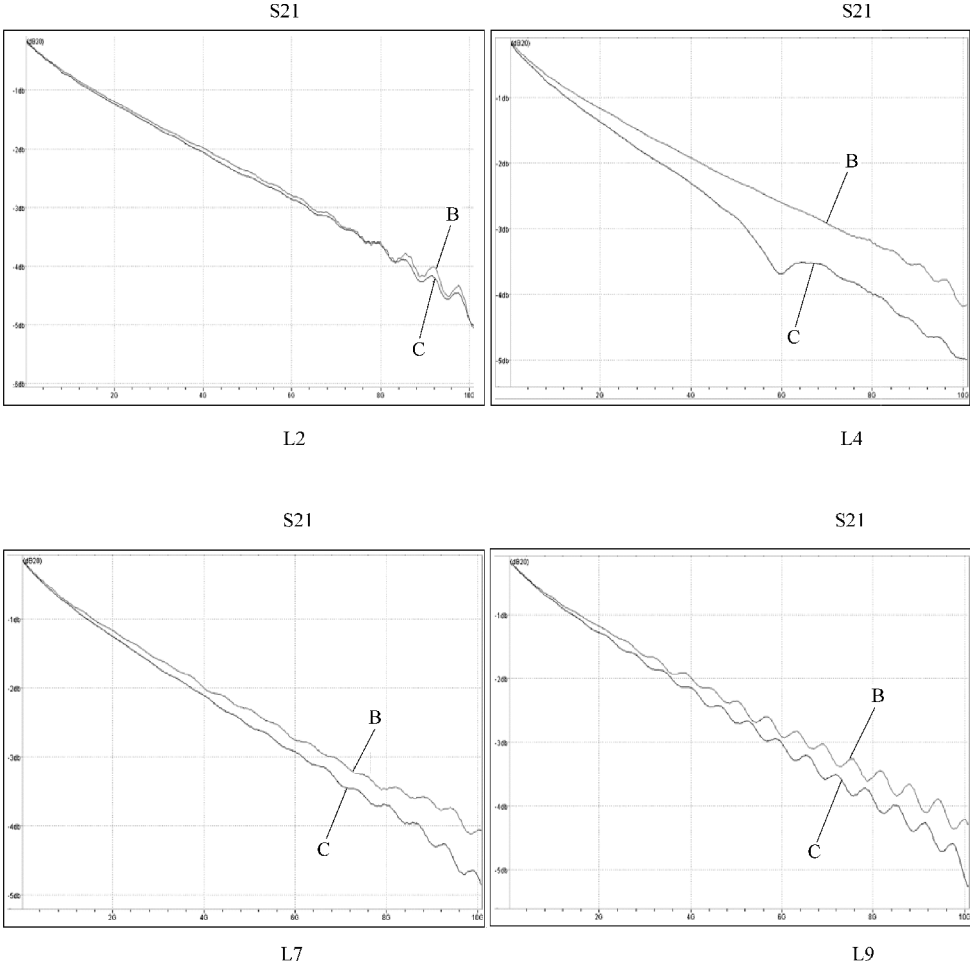


图 9-26 材料 B 和材料 C 的比较结果
B—材料 B C—材料 C

3. PCB 材料比较#3——材料 A、材料 B 和材料 C 三种材料的比较

从图 9-27 来看，材料 B 和材料 A 的电气性能差不多，材料 C 相比之下就要差一点了。

4. PCB 材料比较#4——普通玻纤布和扁平玻纤布比较

从图 9-28 来看，10GHz 以下用扁平玻纤布还是普通玻纤布区别不大，但是 10GHz 以上尤其是 12GHz 以上，扁平玻纤布有较明显的优势。

在做高速电路设计时，除了要考虑用什么样的芯片、连接器外，还要怎么布局 and 布线、怎么分割电源和地等，PCB 材料的选择也成了一个不可忽视的部分。高频 PCB 材料按照性能优劣来分，价格也有较大的差异，因此，在实际做项目时，我们要在性能和成本之间做一个最好的平衡。做测试卡是一个比较好的办法，但是相对来说成本会比较高，如果没有预

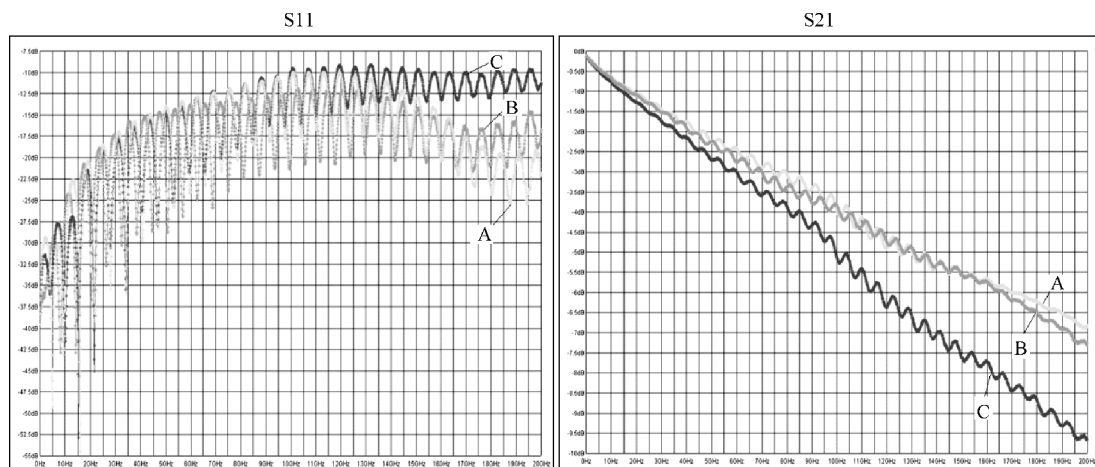


图 9-27 材料 A、材料 B 和材料 C 的比较结果

A—材料 A B—材料 B C—材料 C

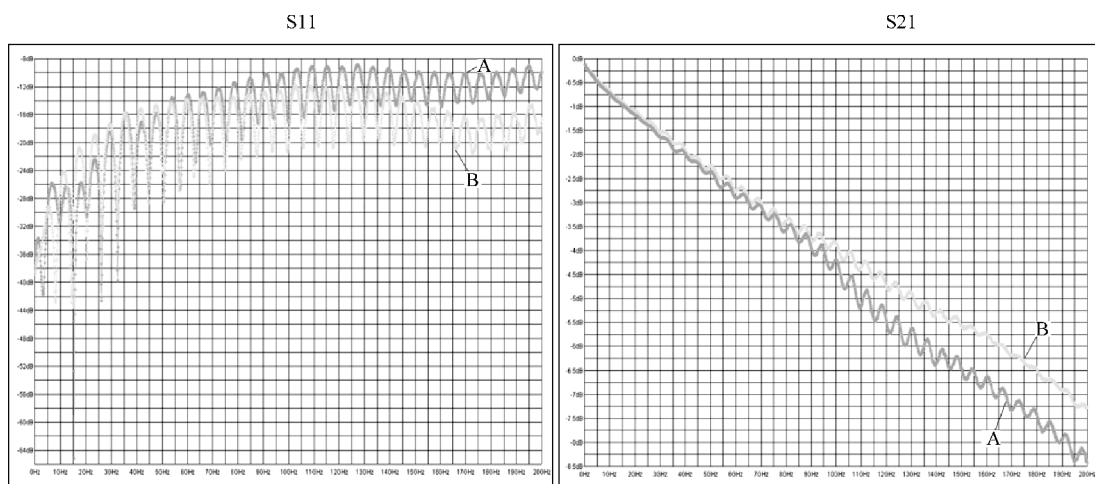


图 9-28 扁平玻纤布和普通玻纤布比较结果

A—普通玻纤布 B—扁平玻纤布

算，通过仿真也可以获得一样的效果。从 PCB 材料的 datasheet 中，我们能查到 D_k 、 D_f ，有了这两个值，我们就可以根据实际情况设计层叠结构、传输线、过孔模型等，最终可以做单卡或者整个系统的仿真。通过对仿真结果的分析，我们可以判断哪种 PCB 材料既能满足设计需求又能满足成本要求。

随着电子信息技术的高速发展，未来 PCB 材料的发展趋势是以满足通信系统的需求为导向。要满足数据传输的高速化，需要具有较低的介电常数、低介电损耗、耐高温性、低制作成本的板料。同时为了顺应全世界对环保的要求，除了要满足以上性能，同时要求 PCB 材料是无铅的、无卤素的环保材料。

附录 VIRTEX – 5 IBIS 模型片段

由于整个模型篇幅过大，本附录的模型只是引用了 HSTL_I_12 与 LVCMOS25_F_2 形成一个简短的 IBIS 模型。

```
[ IBIS ver]      3.2
[ File name]     virtex5. ibs
[ File Rev]      2.6
[ Date]          10/09/07
[ Source]        Derived from spice models
[ Notes]         Xilinx IBIS file for VIRTEX – 5 I/O standards.
[ Disclaimer]    The data in this file is derived from SPICE simulations using modeling information extracted from
                  the target process. While a great deal of care has been taken to provide information that is accu-
                  rate, this model is considered preliminary as it has not been verified by actual silicon measure-
                  ment. Treat the data in this model as preliminary until actual silicon verification is performed.
[ Copyright]     Copyright 2007, Xilinx Inc. , All rights reserved
| * * * * *
|
|                                     Component VIRTEX – 5
| * * * * *
[ Component]     VIRTEX – 5_FF1136
[ Manufacturer]  Xilinx Inc.
[ Package]
| variable      typ          min          max
R_pkg          436.60m       18.40m       1073.57m
L_pkg          4.62nH        0.46nH       11.49nH
C_pkg          2.62pF        0.89pF       5.72pF
[ Pin]          signal_name  model_name   R_pin      L_pin      C_pin
1              HSTL_I_12     HSTL_I_12
2              LVCMOS25_F_2  LVCMOS25_F_2
| * * * * *
|
|                                     Model HSTL_I_12
| * * * * *
[ Model] HSTL_I_12
Model_type I/O
Polarity      Non – Inverting
Enable        Active – Low
Vinl          =    0.5
Vinh          =    0.7
Vmeas        =    0.6000V
Cref          =    0.0F
```

Rref	=	50.0000		
Vref	=	0.6000V		
C_comp	6.0000pF	6.0000pF	6.0000pF	
[Model Spec]				
Vinl	0.5	0.47	0.53	
Vinh	0.7	0.67	0.73	
[Temperature Range]		25.0000	85.0000	0.0
[Voltage Range]		1.2000V	1.1400V	1.2600V
[Pulldown]				
I Voltage	I (typ)	I (min)	I (max)	
-1.20	-34.2100mA	-25.4700mA	-43.6000mA	
-0.96	-34.2100mA	-25.4700mA	-43.6000mA	
-0.80	-33.7500mA	-25.4700mA	-41.9400mA	
-0.64	-30.0500mA	-23.9800mA	-37.3700mA	
-0.48	-25.2080mA	-19.8240mA	-31.6500mA	
-0.32	-18.3214mA	-14.1565mA	-23.6428mA	
-0.16	-9.3529mA	-7.1529mA	-12.2644mA	
0.00	0.1480nA	0.9300nA	0.2270nA	
0.08	4.6270mA	3.4930mA	6.1220mA	
0.24	13.2100mA	9.9540mA	17.4700mA	
0.40	20.8200mA	15.6600mA	27.4900mA	
0.56	27.3100mA	20.5500mA	36.0100mA	
0.72	32.5200mA	24.5100mA	42.7800mA	
0.88	36.3300mA	27.4600mA	47.6400mA	
1.04	38.8400mA	29.4700mA	50.8100mA	
1.20	40.4300mA	30.7598mA	52.8000mA	
1.36	41.4490mA	31.5808mA	54.0698mA	
1.60	42.0920mA	31.9200mA	55.0242mA	
2.40	42.0920mA	31.9200mA	55.0242mA	
[Pullup]				
I Voltage	I (typ)	I (min)	I (max)	
-1.20	58.7600mA	39.9000mA	72.3000mA	
-0.92	58.7600mA	39.9000mA	72.3000mA	
-0.76	58.0300mA	39.9000mA	69.7700mA	
-0.60	49.7000mA	36.2450mA	59.7000mA	
-0.44	38.5900mA	27.9100mA	46.9410mA	
-0.28	24.3194mA	17.4095mA	30.2972mA	
-0.12	9.8058mA	6.8849mA	12.4697mA	
0.00	-0.5500nA	-2.0200nA	-1.4900nA	
0.08	-5.7470mA	-3.9370mA	-7.5140mA	
0.12	-8.3390mA	-5.7020mA	-10.9500mA	
0.20	-12.9600mA	-8.8220mA	-17.1700mA	
0.28	-16.8100mA	-11.3900mA	-22.5200mA	

0.52	-23.4100mA	-15.8000mA	-32.3600mA
0.68	-25.0700mA	-17.0100mA	-34.7500mA
0.76	-25.6700mA	-17.4400mA	-35.5900mA
0.88	-26.4100mA	-17.9800mA	-36.6200mA
0.92	-26.6300mA	-18.1400mA	-36.9200mA
1.00	-27.0300mA	-18.4400mA	-37.4700mA
1.08	-27.3900mA	-18.7000mA	-37.9600mA
1.12	-27.5600mA	-18.8200mA	-38.1900mA
1.24	-28.0400mA	-19.1692mA	-38.8300mA
1.28	-28.1799mA	-19.2773mA	-39.0300mA
1.40	-28.5912mA	-19.5509mA	-39.5774mA
1.44	-28.7064mA	-19.6112mA	-39.7482mA
1.56	-28.8414mA	-19.6216mA	-40.0039mA
2.40	-28.8414mA	-19.6216mA	-40.0039mA

[GND_clamp]

I Voltage	I (typ)	I (min)	I (max)
-1.20	-2.0630A	-1.9260A	-2.2600A
-1.14	-1.6380A	-1.6140A	-1.7420A
-1.08	-1.2150A	-1.3020A	-1.2280A
-1.02	-0.7985A	-0.9915A	-0.7261A
-0.96	-0.3952A	-0.6839A	-0.2693A
-0.90	-0.1426A	-0.3851A	-0.1335A
-0.84	-84.6900mA	-0.1551A	-0.1021A
-0.78	-63.9600mA	-70.5100mA	-82.3300mA
-0.72	-48.9200mA	-43.5100mA	-64.7700mA
-0.66	-35.7500mA	-30.0900mA	-48.6900mA
-0.60	-24.2500mA	-20.2700mA	-34.3400mA
-0.54	-14.7700mA	-12.4800mA	-22.1200mA
-0.48	-7.7220mA	-6.6860mA	-12.5600mA
-0.42	-3.2260mA	-2.9320mA	-5.9530mA
-0.36	-0.9740mA	-0.9811mA	-2.1400mA
-0.30	-0.2068mA	-0.2488mA	-0.5261mA
-0.24	-33.6300uA	-51.9100uA	-91.3000uA
-0.18	-4.3670uA	-9.3100uA	-11.8400uA
-0.12	-0.4710uA	-1.4610uA	-1.1710uA
-0.09	-0.1459uA	-0.5580uA	-0.3360uA
-0.06	-43.6700nA	-0.2124uA	-89.9700nA
-0.03	-13.0100nA	-82.9600nA	-22.0200nA
0.00	0.00mA	0.00mA	0.00mA
2.40	0.00mA	0.00mA	0.00mA

[POWER_clamp]

I Voltage	I (typ)	I (min)	I (max)
-1.20	0.7614A	0.7674A	0.7809A

- 1. 12	0. 5674A	0. 6045A	0. 5647A
- 1. 04	0. 3743A	0. 4420A	0. 3511A
- 1. 00	0. 2808A	0. 3609A	0. 2495A
- 0. 92	0. 1129A	0. 2048A	86. 6300mA
- 0. 88	65. 9100mA	0. 1345A	56. 9900mA
- 0. 80	32. 2800mA	48. 9300mA	36. 5100mA
- 0. 72	21. 4700mA	21. 6800mA	26. 4600mA
- 0. 64	14. 1400mA	12. 5400mA	18. 1400mA
- 0. 60	10. 9800mA	9. 6550mA	14. 4100mA
- 0. 52	5. 6780mA	5. 1560mA	7. 9790mA
- 0. 48	3. 6320mA	3. 4350mA	5. 3680mA
- 0. 40	1. 0200mA	1. 1370mA	1. 7230mA
- 0. 32	0. 1557mA	0. 2328mA	0. 2871mA
- 0. 28	50. 6400uA	90. 5100uA	92. 7500uA
- 0. 24	14. 9400uA	32. 7000uA	26. 5700uA
- 0. 20	4. 0050uA	11. 0400uA	6. 7790uA
- 0. 16	0. 9907uA	3. 5020uA	1. 5650uA
- 0. 08	60. 0200nA	0. 3455uA	87. 7200nA
0. 00	12. 8100nA	71. 9300nA	25. 7400nA
[Ramp]			
variable	typ	min	max
dV/dt_r	0. 5366/0. 3068n	0. 4343/0. 4288n	0. 6084/0. 2227n
dV/dt_f	0. 5239/0. 3241n	0. 4537/0. 4539n	0. 5915/0. 2456n
R_load = 50. 0000			
[Rising Waveform]			
R_fixture = 50. 0000			
V_fixture = 0. 6000			
V_fixture_min = 0. 5000			
V_fixture_max = 0. 7000			
time	V (typ)	V (min)	V (max)
0. 0S	0. 1568V	0. 1598V	0. 1474V
0. 25nS	0. 1568V	0. 1598V	0. 1474V
0. 30nS	0. 1568V	0. 1598V	0. 1472V
0. 40nS	0. 1568V	0. 1598V	0. 1465V
0. 51nS	0. 1559V	0. 1598V	0. 2220V
0. 61nS	0. 1747V	0. 1596V	0. 5259V
0. 71nS	0. 2586V	0. 1598V	0. 8800V
0. 81nS	0. 4321V	0. 1716V	1. 0784V
0. 86nS	0. 5469V	0. 1889V	1. 1162V
0. 96nS	0. 7772V	0. 2483V	1. 1468V
1. 01nS	0. 8725V	0. 2852V	1. 1524V
1. 11nS	0. 9865V	0. 3779V	1. 1574V
1. 16nS	1. 0154V	0. 4387V	1. 1584V

1. 26nS	1. 0444V	0. 5763V	1. 1590V
1. 31nS	1. 0516V	0. 6440V	1. 1600V
1. 41nS	1. 0588V	0. 7611V	1. 1600V
1. 52nS	1. 0617V	0. 8451V	1. 1600V
1. 57nS	1. 0626V	0. 8737V	1. 1600V
1. 67nS	1. 0630V	0. 9054V	1. 1600V
1. 77nS	1. 0640V	0. 9218V	1. 1600V
1. 92nS	1. 0640V	0. 9330V	1. 1600V
1. 97nS	1. 0640V	0. 9350V	1. 1600V
2. 12nS	1. 0640V	0. 9381V	1. 1600V
2. 22nS	1. 0640V	0. 9391V	1. 1600V
2. 37nS	1. 0640V	0. 9399V	1. 1600V
2. 53nS	1. 0640V	0. 9402V	1. 1600V
2. 63nS	1. 0640V	0. 9402V	1. 1600V
2. 68nS	1. 0640V	0. 9403V	1. 1600V
5. 00nS	1. 0640V	0. 9403V	1. 1600V
[Rising Waveform]			
R_fixture = 50. 0000			
V_fixture = 0. 0			
time	V (typ)	V (min)	V (max)
0. 0S	0. 0V	0. 5395uV	0. 0V
50. 51pS	0. 0V	0. 5395uV	0. 0V
0. 10nS	0. 0V	0. 5393uV	0. 0V
0. 15nS	0. 0V	0. 5400uV	0. 0V
0. 20nS	69. 0000nV	0. 5282uV	-6. 9836uV
0. 25nS	-1. 0483uV	0. 6113uV	-1. 2880uV
0. 35nS	-17. 0020uV	-1. 6964uV	-2. 7152mV
0. 40nS	43. 1040uV	-13. 7282uV	-8. 4716mV
0. 45nS	-0. 7366mV	-30. 8360uV	-15. 3000mV
0. 51nS	-3. 7905mV	-11. 0863uV	-4. 2218mV
0. 56nS	-8. 8712mV	33. 9700uV	61. 2460mV
0. 61nS	-14. 5420mV	-0. 2068mV	0. 1807V
0. 66nS	-18. 9400mV	-1. 4685mV	0. 3316V
0. 76nS	12. 8075mV	-6. 4888mV	0. 6291V
0. 86nS	0. 1642V	-13. 7900mV	0. 8464V
0. 96nS	0. 3717V	-19. 1480mV	0. 9555V
1. 01nS	0. 4702V	-16. 6360mV	0. 9796V
1. 06nS	0. 5588V	-3. 7344mV	0. 9933V
1. 11nS	0. 6353V	24. 5264mV	1. 0016V
1. 16nS	0. 6995V	69. 2240mV	1. 0064V
1. 21nS	0. 7517V	0. 1262V	1. 0092V
1. 31nS	0. 8236V	0. 2538V	1. 0120V
1. 36nS	0. 8452V	0. 3163V	1. 0130V

1. 41nS	0. 8604V	0. 3748V	1. 0130V
1. 57nS	0. 8836V	0. 5240V	1. 0140V
1. 72nS	0. 8906V	0. 6125V	1. 0140V
1. 97nS	0. 8936V	0. 6855V	1. 0140V
2. 63nS	0. 8942V	0. 7219V	1. 0140V
2. 68nS	0. 8943V	0. 7223V	1. 0140V
2. 93nS	0. 8943V	0. 7234V	1. 0140V
3. 23nS	0. 8943V	0. 7238V	1. 0140V
5. 00nS	0. 8943V	0. 7238V	1. 0140V

[Falling Waveform]

R_fixture = 50. 0000

V_fixture = 0. 6000

V_fixture_min = 0. 5000

V_fixture_max = 0. 7000

l time	V (typ)	V (min)	V (max)
0. 0S	1. 0640V	0. 9404V	1. 1600V
0. 25nS	1. 0640V	0. 9404V	1. 1600V
0. 35nS	1. 0640V	0. 9404V	1. 1622V
0. 45nS	1. 0654V	0. 9403V	1. 1350V
0. 51nS	1. 0658V	0. 9403V	1. 0648V
0. 61nS	1. 0332V	0. 9424V	0. 8177V
0. 66nS	0. 9849V	0. 9430V	0. 6732V
0. 71nS	0. 9147V	0. 9403V	0. 5288V
0. 76nS	0. 8315V	0. 9303V	0. 4043V
0. 86nS	0. 6450V	0. 8804V	0. 2482V
0. 96nS	0. 4561V	0. 7852V	0. 1866V
1. 01nS	0. 3768V	0. 7275V	0. 1731V
1. 16nS	0. 2350V	0. 5505V	0. 1562V
1. 26nS	0. 1964V	0. 4366V	0. 1524V
1. 36nS	0. 1782V	0. 3408V	0. 1505V
1. 46nS	0. 1693V	0. 2733V	0. 1493V
1. 62nS	0. 1629V	0. 2134V	0. 1483V
1. 72nS	0. 1609V	0. 1942V	0. 1480V
1. 82nS	0. 1596V	0. 1828V	0. 1478V
1. 97nS	0. 1583V	0. 1732V	0. 1476V
2. 17nS	0. 1575V	0. 1669V	0. 1475V
2. 27nS	0. 1573V	0. 1650V	0. 1475V
2. 37nS	0. 1572V	0. 1637V	0. 1475V
2. 47nS	0. 1571V	0. 1627V	0. 1475V
2. 58nS	0. 1570V	0. 1619V	0. 1475V
2. 73nS	0. 1569V	0. 1612V	0. 1474V
2. 83nS	0. 1569V	0. 1608V	0. 1474V
3. 03nS	0. 1569V	0. 1604V	0. 1474V

3.08nS	0.1569V	0.1603V	0.1474V
3.23nS	0.1569V	0.1602V	0.1474V
3.28nS	0.1569V	0.1601V	0.1474V
3.38nS	0.1569V	0.1600V	0.1474V
5.00nS	0.1569V	0.1599V	0.1474V

[Falling Waveform]

R_fixture = 50.0000

V_fixture = 0.0

time	V (typ)	V (min)	V (max)
0.0S	0.8943V	0.7239V	1.0140V
0.25nS	0.8943V	0.7239V	1.0140V
0.30nS	0.8943V	0.7239V	1.0152V
0.40nS	0.8953V	0.7239V	0.9971V
0.51nS	0.8914V	0.7240V	0.7911V
0.71nS	0.5886V	0.7183V	0.1688V
0.86nS	0.2557V	0.5909V	26.6420mV
1.01nS	71.4840mV	0.3669V	4.8466mV
1.16nS	16.8820mV	0.1787V	1.6136mV
1.26nS	7.0046mV	96.9800mV	0.9625mV
1.36nS	3.4240mV	49.3260mV	0.5856mV
1.46nS	1.9536mV	24.1880mV	0.3841mV
1.57nS	1.1874mV	11.4620mV	0.2398mV
1.67nS	0.7730mV	6.2660mV	0.1585mV
1.77nS	0.5151mV	3.7342mV	0.1260mV
1.92nS	0.3179mV	1.9910mV	97.9860uV
2.17nS	0.1335mV	0.8512mV	87.8040uV
2.37nS	75.0680uV	0.5206mV	81.2340uV
2.47nS	76.5020uV	0.3848mV	79.6680uV
2.88nS	54.0160uV	0.1941mV	36.3100uV
2.93nS	78.0080uV	0.1941mV	26.9220uV
3.23nS	71.7800uV	0.1109mV	26.8840uV
3.33nS	71.0940uV	0.1041mV	27.3820uV
3.43nS	71.8900uV	0.1013mV	26.5240uV
3.48nS	60.7533uV	97.6417uV	32.5700uV
3.64nS	63.3200uV	92.9040uV	28.8200uV
3.69nS	63.0800uV	96.2840uV	32.1000uV
3.94nS	45.4960uV	90.3040uV	28.0900uV
4.29nS	41.2400uV	92.4020uV	30.7940uV
5.00nS	53.9600uV	97.9267uV	28.4333uV

| End [Model] HSTL_I_12

| * * * * *

| Model LVCMOS25_F_2

| * * * * *

[Model] LVCMOS25_F_2

Model_typeI/O

Polarity Non - Inverting

Enable Active - Low

Vinl = 0.65

Vinh = 1.85

Vmeas = 0.9000V

Cref = 0.0F

Rref = 1.0000M

Vref = 0.0V

C_comp 6.0000pF 6.0000pF 6.0000pF

[Model Spec]

Vinl 0.65 0.6 0.7

Vinh 1.85 1.7 2.0

[Temperature Range] 25.0000 85.0000 0.0

[Voltage Range] 2.5000V 2.3000V 2.7000V

[Pulldown]

I Voltage	I (typ)	I (min)	I (max)
-2.50	-11.7700mA	-8.7500mA	-15.0000mA
-0.90	-11.7700mA	-8.7500mA	-15.0000mA
-0.82	-11.7700mA	-8.7500mA	-14.7300mA
-0.66	-10.6200mA	-8.4100mA	-13.2600mA
-0.58	-9.8800mA	-7.7800mA	-12.3800mA
-0.34	-6.7889mA	-5.1906mA	-8.7890mA
-0.18	-3.6946mA	-2.7917mA	-4.8891mA
0.06	1.2280mA	0.9139mA	1.6430mA
0.14	2.7930mA	2.0780mA	3.7340mA
0.22	4.2720mA	3.1760mA	5.7050mA
0.46	8.1390mA	6.0530mA	10.8300mA
0.54	9.2190mA	6.8610mA	12.2500mA
0.62	10.1800mA	7.5880mA	13.5000mA
0.78	11.7300mA	8.7810mA	15.4900mA
0.86	12.3200mA	9.2450mA	16.2200mA
1.18	13.7000mA	10.3700mA	17.9300mA
1.34	14.0400mA	10.6500mA	18.3400mA
1.42	14.1700mA	10.7500mA	18.5000mA
1.58	14.3600mA	10.9099mA	18.7400mA
1.74	14.5100mA	11.0299mA	18.9200mA
1.82	14.5700mA	11.0799mA	19.0000mA
1.98	14.6700mA	11.1599mA	19.1200mA
2.06	14.7100mA	11.1999mA	19.1800mA
2.22	14.7900mA	11.2599mA	19.2700mA
2.30	14.8200mA	11.2899mA	19.3200mA

2. 46	14. 8800mA	11. 3365mA	19. 3900mA
2. 54	14. 9100mA	11. 3573mA	19. 4300mA
2. 70	14. 9660mA	11. 3573mA	19. 4900mA
2. 86	14. 9793mA	11. 3573mA	19. 5584mA
4. 94	14. 9793mA	11. 3573mA	19. 5834mA
[Pullup]			
I Voltage	I (typ)	I (min)	I (max)
- 2. 44	12. 0400mA	8. 3600mA	14. 3900mA
- 0. 84	12. 0400mA	8. 3600mA	14. 3900mA
- 0. 76	12. 0400mA	8. 3600mA	14. 1100mA
- 0. 60	10. 3800mA	7. 7450mA	12. 1100mA
- 0. 52	9. 3420mA	6. 9340mA	10. 9310mA
- 0. 44	8. 1800mA	6. 0310mA	9. 6410mA
- 0. 28	5. 3683mA	3. 9114mA	6. 4472mA
- 0. 20	3. 8290mA	2. 7729mA	4. 6232mA
- 0. 04	0. 7574mA	0. 5400mA	0. 9241mA
0. 12	- 2. 1740mA	- 1. 5401mA	- 2. 6700mA
0. 36	- 5. 9970mA	- 4. 2251mA	- 7. 4180mA
0. 44	- 7. 1160mA	- 5. 0031mA	- 8. 8280mA
0. 60	- 9. 1260mA	- 6. 3861mA	- 11. 3900mA
0. 76	- 10. 8300mA	- 7. 5361mA	- 13. 6200mA
0. 92	- 12. 2400mA	- 8. 4570mA	- 15. 5100mA
1. 00	- 12. 8300mA	- 8. 8310mA	- 16. 3300mA
1. 08	- 13. 3300mA	- 9. 1480mA	- 17. 0700mA
1. 32	- 14. 3100mA	- 9. 8110mA	- 18. 5500mA
1. 40	- 14. 5400mA	- 9. 9750mA	- 18. 8800mA
1. 48	- 14. 7500mA	- 10. 1200mA	- 19. 1800mA
1. 80	- 15. 4100mA	- 10. 5900mA	- 20. 0700mA
2. 36	- 16. 2000mA	- 11. 1598mA	- 21. 1200mA
2. 44	- 16. 3000mA	- 11. 2272mA	- 21. 2400mA
2. 52	- 16. 3800mA	- 11. 2902mA	- 21. 3500mA
2. 60	- 16. 4698mA	- 11. 3211mA	- 21. 4600mA
5. 00	- 16. 6168mA	- 11. 3211mA	- 21. 8422mA
[GND_clamp]			
I Voltage	I (typ)	I (min)	I (max)
- 2. 50	- 11. 2900A	- 8. 7040A	- 13. 5300A
- 2. 32	- 10. 0100A	- 7. 7650A	- 11. 9700A
- 2. 14	- 8. 7340A	- 6. 8260A	- 10. 4100A
- 1. 96	- 7. 4560A	- 5. 8870A	- 8. 8510A
- 1. 78	- 6. 1780A	- 4. 9480A	- 7. 2890A
- 1. 72	- 5. 7520A	- 4. 6360A	- 6. 7690A
- 1. 66	- 5. 3260A	- 4. 3230A	- 6. 2480A
- 1. 48	- 4. 0490A	- 3. 3850A	- 4. 6870A

-1.42	-3.6230A	-3.0720A	-4.1660A
-1.30	-2.7720A	-2.4470A	-3.1260A
-1.18	-1.9210A	-1.8220A	-2.0870A
-1.12	-1.4970A	-1.5100A	-1.5700A
-0.82	-76.4000mA	-0.1152A	-95.0700mA
-0.76	-58.6600mA	-58.4600mA	-76.3100mA
-0.64	-31.7100mA	-26.5600mA	-43.7000mA
-0.46	-5.9450mA	-5.2130mA	-10.0200mA
-0.34	-0.6021mA	-0.6384mA	-1.4010mA
-0.22	-17.4500uA	-29.7700uA	-47.7500uA
-0.04	-24.6500nA	-0.1277uA	-48.2500nA
0.08	-2.9670nA	-16.1300nA	-3.8630nA
0.20	-0.1725nA	-3.1840nA	2.2710nA
0.32	1.4540nA	3.8470nA	5.8220nA
0.50	3.2820nA	12.1200nA	9.6290nA
0.62	4.3160nA	17.0900nA	11.7000nA
0.68	4.8020nA	19.4900nA	12.6500nA
0.92	6.6240nA	28.8200nA	16.1800nA
1.28	9.2240nA	42.6900nA	21.1700nA
1.34	9.6590nA	45.0300n	22.0000nA
1.64	11.8800nA	57.1000nA	26.2800nA
1.70	12.3400nA	59.6100nA	27.1600nA
1.94	14.2500nA	70.1700n	30.8400nA
2.00	14.7400nA	73.0100nA	31.8000nA
2.18	16.3100nA	82.6500n	34.8000nA
2.30	17.4400nA	0.1081uA	36.9100nA
2.48	19.9500nA	6.2980u	40.3000nA
[POWER_clamp]			
I Voltage	I (typ)	I (min)	I (max)
-2.49	3.8970A	3.3980A	4.2790A
-2.40	3.6780A	3.2140A	4.0350A
-2.31	3.4590A	3.0300A	3.7900A
-2.25	3.3130A	2.9080A	3.6270A
-2.10	2.9480A	2.6020A	3.2200A
-2.07	2.8750A	2.5410A	3.1390A
-2.04	2.8020A	2.4790A	3.0580A
-1.80	2.2190A	1.9900A	2.4070A
-1.74	2.0730A	1.8670A	2.2440A
-1.71	2.0000A	1.8060A	2.1620A
-1.53	1.5620A	1.4390A	1.6740A
-1.50	1.4890A	1.3780A	1.5930A
-1.47	1.4170A	1.3170A	1.5120A
-1.38	1.1980A	1.1340A	1.2680A

- 1. 32	1. 0520A	1. 0110A	1. 1050A
- 1. 23	0. 8342A	0. 8285A	0. 8621A
- 1. 20	0. 7614A	0. 7674A	0. 7809A
- 1. 14	0. 6159A	0. 6452A	0. 6187A
- 1. 11	0. 5432A	0. 5842A	0. 5377A
- 1. 05	0. 3982A	0. 4622A	0. 3772A
- 0. 99	0. 2580A	0. 3407A	0. 2250A
- 0. 87	58. 5600mA	0. 1188A	52. 7200mA
- 0. 78	28. 8100mA	38. 6500mA	33. 6900mA
- 0. 66	15. 8300mA	14. 2500mA	20. 1100mA
- 0. 57	8. 8240mA	7. 8000mA	11. 8300mA
- 0. 48	3. 6320mA	3. 4350mA	5. 3680mA
- 0. 36	0. 4280mA	0. 5456mA	0. 7678mA
- 0. 30	89. 9100uA	0. 1467mA	0. 1658mA
- 0. 24	14. 9500uA	32. 7400uA	26. 5900uA
- 0. 21	5. 6220uA	14. 6100uA	9. 6610uA
- 0. 09	91. 7200nA	0. 4898uA	0. 1418uA
- 0. 03	27. 3400nA	0. 1518uA	54. 1000nA
0. 00	21. 4800nA	0. 1081uA	47. 0100nA
[Ramp]			
variable	typ	min	max
dV/dt_r	0. 4588/0. 4176n	0. 3165/0. 4722n	0. 5953/0. 3828n
dV/dt_f	0. 4362/0. 6038n	0. 3312/0. 7225n	0. 5682/0. 5353n
R_load = 50. 0000			
[Rising Waveform]			
R_fixture = 50. 0000			
V_fixture = 2. 5000			
V_fixture_min = 2. 3000			
V_fixture_max = 2. 7000			
time	V (typ)	V (min)	V (max)
0. 0S	1. 7730V	1. 7480V	1. 7530V
0. 30nS	1. 7730V	1. 7480V	1. 7532V
0. 35nS	1. 7730V	1. 7480V	1. 7624V
0. 51nS	1. 7915V	1. 7480V	2. 0345V
0. 71nS	2. 0858V	1. 7678V	2. 5102V
0. 76nS	2. 1740V	1. 7966V	2. 5662V
0. 81nS	2. 2492V	1. 8396V	2. 6066V
0. 86nS	2. 3110V	1. 8936V	2. 6344V
0. 96nS	2. 3960V	2. 0084V	2. 6678V
1. 01nS	2. 4236V	2. 0598V	2. 6772V
1. 06nS	2. 4438V	2. 1050V	2. 6840V
1. 26nS	2. 4840V	2. 2228V	2. 6958V
1. 46nS	2. 4950V	2. 2716V	2. 6990V

1. 52nS	2. 4963V	2. 2785V	2. 6990V
1. 92nS	2. 4990V	2. 2970V	2. 6998V
2. 07nS	2. 4990V	2. 2980V	2. 6996V
2. 17nS	2. 4990V	2. 2990V	2. 6996V
2. 47nS	2. 4990V	2. 2990V	2. 6996V
2. 68nS	2. 4990V	2. 2998V	2. 6998V
2. 78nS	2. 4990V	2. 3000V	2. 7000V
2. 93nS	2. 4990V	2. 3000V	2. 6998V
3. 03nS	2. 5000V	2. 3000V	2. 6996V
3. 18nS	2. 5000V	2. 3000V	2. 7000V
3. 23nS	2. 5000V	2. 3000V	2. 6996V
3. 38nS	2. 5000V	2. 3000V	2. 7000V
3. 59nS	2. 5000V	2. 3000V	2. 7000V
3. 84nS	2. 5000V	2. 3000V	2. 6998V
5. 00nS	2. 4993V	2. 3000V	2. 7000V

[Rising Waveform]

R_fixture = 50. 0000

V_fixture = 0. 0

time	V (typ)	V (min)	V (max)
0. 0S	0. 0V	1. 3940uV	0. 0V
50. 51pS	0. 0V	1. 3940uV	0. 0V
0. 10nS	0. 0V	1. 3940uV	0. 0V
0. 15nS	0. 0V	1. 3948uV	0. 0V
0. 20nS	0. 0V	1. 3908uV	- 1. 7348uV
0. 25nS	- 0. 2882uV	1. 3866uV	1. 6410uV
0. 30nS	- 4. 4510uV	1. 5082uV	- 0. 1109mV
0. 51nS	- 1. 9338mV	8. 2523uV	22. 5755mV
0. 56nS	- 4. 3370mV	38. 9660uV	97. 5020mV
0. 66nS	5. 3265mV	- 0. 7222mV	0. 3106V
0. 71nS	32. 0880mV	- 1. 8214mV	0. 4169V
0. 86nS	0. 2199V	- 4. 9010mV	0. 6612V
1. 01nS	0. 4267V	30. 3520mV	0. 8060V
1. 16nS	0. 5662V	0. 1363V	0. 8884V
1. 46nS	0. 6974V	0. 3620V	0. 9605V
1. 52nS	0. 7096V	0. 3894V	0. 9666V
1. 62nS	0. 7273V	0. 4304V	0. 9752V
1. 77nS	0. 7432V	0. 4690V	0. 9828V
1. 97nS	0. 7545V	0. 4975V	0. 9880V
2. 07nS	0. 7576V	0. 5060V	0. 9894V
2. 12nS	0. 7588V	0. 5093V	0. 9899V
2. 27nS	0. 7613V	0. 5165V	0. 9910V
2. 32nS	0. 7619V	0. 5182V	0. 9913V
2. 42nS	0. 7628V	0. 5209V	0. 9916V

2. 58nS	0. 7637V	0. 5236V	0. 9919V
2. 63nS	0. 7639V	0. 5242V	0. 9920V
2. 78nS	0. 7642V	0. 5256V	0. 9921V
2. 88nS	0. 7643V	0. 5262V	0. 9922V
2. 93nS	0. 7643V	0. 5264V	0. 9922V
3. 03nS	0. 7644V	0. 5268V	0. 9922V
3. 23nS	0. 7646V	0. 5271V	0. 9922V
3. 48nS	0. 7646V	0. 5274V	0. 9922V
3. 54nS	0. 7646V	0. 5275V	0. 9922V
5. 00nS	0. 7646V	0. 5276V	0. 9922V

[Falling Waveform]

R_fixture = 50. 0000

V_fixture = 2. 5000

V_fixture_min = 2. 3000

V_fixture_max = 2. 7000

time	V (typ)	V (min)	V (max)
0. 0S	2. 5000V	2. 3000V	2. 7000V
0. 20nS	2. 5000V	2. 3000V	2. 7000V
0. 25nS	2. 5000V	2. 3000V	2. 6996V
0. 35nS	2. 4996V	2. 3000V	2. 7008V
0. 40nS	2. 4990V	2. 3000V	2. 7028V
0. 51nS	2. 5018V	2. 2992V	2. 6793V
0. 56nS	2. 5044V	2. 2990V	2. 6440V
0. 76nS	2. 4588V	2. 3036V	2. 4130V
0. 81nS	2. 4304V	2. 3046V	2. 3462V
0. 96nS	2. 3138V	2. 2890V	2. 1616V
1. 21nS	2. 0986V	2. 2010V	1. 9492V
1. 46nS	1. 9436V	2. 0648V	1. 8400V
1. 57nS	1. 8980V	2. 0070V	1. 8130V
1. 72nS	1. 8534V	1. 9380V	1. 7886V
1. 97nS	1. 8102V	1. 8548V	1. 7678V
2. 22nS	1. 7898V	1. 8048V	1. 7590V
2. 83nS	1. 7750V	1. 7586V	1. 7530V
2. 88nS	1. 7750V	1. 7572V	1. 7530V
2. 93nS	1. 7744V	1. 7558V	1. 7530V
3. 18nS	1. 7740V	1. 7520V	1. 7530V
3. 23nS	1. 7734V	1. 7510V	1. 7530V
3. 43nS	1. 7730V	1. 7498V	1. 7530V
3. 69nS	1. 7730V	1. 7488V	1. 7530V
4. 24nS	1. 7730V	1. 7480V	1. 7530V
5. 00nS	1. 7730V	1. 7480V	1. 7530V

[Falling Waveform]

R_fixture = 50. 0000

V_fixture = 0. 0

I time	V (typ)	V (min)	V (max)
0. 0S	0. 7647V	0. 5276V	0. 9923V
0. 25nS	0. 7647V	0. 5276V	0. 9923V
0. 35nS	0. 7647V	0. 5276V	0. 9882V
0. 45nS	0. 7665V	0. 5275V	0. 8356V
0. 66nS	0. 5295V	0. 5255V	0. 3010V
0. 71nS	0. 4347V	0. 5121V	0. 2169V
0. 86nS	0. 2144V	0. 3800V	70. 6300mV
0. 91nS	0. 1625V	0. 3215V	47. 6900mV
1. 01nS	89. 5680mV	0. 2199V	21. 7380mV
1. 11nS	47. 8760mV	0. 1451V	10. 1030mV
1. 21nS	25. 3880mV	91. 9040mV	4. 8296mV
1. 36nS	9. 9702mV	44. 1020mV	1. 6816mV
1. 41nS	7. 3598mV	34. 3400mV	1. 1974mV
1. 46nS	5. 4546mV	26. 7420mV	0. 8577mV
1. 57nS	2. 8628mV	15. 5200mV	0. 3685mV
1. 62nS	2. 1480mV	12. 1740mV	0. 2657mV
1. 67nS	1. 6178mV	9. 5790mV	0. 1956mV
1. 72nS	1. 2234mV	7. 5594mV	0. 1399mV
1. 82nS	0. 6691mV	4. 7516mV	71. 2640uV
1. 87nS	0. 4894mV	3. 7842mV	63. 0480uV
1. 97nS	0. 2800mV	2. 4206mV	58. 3180uV
2. 07nS	0. 1707mV	1. 5660mV	56. 3320uV
2. 22nS	93. 1420uV	0. 7857mV	53. 2180uV
2. 32nS	88. 3760uV	0. 4998mV	47. 9560uV
2. 47nS	84. 7180uV	0. 2733mV	43. 6340uV
2. 58nS	81. 4180uV	0. 1647mV	43. 4380uV
2. 68nS	81. 1400uV	0. 1144mV	42. 9060uV
2. 78nS	80. 1840uV	75. 6540uV	43. 3900uV
2. 88nS	80. 3680uV	64. 3420uV	42. 7260uV
3. 18nS	81. 0480uV	62. 9340uV	43. 9060uV
3. 48nS	80. 6917uV	60. 4367uV	42. 6150uV
3. 59nS	80. 6140uV	58. 4960uV	43. 3960uV
4. 09nS	80. 4260uV	57. 6320uV	41. 9400uV
5. 00nS	82. 7700uV	58. 4100uV	42. 6500uV

| End [Model] LVCMOS25_F_2

地址:北京市百万庄大街22号
邮政编码:100037

电话服务

社服务中心: 010-88361066
销售一部: 010-68326294
销售二部: 010-88379649
读者购书热线: 010-88379203

网络服务

教材网: <http://www.cmpedu.com>
机工官网: <http://www.cmpbook.com>
机工官博: <http://weibo.com/cmp1952>
封面无防伪标均为盗版

上架指导 工业技术/电子技术

ISBN 978-7-111-42633-2

ISBN 978-7-111-42633-2



9 787111 426332 >

定价: 29.90元